

線性穩壓器系列文章 2-2 :

# 線性穩壓器的電壓輸入至輸出控制—工作原理和參考設計

■作者：Andrew Radosevich / ADI 產品應用資深工程師  
Matt Grobelny / ADI 產品行銷經理

本文是電壓輸入至輸出控制 (VIOC) 應用於低壓差穩壓器 (LDO) 的系列文章中的第二部分，並以第一部分介紹的基本概念為基礎，深入探討了 VIOC 系統設計，及闡述最新一代 LDO 如何保持恆定的輸入輸出電壓差，進而實現關鍵性能優勢，例如更高的電源電壓抑制比 (PSRR)、優化的功耗和穩健的故障保護，並強調透過參考設計和便捷的評估方法實現 VIOC 的簡便性，包括 LTspice 模擬和示範硬體。文章亦探討如何在負電壓拓撲中整合 VIOC，並回顧早期的 VIOC 實現方案，包括採用分立元件和傳統 LDO 架構的實現方案。VIOC 透過簡化開關穩壓器與 LDO 之間的協作，提升電路性

能，並為現代電源管理系統提供了彈性多樣的解決方案。

## 引言

在本系列的第一部分中，對最新一代低壓差穩壓器 (LDO) 中的電壓輸入至輸出控制 (VIOC) 特性進行了初步介紹，而第二部分將更深入地探討其功能。為使 VIOC 系統設計更易被工程師掌握，本文還提供了現成的參考設計和簡單明瞭的評估方法。此外，本文也探討了如何在負電壓拓撲中無縫實現 VIOC，進而拓展適用範圍。同時，文章也追溯了 VIOC 早期實現方案的演進歷程，以提供必要的歷史背景。

圖 1: 最新一代 LDO 中的 VIOC 特性透過 LDO 內部增益為 1 的差分放大器實現

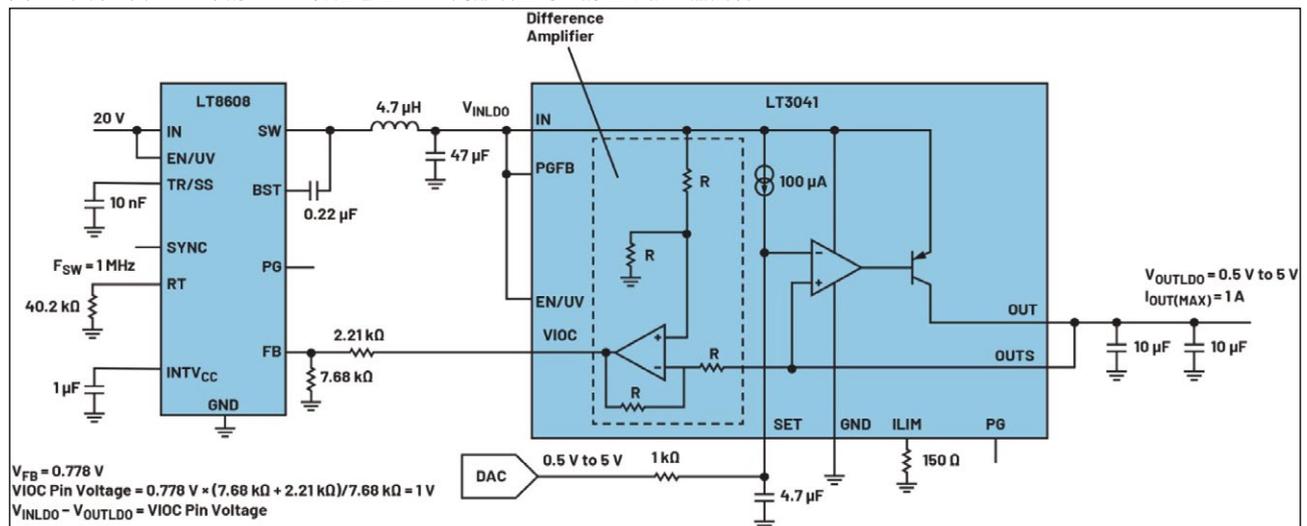




圖 3: 如果 LDO 未致能, 則 LT3041 VIIOC 電路會限制 LT8608 開關穩壓器的輸出電壓

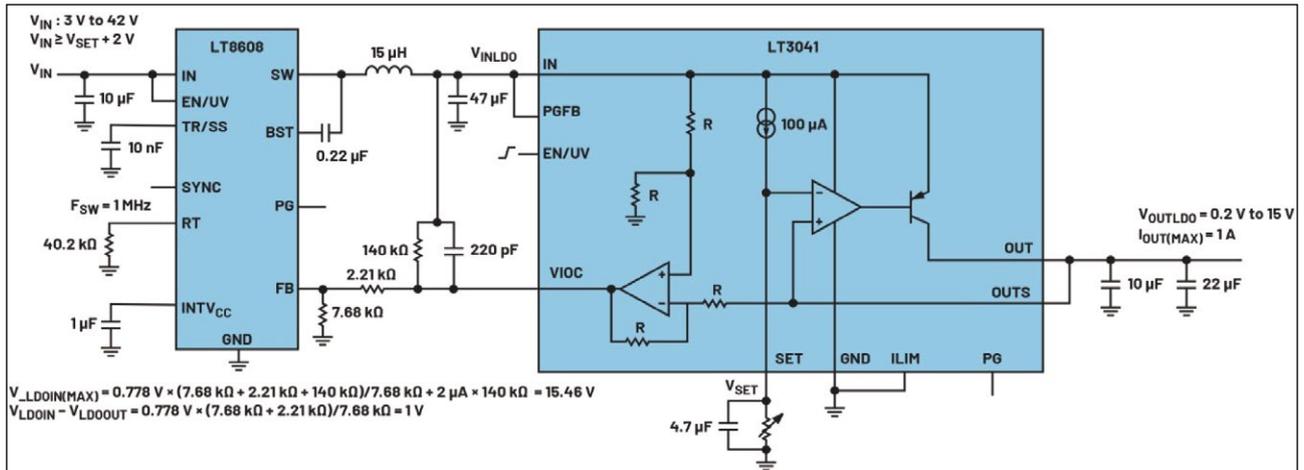
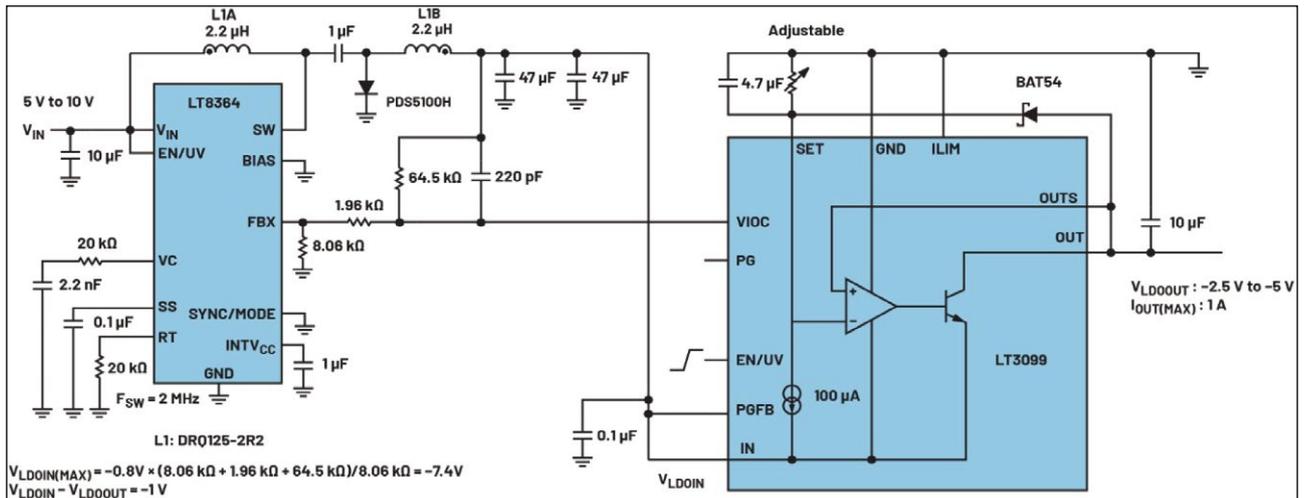


圖 4: 採用 Ćuk 配置的開關穩壓器, 用於產生負電壓 (使用 LT8364)



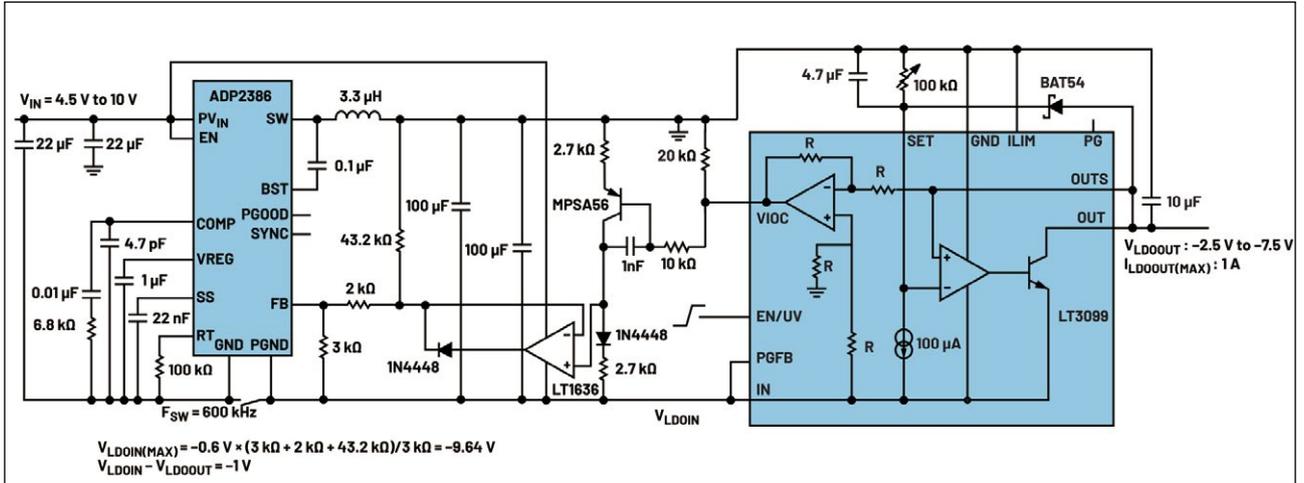
定) 相同。

圖 2 顯示了具有 VIIOC 電路設計的 LT3073 LDO, 該設計使得 LDO 的輸入輸出電壓差可以低於開關穩壓器的回饋接腳電壓。此 VIIOC 方法提供一個偏置電壓, 使 LDO 輸入輸出電壓差比 VIIOC 接腳電壓低 800 mV。此種類型的 VIIOC 在輸入輸出電壓差較低、電流額定值較高的 LDO 中很常見。圖 2 電路還能限制開關穩壓器的輸出電壓。開關穩壓器的回饋電阻分壓器用於防止在 LDO 未使能或無法閉合 VIIOC 回饋迴路的情況下, 開關穩壓器的輸出電壓變得過高。如圖 3 所示, 圖 1 中的 LT3041 VIIOC 電路會限制開關穩壓器 LT8608 的輸出電壓。

到目前為止討論的 LDO 都是使用正電壓工作的正 LDO, 但 VIIOC 操作也支援使用負電壓工作的負 LDO。負 LDO 的 VIIOC 電路可採用產生負電壓的開關穩壓器來實現, 其回饋接腳命名為 FBX, 而不是 FB。圖 4 顯示了一個採用 Ćuk 配置的開關穩壓器, 用於產生負電壓。負 LDO LT3099 的 VIIOC 用於控制 Ćuk 輸出電壓。

圖 5 所示電路反映了一種越來越常見的场景, 其中的降壓型穩壓器通常產生正電壓, 但透過配置為反相降壓 - 升壓型穩壓器, 其可用來產生負電壓。由於標準降壓型穩壓器沒有用於配合負電壓使用的 FBX 接腳或 FB 接腳, 因此該 VIIOC 電路需要一個位準轉換器。在該電

圖 5: 若開關穩壓器採用反相降壓 – 升壓拓撲結構 ( 搭配 ADP2386 ), 則用於負輸出 LDO 的 VIOC 電路需要位準轉換器。



路中，位準轉換器是電路的一部分，電路中包含 LT1636 運算放大器和連接到運算放大器正輸入端的網路。

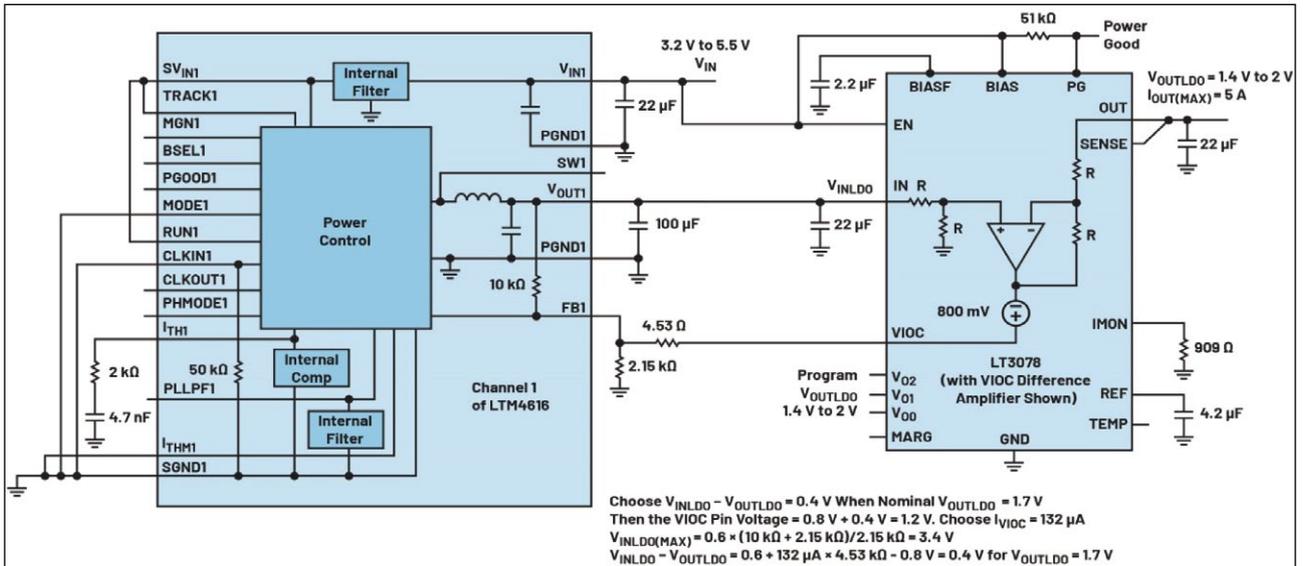
VIOC 很容易實現，只需在已有的開關穩壓器到 LDO 連接的基礎上增加一根導線即可。VIOC 可與任何具有 FB 接腳的開關穩壓器配合使用。請注意，Silent Switcher 3 (SS3) 穩壓器 IC 沒有 FB 接腳，因此 VIOC 通常不與這些 IC 一起使用。如果開關穩壓器 FB 接腳連接到內部分壓電阻，而該電阻也連接到輸出端，則 VIOC 會有一些侷限性。某些  $\mu$ Module 穩壓器

就屬於這種情況。

$\mu$ Module 穩壓器是一種高度整合的系統級封裝 (SiP) 解決方案，其在一個精巧的封裝中整合了多個電子元件，例如 DC-DC 控制器、功率電晶體、輸入輸出電容、補償元件和電感。<sup>2</sup>

圖 6 所示 VIOC 電路將 LTM4616  $\mu$ Module 穩壓器的一個通道與 LT3078 LDO 配合使用。 $\mu$ Module 的 FB 接腳與開關穩壓器的輸出端之間有一個內部 10 k $\Omega$  電阻。VIOC 接腳電流 (及相應的 VIOC 接腳電壓) 與 10 k $\Omega$  電阻的電流相關；當 LDO 和開關穩壓器的輸出電壓提高或

圖 6: 此 VIOC 電路將 LTM4616  $\mu$ Module 穩壓器的一個通道與 LT3078 LDO 配合使用



降低時，電阻電流會按比例變化。VIOC 接腳電壓對 LDO 輸出電壓的這種依賴關係，會限制圖 6 所示電路的 LDO 輸出電壓調節範圍。

## 評估 VIOC 系統工作情況的便捷方法

LTspice 可用於快速模擬和評估受限環境下的 VIOC 工作情況，進而無需物理硬體便能測試不同的場景和參數。因此，它是在實現電路之前驗證電路行為和優化設計的有效工具。

使用硬體評估 VIOC 功能的最有效方法，是將開關穩壓器展示電路連接到 LDO 展示電路，並進行極少量的改動。圖 7 顯示了兩個配置用於快速測試 VIOC 的此類電路。對於 VIOC 電路的最終設計，通常需要在實際硬體上進行負載瞬態測試，以檢查電路穩定性。為了提高穩定性，通常會在開關穩壓器輸出端增加電容。如需相關指導，請參閱資料手冊中的 VIOC 參考設計。

圖 7：兩個展示電路，只需極少量改動即可快速測試 VIOC 工作情況 (使用 DC3158A 和 DC2458A)

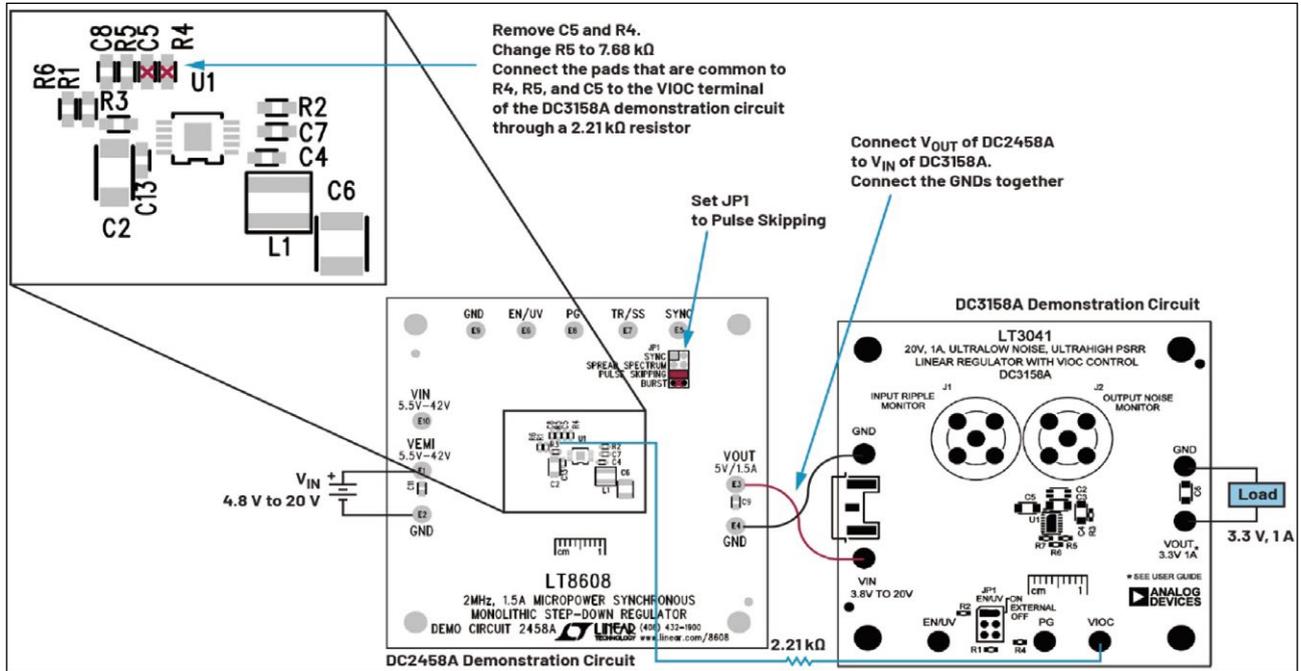
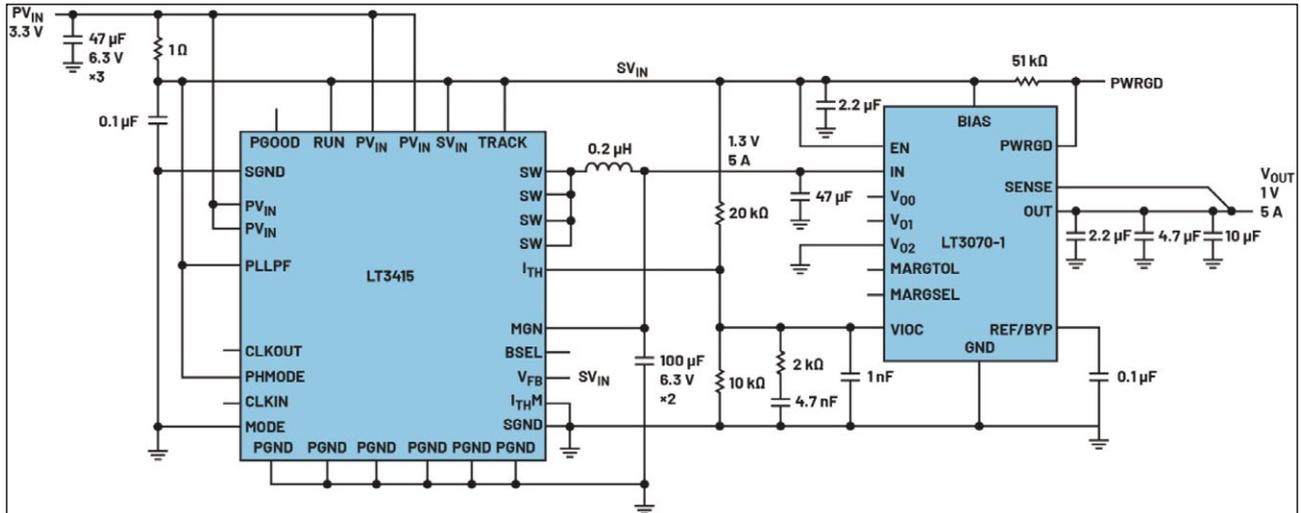


圖 8：VIOC 的一個早期版本 (採用 LTC3415)

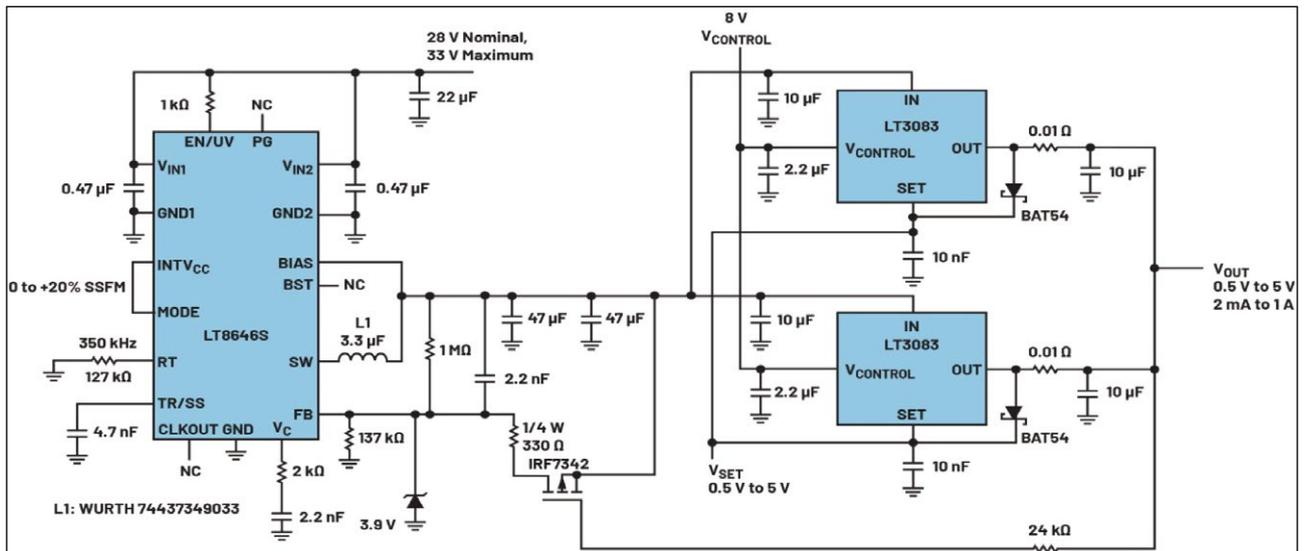


### 早期版本 VIOC 和非內建 VIOC

到目前為止，大部分討論都集中在採用最新一代 VIOC 的 LDO 上。除此之外，還有一種採用分立式元件實現 VIOC 的方法，使用早期一代具有 VIOC 特性的 LDO。圖 8 顯示了一個採用早期版本 VIOC 的 LDO 電路。LDO 的 VIOC 接腳連接到開關穩壓器的 ITH 或 VC 接腳，LDO 的 VIOC 電路自動將 LDO 的輸入輸出電壓差控制在 300 mV 左右。ITH 或 VC 接腳是開關穩壓器 IC 誤差放大器輸出端的外部連接點。早期 5V、5A LDO，例如 LT3070-1、LT3071 和 LT3072，就是採用這種 VIOC 方法。

我們要討論的最後一類 VIOC 是利用分立式元件實現的 VIOC。藉由分立式元件，幾乎任何 LDO 都可以增加 VIOC 功能。這種方法在早期的電流源基準 LDO (從 LT3080 開始) 中特別流行，因為透過外部電壓訊號或數位電位器改變具有電流源基準的 LDO 輸出電壓相對容易。電流源基準 LDO 是一種不使用基準電壓源，而使用電流源驅動電阻來確定輸出電壓的穩壓器。圖 9 顯示了一個使用分立元件實現 VIOC 的電路。IRF7342 PMOS 的源閘極電壓決定 LDO 的輸入輸出電壓差。有關採用此類 VIOC 的更多

圖 9: 使用分立式元件 LT8646S 和 LT3083 實現 VIOC 的電路



參考設計，請參閱 LT308x 資料手冊。

### 結論

利用 VIOC 技術來整合 LDO 和開關穩壓器為現代電源管理設計帶來了很大的優勢。VIOC 能夠保持穩定的輸入輸出電壓差，進而提升 PSRR 以降低輸出雜訊，改善功耗，增強故障保護和啟動可靠性，並能確保負載瞬態響應穩定，這對於高性能系統非常重要。

VIOC 簡化了開關穩壓器與 LDO 之間的電壓協調，優化設計流程，提升整體電路效率。最新一代支援 VIOC 的 LDO 為如今複雜的電子應用提供了彈性、高性能的解決方案。

為了加快設計進程，請瀏覽 [analog.com](http://analog.com) 上提供的詳細應用筆記、參考設計和 LTspice 模擬模型。透過模擬工具，將可在硬體實現之前測試和優化電路，進而節省時間、降低風險，並實現更高層次的創新。

### 參考文獻

- 1 Error Amplifier (Electronics) (誤差放大器)，維基百科。
- 2 µModule 穩壓器，ADI。 [CTA](#)