

## IBIS 建模——第 3 部分：

# 如何透過基準測量實現品質等級為 3 級的 IBIS 模型

IBIS 模型通常透過設計電路模擬產生。但在某些情況下，設計檔可能已過時或不可用，或由於已發表元件老舊，只能以不可用的原理圖檔案格式提供。本文旨在提供一種使用實際單元透過基準測量產生 IBIS 模型的高層次程序——從資料提取到模型驗證。資料提取階段使用了一種專用測試夾具，其能大幅減少寄生式佈線引起的阻抗不匹配，進而管理訊號完整性約束並確保 IBIS 模型可靠。之後透過模擬和基準測量對其進行驗證，使其符合 IBIS 模型的 3 級品質等級。

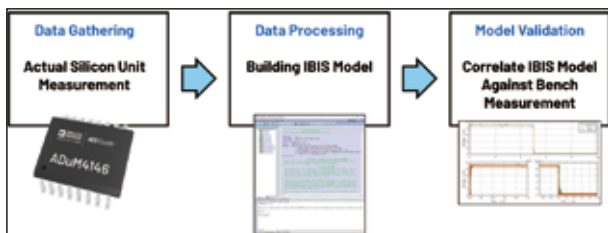
■作者：Christine Bernal  
Janchris Espinoza  
Aprille Arjhilynne Hernandez-Loyola  
ADI 產品應用工程師

## 簡介

輸入 / 輸出緩衝器資訊規範 (IBIS) 為一種行為模型，作為產生元件模型的標準格式而受到全球歡迎。元件模型的精度取決於業界提供的 IBIS 模型的品質。因此，為訊號完整性模擬提供高品質、可靠的 IBIS 模型是對客戶的堅定承諾。

產生 IBIS 模型的一種方法是透過模擬，但在某些情況下，設計檔不可用，因而無法從模擬結果產生 IBIS 模型。在此種情況下，透過基準測量產生 IBIS 模型是解決此一問題的方法，其能提供高品質和更真實的元件行為模型。圖 1 顯示了透過基準測量產生 IBIS 模型的完整過程。使用實際晶片，擷取元件的接收器和驅動器緩衝器行為以表示電流與電壓 (I-V) 資料和電壓與時間 (V-t) 資料。

圖 1: 透過基準測量產生 IBIS 模型的過程



然後使用實際試驗台設定在完整負載條件下驗證模型。此程式提供品質等級 2b 的 IBIS 模型。為了實現更高品質等級 (3 級) 的模型，產生的 IBIS 模型並將針對元件的電晶體級設計進行驗證，同樣採用推薦的負載條件。

為了表徵品質，IBIS 品質任務組制定了一種包含五個 QC(品質控制) 階段的品質控制流程。他們擬定了一份清單來定義不同的品質等級，如表 1 所示。

表 1: IBIS 品質規範中的品質等級

品質等級	說明
0	通過 IBISCHK
1	與檢查清單檔中一樣完整、正確。
2a	與模擬相關
2b	與實際晶片測量相關
3	以上全部

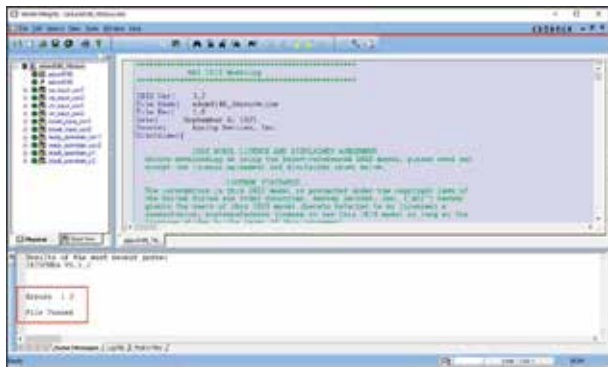
表 1 中列出的品質等級提供了 IBIS 模型品質標準，該標準因供應商而異<sup>1</sup>。制定 IBIS 模型精度標準將能確保客戶獲得精準可靠的模型。模型的品質等級越高，其數據就越精準，因為更高的品質等級需要更多的驗證過程。

根據《半導體建模：用於訊號、電源和電磁完整性模擬》一書 (Roy Leventhal 和 Lynne Green 撰寫)<sup>2</sup>，IBIS 正確性檢查清單有 5 個公認的品質等級。

## 品質等級 0—通過 IBISCHK

品質等級 0 要求至少應通過 IBIS 解析器檢查。IBISCHK 必須產生零錯誤；如果無法消除所有警告，則必須對其進行解釋。理想情況下，不應有任何警告，但人們認識到，有些警告是無法消除的。解析器檢查產生的「錯誤」、「警告」和「注意」消息可作為 IBIS 模型製作商識別錯誤並輕鬆糾正錯誤的指南。IBIS 模型解析器檢查參見圖 2。

圖 2: IBIS 模型通過 IBISCHK



## 品質等級 1—達到檢查清單中規定的完整性和正確性

品質等級 1 的 IBIS 模型不僅要通過品質等級 0 檢查，還要通過基本模擬測試的正確性和完整性檢查。封裝寄生參數、接腳配置和負載參數應正確定義。斜坡速率和典型值 / 最小值 / 最大值必須符合元件規格。另外，可以參考「這裡」列出的品質等級 1 下的詳細要求。

## 品質等級 2a—與模擬相關

品質等級 2a 將 IBIS 模型的性能與元件的電晶體級設計進行比較。連接到負載時的 IBIS 模型性能與相同負載下元件的電晶體級設計進行相關處理。然後比較兩個模擬設定的結果，並檢查模型是否達到了品質等級 2a。細節將在「驗證和結果」部分討論。

## 品質等級 2b—與實際晶片測量相關

品質等級 2b 將 IBIS 模型的性能與元件的實際單元進行比較。與品質等級 2a 一樣，在相關期間必須將相同的負載連接到兩個設定。根據相關結果判斷模型是否達到品質等級 2b。細節將在「驗證和結果」部分討論。

## 品質等級 3—電晶體級模擬與 IBIS 基準測量的相關

品質等級 3 要求根據電晶體級設計和實際單元驗證 IBIS 模型。要使模型達到品質等級 3，其必須通過品質等級 2a 和 2b 的相關性檢查。此外，模型必須透過 IBIS 解析器測試 (品質等級 0)，並通過 IBIS 品質檢查清單的檢查 (品質等級 1)。細節將在「驗證和結果」部分討論。

## 應用案例

本文研究的案例是 ADuM4146，其是一款專門為驅動碳化矽 (SiC) MOSFET 而優化的隔離式閘極驅動器。ADuM4146 有三個輸入接腳 (VIP、VIN 和 RESET) 和兩個開漏接腳 (READY 和 FAULT)，但本文針對每種緩衝器類型僅討論一個接腳。這是因為對於緩衝器類型相似的接腳，建構和驗證 IBIS 模型的過程是相同的。VIP 接腳將作為輸入緩衝器的用例，FAULT 將作為開漏緩衝器的用例。

需要注意的是，儘管相似的緩衝器類型具有相同的 IBIS 建模過程和驗證，但這並不一定表示其具有相同的 IBIS 資料。本文對每種緩衝器類型僅討論一個接腳，以簡化對 IBIS 模型構建和驗證過程的解釋。

ADuM4146 採用標準小型寬體封裝 (SOIC\_W)，封裝在驗證過程中以寄生電阻、電感和電容 (RLC) 的形式表示。封裝工程師透過模擬提取封裝 RLC 值。專用印刷電路板 (PCB) 與封裝寄生的情況類似，也是由寄生 RLC 表示，其值由 PCB 工程師提取。

圖 3: ADuM4146 功能框圖

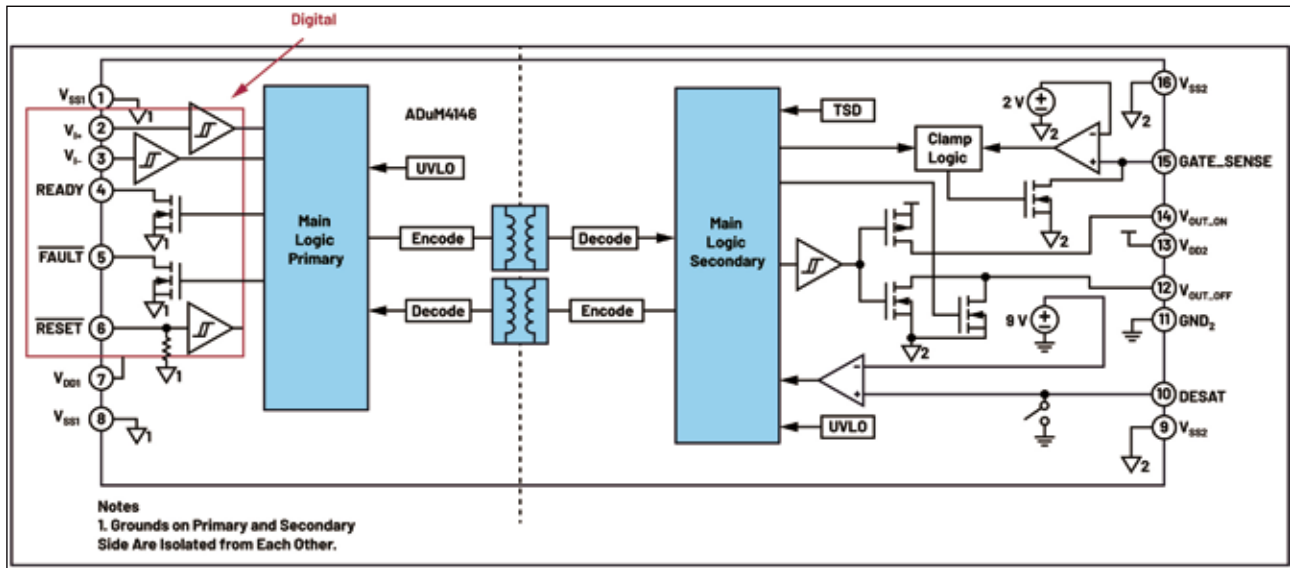


表 2: ADuM4146 接腳排列及其對應的緩衝器類型

[Pin]	訊號名稱	Model_Name
1	VSS1	GND
2	V1	vip_input
3	V2	vin_input
4	READY	ready_opendrain
5	FAULT	bfault_opendrain
6	RESET	breset_input
7	VDD1	POWER
8	VSS1	GND
9	VSS2	GND
10	DESAT	NC
11	GND2	GND
12	VOUT_OFF	NC
13	VDD2	POWER
14	VOUT_ON	NC
15	GATE_SENSE	NC
16	VSS2	GND

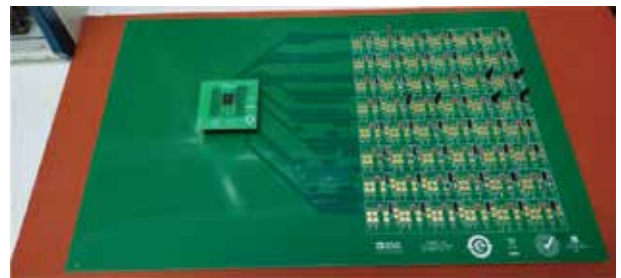
## IBIS 基準測量步驟

透過基

準測量收集數據可能會受到不同外部因素的影響。應補償這些因素以實現相關性並提供高品質模型。

為了大幅減少外部因素的影響，待測元件 (DUT) 放置在專用夾具上，以減小可能導致被測元件行為不精準的干擾電容，如圖 4 所示。寄生電容是實際晶片測量中的一個重要問題，並且常常是限制元件模型工作頻率和頻寬的因素。

圖 4: IBIS 基準測量專用夾具



透過基準測量產生 IBIS 模型的步驟：

## 準備設定

表 3 顯示了基準測量的 IBIS 預建模階段要求，表 4 顯示了定義緩衝器行為的不同模型類型和模型組成。模型類型在文章「IBIS 建模——第 1 部分：為何 IBIS 建模對設計成功非常重要」<sup>3</sup> 和「IBIS 建模——第 2 部分：為何以及如何創建您自己的 IBIS 模型」<sup>4</sup> 中有詳細討論。您也可以參考 IBIS 建模手冊<sup>5</sup>。

## 試驗台設定

瞭解元件的運作方式對於 IBIS 模型的資料收集非常重要。如圖 1 所示，這是第一階段，透過提取 I-V 資料和 V-t 資料來完成。兩者都以表格形式表示。

I-V 資料包括 ESD 箝位行為和驅動器強度，而 V-t 資料表示從低 / 高位準狀態到高 / 低位準狀態的

表 3: IBIS 基準測量建模前階段

要求	內容
待測元件 (DUT)/ 樣品	提供經過測試的良好單元
轉接板	定義元件的封裝類型
RLC 封裝寄生值	提供元件的焊接圖 考慮如下內容： * 邏輯電源電壓範圍 * 數位電源範圍 (如適用) * 接腳配置 * 工作溫度範圍
產品資料手冊中的技術規格	* 邏輯高 / 低位準輸入電壓範圍 * 邏輯高 / 低位準輸出電壓範圍 * 時序測試負載和特性 * 工作原理

表 4: IBIS 基準測量緩衝器類型選擇

模型類型	模型組成
輸入	*[Power Clamp] *[Ground Clamp]
輸出三態、輸出二態、I/O	*[Power Clamp] *[Ground Clamp] *[Pullup] *[Pulldown] *[Rising Vddref] *[Falling Vddref] *[Rising Gndref] *[Falling Gndref]
Open_drain, I/O_open_drain	*[Power Clamp] *[Ground Clamp] *[Pulldown] *[Rising Vddref] *[Falling Vddref]
Open_source, I/O_open_source	*[Power Clamp] *[Ground Clamp] *[Pullup] *[Rising Gndref] *[Falling Gndref]

轉換。切換行為是透過將負載連接到輸出接腳來測量，相當於輸出緩衝器將要驅動的值。然而，通常的負載值為 50 Ω，代表典型的傳輸線阻抗。

對於 I-V 測量，使用能夠吸收和提供電流的可編程電源和曲線追蹤器來掃描電壓並收集緩衝器的電流行為。建議在  $-V_{DD}$  至  $2 \times V_{DD}$  的電壓範圍內以及典型值、最小值和最大值拐角處擷取資料。V-t 測量需要使用具有適當頻寬和低電容探頭的示波器。

DUT 安裝在專用夾具上，使用溫度強制系統在不同溫度條件下進行測試，以獲取最小、典型和最大性能。在此種情況下，最小 (最弱驅動強度、最慢邊緣) 資料是在 125°C 下獲取，最大 (最強驅動強度、最快邊緣) 數據是在 -40°C 下獲取。

### 基準資料擷取

一旦驗證試驗台設定已準備就緒，就可以開始收集所需 I-V 和 V-t 資料的過程。輸出和 I/O 緩衝器需要 I-V 表和上升 / 下降資料，而輸入緩衝器只需要 I-V 表。

#### \* I-V (電流與電壓) 資料測量

I-V 曲線測量涵蓋四個 IBIS 關鍵字——[Pullup] 表示驅動高位準時上拉元件的 I-V 行為，[Pulldown] 表示驅動低位準時下拉元件的 I-V 行為，而 [Power Clamp] 和 [GND Clamp] 表示高阻抗狀態下 ESD 保護二極體的 I-V 行為。

要測量 I-V 特性，請將元件安裝在專用板上，並將電源和接地接腳連接到電源。準備溫度強制系統，調整到所需溫度，等待其穩定。在推薦範圍內掃描電壓，然後使用曲線追蹤器測量所需緩衝器的電流。

用於上拉和電源箝位資料的掃描裝置的正節點應連接到電源電壓，負節點應連接到接腳，而用於下拉和接地箝位資料的掃描裝置以地為參考。當曲線追蹤器無法掃描整個範圍時，可能需要外推。

圖 5 顯示了輸入緩衝器 (VI+) I-V 接地箝位測量的試驗台設定，而圖 6 顯示了其測量行為。當輸入降低到地以下導致負電流時，接地箝位電路被觸發，

圖 5: 用於 I-V 箝位測量的 ADuM4146 試驗台設定

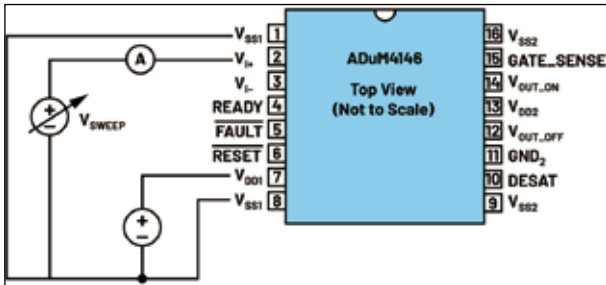
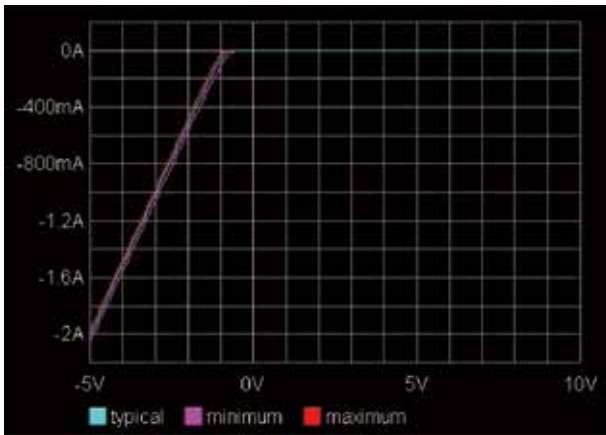


圖 6: ADuM4146 輸入緩衝器試驗台測量的接地箝位

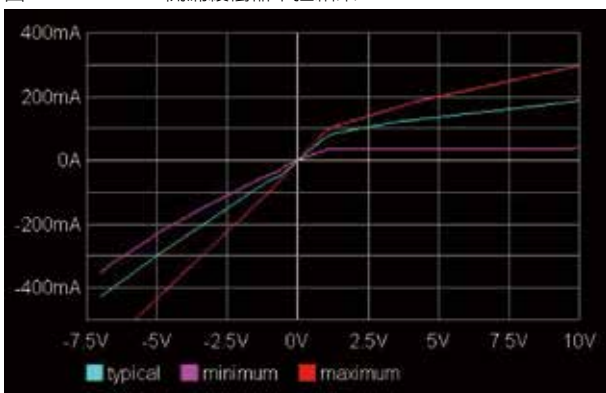


使電流接近並穩定為零。輸入接腳 (VIP) 沒有電源箝位元件，因此其模型不會有電源箝位資料。

對輸出緩衝器的 ESD 箝位、上拉和下拉資料進行相同的方法。但在此種情況下，ADuM4146 READY 和 FAULT 接腳為開漏緩衝器。因此，其沒有上拉元件，只需要下拉資料。

圖 7 顯示了 ADuM4146 開漏緩衝器的下拉資料結果。下拉曲線從負電流開始，然後穿過零到達正象限，也在  $-V_{DD}$  至  $2 \times V_{DD}$  的範圍內。

圖 7: ADuM4146 開漏緩衝器下拉結果



#### \* 緩衝電容 (C\_comp) 擷取

根據 IBIS 建模手冊 (IBIS 4.0 版)，「每個焊墊的總晶片電容或 C\_comp 參數是從焊墊向緩衝器看到的電容，用於完全佈局佈線的緩衝器設計，不包括封裝效應」<sup>5</sup>。獲得 C\_comp 值的一種方法是使用以下公式。

$$C_{\text{comp}} = C_{\text{IN}} - C_{\text{pkg}}$$

其中：

$C_{\text{IN}}$  = 元件輸入電容

$C_{\text{pkg}}$  = 元件封裝電容

#### \* V-t(輸出電壓與時間) 數據測量

V-t 曲線測量也涵蓋了四個 IBIS 關鍵字——[Rising Vddref] 和 [Falling Vddref] 與以電源為參考的負載的從低到高和從高到低的轉換有關，而 [Rising Gndref] 和 [Falling Gndref] 與以地為參考的負載的從低到高和從高到低的轉換有關。與這些相關的是關鍵字 [Ramp]，其定義了從一種狀態變為另一種狀態時的轉換速率，取波形的 20% 到 80%。

測量上升和下降時間資料需要在驅動所需負載的緩衝器上使用示波器。在此種情況下，使用一個 50 Ω 電阻來表示傳輸線阻抗。對於開漏型，將負載連接到緩衝器和電源電壓以測量切換行為 (以 VDD1 為基準)。務必使用溫度強制系統以根據需要穩定溫度，進而擷取最小、典型和最大範圍。圖 8 顯示了 ADuM4146 READY 和 FAULT 接腳切換行為的實際試驗台設定。ADuM4146 數位輸出接腳為開漏型，因此只需要以電源電壓為基準的上升和下降行為。

圖 9 和圖 10 顯示了在電晶體級模擬和實際晶片測量中捕獲的 FAULT 接腳上升和下降波形。兩種設定使用相同的負載條件，即 50 Ω 連接到 VDD1，跨越典型值、最小值和最大值拐角。

### 建構 IBIS 模型

創建 IBIS 模型的下一階段是處理收集的數據並建構模型本身。在此階段，在必要的關鍵字之後

圖 8: ADuM4146 READY/FAULT 切換行為的試驗台設定

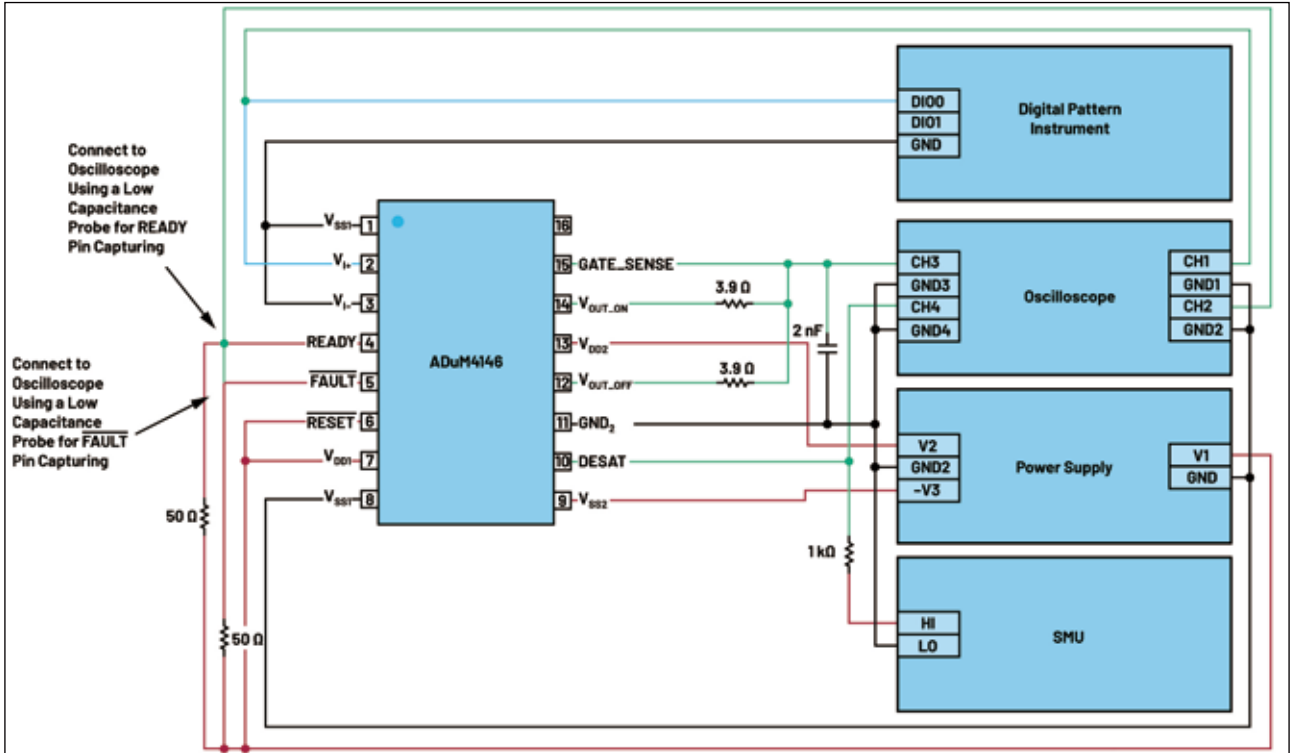


圖 9: ADuM4146 FAULT 接腳上升波形 (以 VDD1 為基準)。

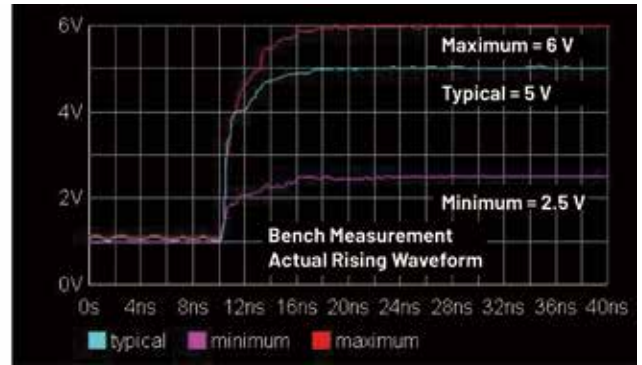
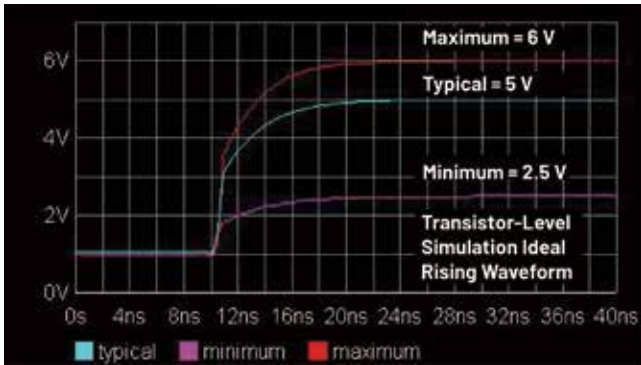
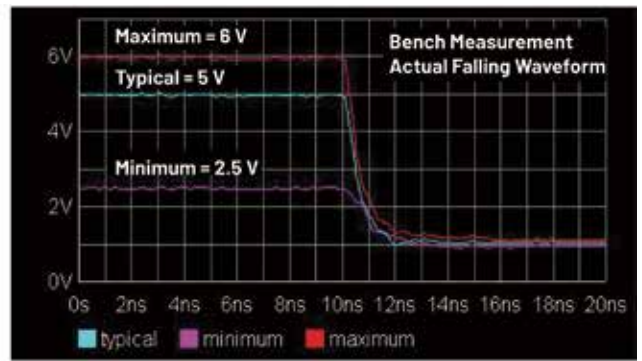
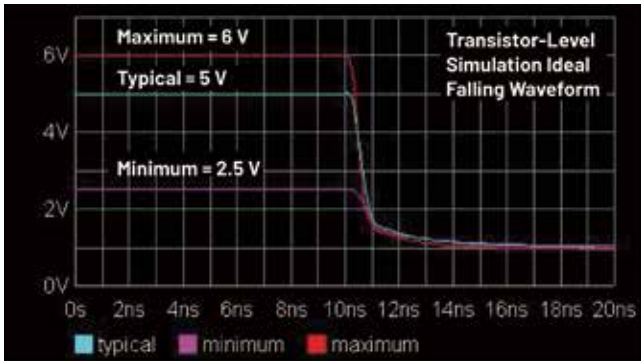


圖 10: ADuM4146 FAULT 接腳下降波形 (以 VDD1 為基準)。



以 IBIS 文本格式插入原始資料表，包括元件參數。  
詳細過程參見文章「IBIS 建模——第 1 部分：為何

IBIS 建模對設計成功非常重要」<sup>3</sup>。

圖 11: 從基準測量產生的 ADuM4146 IBIS 模型

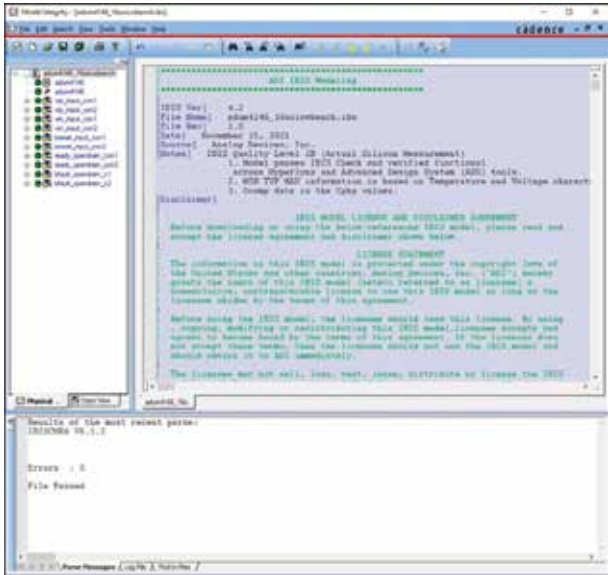


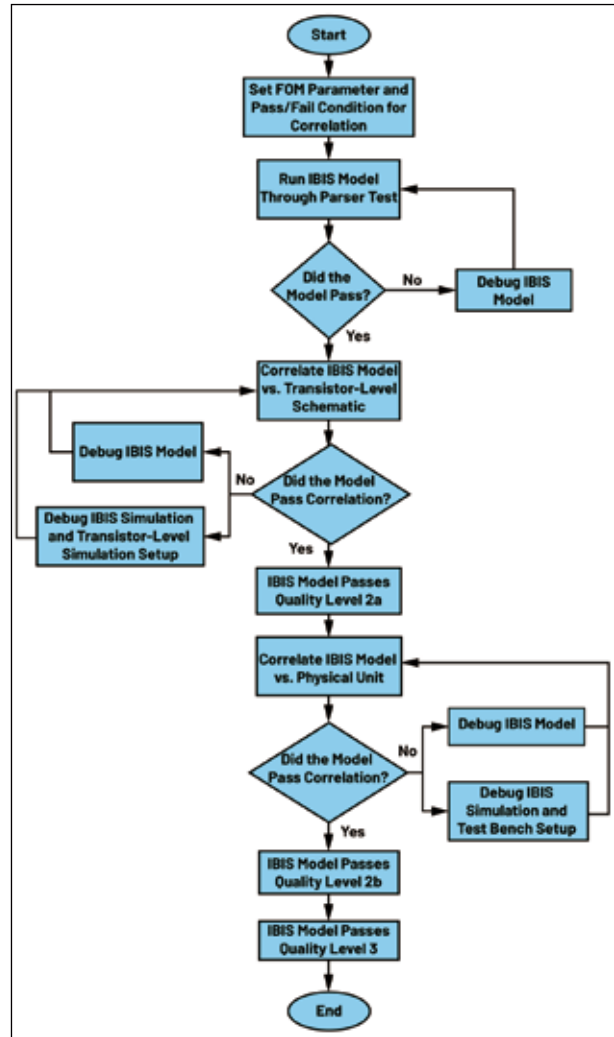
圖 11 顯示了從基準測量產生的 ADuM4146 IBIS 模型。該模型應透過 IBIS 解析器檢查，包括基本檢查，例如 I-V 和 V-t 表之間的匹配以及檢查表格資料的單調性。在繼續驗證過程之前，應完全解決所有錯誤、警告和注意事項。此外，模型應透過 IBIS 品質檢查清單的檢查。

## 驗證和結果

本文的驗證過程將遵循本系列的第二篇文章「IBIS 建模——第 2 部分：為何以及如何創建您自己的 IBIS 模型」中說明的步驟<sup>4</sup>，其中討論了有關 IBIS 模型驗證過程的更多詳情。

模型首先必須透過解析器測試，這可以使用整合了 IBISCHK 的軟體來進行檢查，或使用來自 [ibis.org](http://ibis.org) 的開源可執行代碼進行檢查。透過解析器測試後，模型必須與其電晶體級原理圖或實際晶片單元相關聯。本文目的在實現品質等級為 3 級的模型，因此 ADuM4146 的 IBIS 模型將與其電晶體級原理圖和實際單元相關聯。設定品質因數 (FOM) 值以確定 IBIS 模型是否會通過這兩種相關性檢查。在此種情況下，兩種相關性的 FOM 值必須大於或等於 95% 才能通過品質等級 3 IBIS 模型驗證。圖 12 顯示了 IBIS 模型達到品質等級 3 所必須通過的驗證過

圖 12: IBIS 模型品質等級 3 驗證過程流程圖



程的流程圖。

曲線度量下方的面積將用於計算兩種相關性的 FOM 值。須將相同的負載條件放置在這兩組相關性上。在驗證過程中，建議按照產品手冊中指示的負載條件來測試裝置的正常運行。

為了根據參考正確驗證 IBIS 模型（例如，IBIS 與基準測量的相關性），必須將訊號在基準測量設定中經過的 PCB 走線增加到 IBIS 模擬設定中。

以下是實現品質等級為 3 級的 IBIS 模型的兩個條件。

## IBIS 品質等級 2a 驗證

圖 13 顯示了 IBIS 模型品質等級 2a 驗證過程。

圖 13: IBIS 模型品質等級 2a 驗證過程

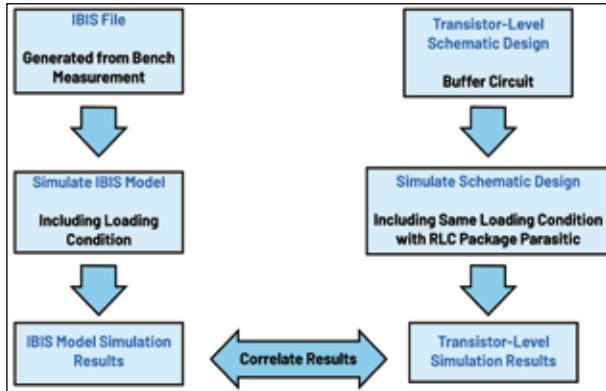


圖 14: ADuM4146 輸入和開漏緩衝器模擬設置

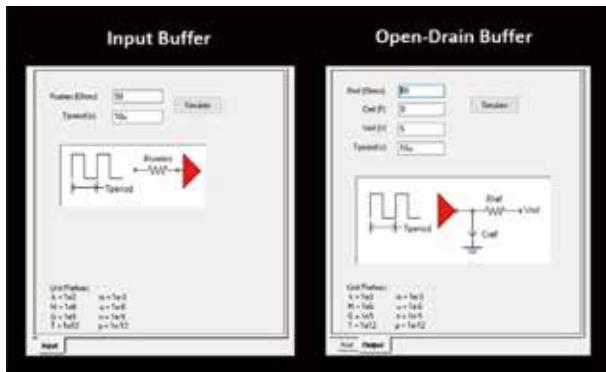


圖 15: ADuM4146 電晶體級設計模擬設置和負載條件 (輸入緩衝器)

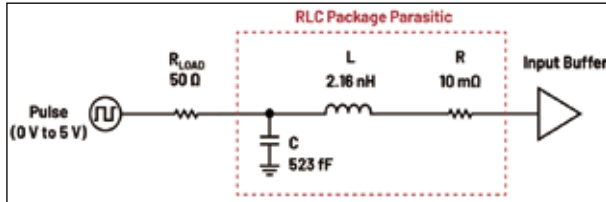
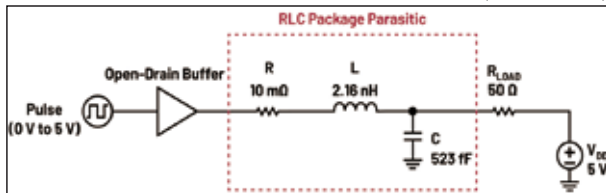


圖 16: ADuM4146 電晶體級設計模擬設置和負載條件 (開漏緩衝器)



該相關處理目的在評估 IBIS 模型數據將在何種程度上產生與電晶體級模擬結果相互匹配的模擬。圖 14 顯示了 ADuM4146 的輸入和開漏緩衝器的 IBIS 模型模擬設定以及負載條件。

圖 15 和 16 分別顯示了輸入和開漏緩衝器的電晶體級設計模擬設定以及負載條件。元件的封裝 RLC 值增加在緩衝器和負載之間，以再現 IBIS 設定中的封裝寄生效應。

圖 17: 電晶體級設計與 IBIS 模型驗證結果的關係 (輸入緩衝器)

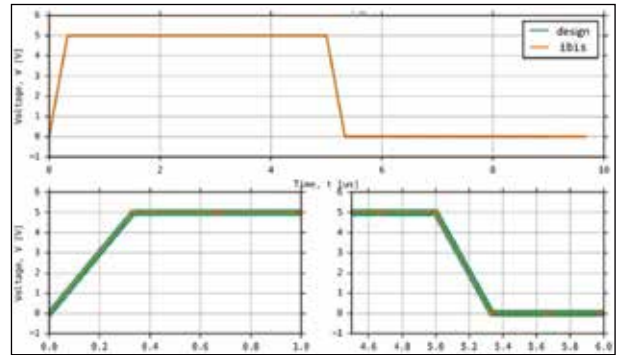


圖 18: 電晶體級設計與 IBIS 模型驗證結果的關係 (開漏緩衝器)

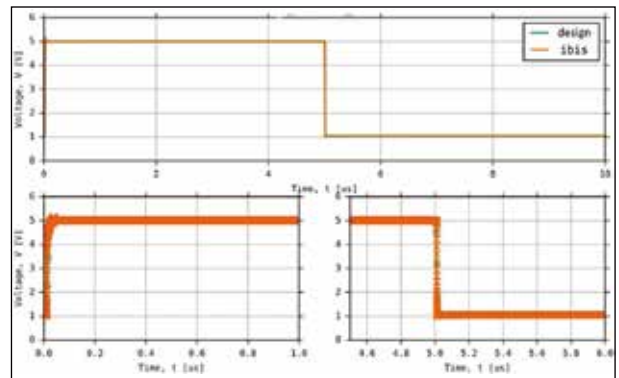


圖 17 和圖 18 分別顯示了 IBIS 模型在標準負載下運行並將結果與使用相同負載下的電晶體級參考模擬進行比較時，輸入和開漏緩衝器的相關結果。一個 50 Ω 電阻用於開漏緩衝器的 IBIS 與電晶體級相關性設定的負載。使用 10 μs 脈衝輸入對兩種設定進行瞬態分析。

表 5 顯示了兩個緩衝器模型在與電晶體級原理圖相關時計算出的 FOM 值。兩個緩衝器模型的 FOM 值均大於 95%，因此 IBIS 模型達到了品質等級 2a。

表 5: 輸入和開漏緩衝器的品質等級 2a 驗證 FOM 值

緩衝器模型	FOM
輸入	99.99%
開漏	99.68%

## IBIS 品質等級 2b 驗證

IBIS 品質等級 2b 要求模型與基準測量相關，因此需要考慮可能影響基準測量性能的因素。執行基準測量的主要挑戰是訊號衰減，這大部分是由走線寄生效應引起的。利用實際單元測量資料時，最好使用具有有低電容探頭的專用板，以盡可能減少



圖 19: IBIS 模型品質等級 2b 驗證過程

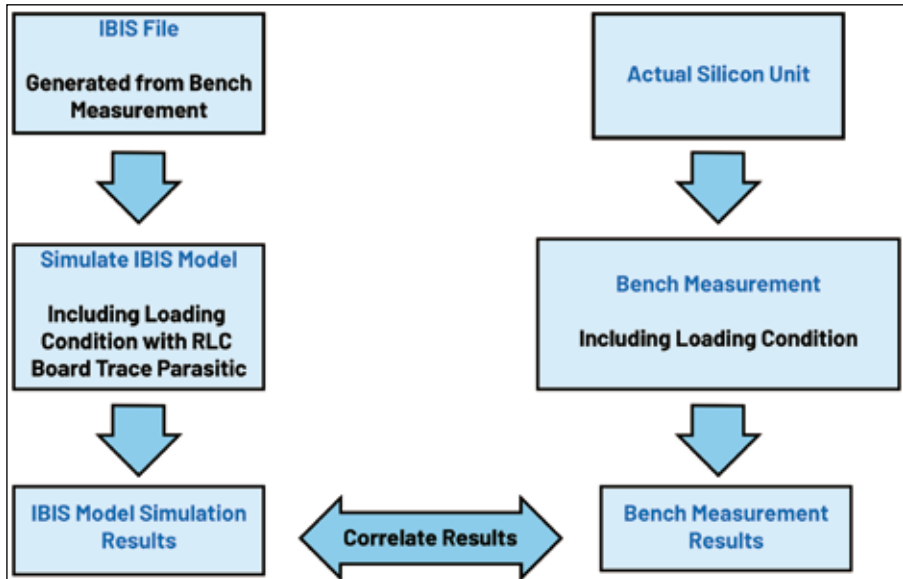


圖 20: 實際 IBIS 模擬設定和負載條件 (輸入緩衝器)

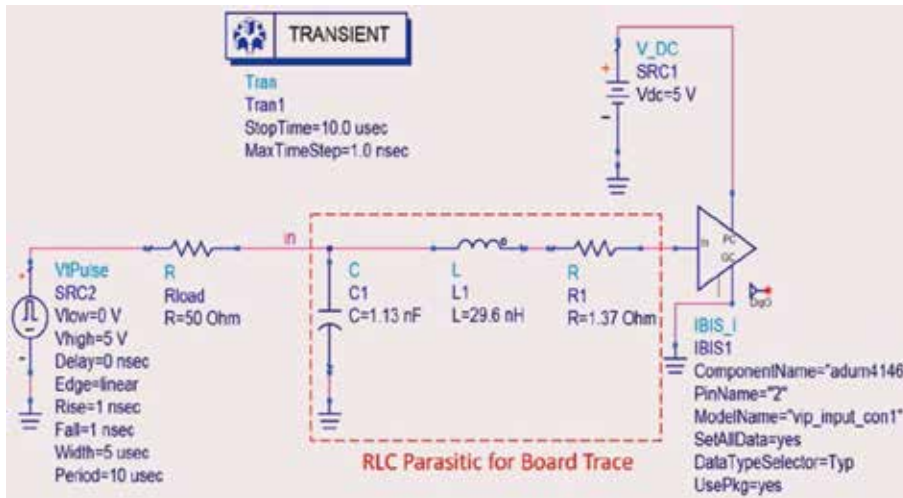
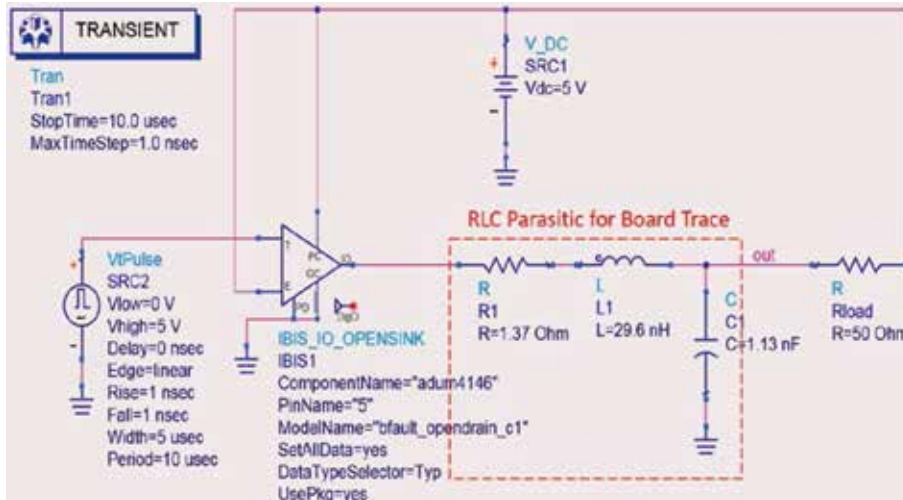


圖 21: 實際 IBIS 模擬設定和負載條件 (開漏緩衝器)



走線寄生效應的影響。在此種情況下，IBIS 試驗台專用板是訊號完整性問題的解決方案，可減少混入目標訊號的干擾訊號所引起的衰減。圖 19 顯示了 IBIS 品質等級 2b 的驗證過程。

IBIS 模型相關性的主要目標是獲得盡可能接近參考的結果。在示波器中捕捉上升 / 下降時間資料時，最好使用負載極低的探頭，以減少訊號衰減。探頭和儀器組合引入的誤差會對目標訊號產生重大影響。根據 Tektronix，「使用特殊濾波技術和正確選擇工具以去除測量系統對訊號的影響、顯示邊緣時間以及其他訊號特性，是測量實際晶片性能時要考慮的關鍵因素」<sup>6</sup>。

圖 20 和圖 21 分別顯示了使用輸入和開漏緩衝器並考慮負載條件的 IBIS 模型的模擬設定。串聯到緩衝器的 RLC 值是來自電路板走線的寄生值。透過夾具增加負載以複製實驗室設置時，重要的是要考慮其對模型性能的影響。

圖 22 和 23 分別顯示了負載條件下輸入和開漏緩衝器的試驗台設定的示意圖。5 V 脈衝訊號用於驅動連接到 50 Ω 負載的開漏緩衝器。圖 24 和圖 25 分別顯示了輸入和開漏緩衝器的 IBIS 模擬與基準測量的相關結果。

表 6 顯示了輸入和開漏緩衝器的 FOM 值與實際晶片基準測量的相關性。FOM 值大

圖 22: 試驗台設定和負載條件 (輸入緩衝器)

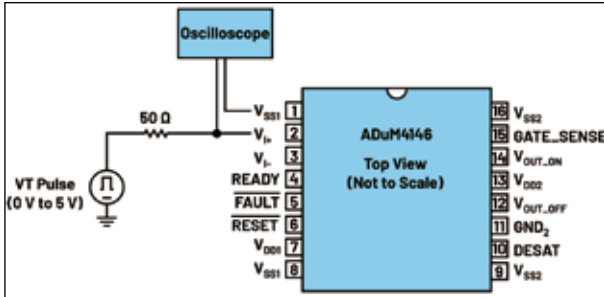


圖 23: 試驗台設定和負載條件 (開漏緩衝器)

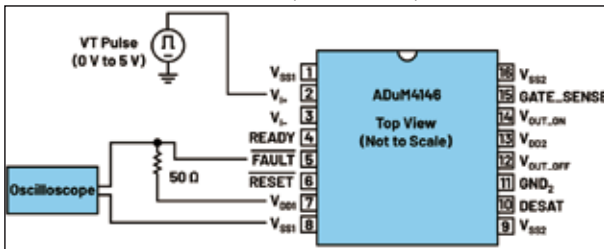


圖 24: 實際晶片單元與 IBIS 模型驗證結果的關係 (輸入緩衝器)

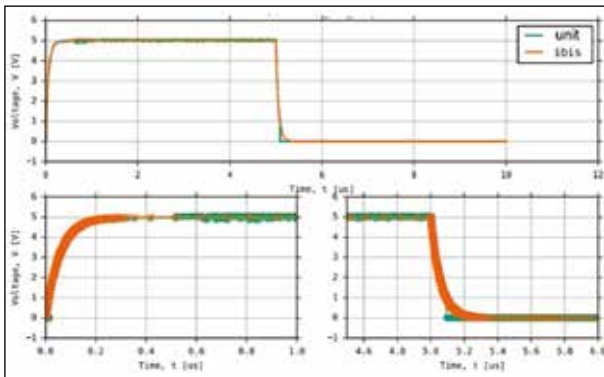
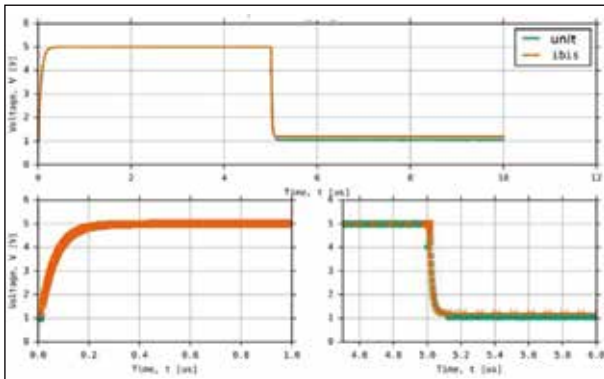


圖 25: 實際晶片單元與 IBIS 模型驗證結果的關係 (開漏緩衝器)



於 95%，表示兩個緩衝器的 IBIS 模型達到了品質等級 2b。由於該模型通過了品質等級 2a 和品質等級 2b 檢查，因此現在可以將其視為

表 6: 輸入和開漏緩衝器的品質等級 2b 驗證 FOM 值

緩衝器模型	FOM
輸入	99.23%
開漏	99.52%

品質等級 3 IBIS 模型。

### 結論和要點

透過基準測量建構高品質 IBIS 模型時，提取硬體與模型相關所需的資料是最具挑戰性的步驟之一。透過仔細關注細節並瞭解 I/O 電路的行為，可以實現實驗室測量與 IBIS 模擬結果的密切相關。在相關處理中，盡可能多地消除衰減是獲得高 FOM 值的關鍵。考慮到這一點，建議使用專用測試夾具以及匹配良好的設備和配件，以確保訊號的完整性。

同時須記住，在相關處理中，IBIS 模型和試驗台設定在訊號經過的佈線方面必須完全相同。這將能減少相關性引起的誤差，進而提高 FOM 值。

擁有品質等級為 3 級的 IBIS 模型對於半導體供應商和客戶都是一個優勢，有助於確保模型從矽前驗證到實際晶片測量時獲得更高的精度水準。

### 參考電路

- Mercedes Casamayor。「應用筆記 AN-715—走近 IBIS 模型：什麼是 IBIS 模型？它們是如何產生的？」。ADI，2004 年。
- Roy Leventhal 和 Lynne Green。半導體建模：用於訊號、功率和電磁完整性模擬。Springer，2006 年。
- Jermaine Lim 和 Keith Francisco-Tapan。「IBIS 建模——第 1 部分：為何 IBIS 建模對設計成功非常重要」。《類比對話》，第 55 卷第 3 期，2021 年 9 月。
- RoyInd Aquino、Francis Ian Calubag 和 Janchris Espinoza。「IBIS 建模——第 2 部分：為何以及如何創建您自己的 IBIS 模型」。《類比對話》，第 55 卷，第 4 期，2021 年 10 月。
- Michael Mirmak、John Angulo、Ian Dodd、Lynne Green、Syed Huq、Arpad Muranyi 和 Bob Ross。IBIS 建模手冊 (IBIS 4.0 版)。IBIS 開放論壇，2005 年 9 月。
- 「串列資料合規和驗證測量的基礎知識」。Tektronix，2010 年 3 月。
- IBIS 品質規範—第 1.0 版。IBIS 品質委員會，2004 年 11 月。
- I/O 緩衝器精度手冊。IBIS 開放論壇，2000 年 4 月。
- 示波器基礎。Tektronix，2009 年。CTA