

# SPICE 與 IBIS：為電路模擬選擇更合適的模型

隨著電路模擬技術在原型設計產業的不斷普及，模擬模型可能成為廣大終端市場客戶的一項關鍵需求。SPICE 和 IBIS 模型是非常受歡迎的兩種模擬模型，有助於在電路板開發的原型設計階段節省成本。本文將介紹 SPICE 與 IBIS 建模系統的區別，以及在製造電路板之前進行測試的重要意義。文中討論如何根據電路設計選擇合適的模型，此外並將分析一些示例使用場景和常用的模擬工具，如 LTSpice 和 HyperLynx。

■作者：May Porley ADI 應用工程師  
Jermaine Lim-Abroguena 系統整合工程師  
Mar Christian Lacida 產品應用工程師

在如此技術飛速發展的數位時代背後，電子製造商源源不絕開發產業所需的基本零組件和工具，全力支援此一數位化發展進程。對於模擬而言，表示電路板開始開發後，設計人員可以在系統設計驗證階段透過模擬模型來確保其功能設計符合預期。在製造前測試設計時，SPICE 和 IBIS 模型是常用的兩種模擬模型。此兩種模型本質上都是行為模型，但對於模擬中何時使用某種模型，根據具體情況有不同的建議。

## 使用模擬模型的好處

一般而言，模擬模型有助於系統設計人員在原型製作之前對電路設計進行模擬。使用 IBIS 和 SPICE 模擬模型時，目標不僅僅是模擬，還包括儘早發現與訊號完整性和電路設計性能等相關的任何問題。這些問題通常是由電路板設計的特性（包括佈線）引起的，或者也可能是零組件功能之類的簡單問題。

IBIS 模型不僅能表示零組件的箝位行為和驅動強度，還能表示數位輸入 / 輸出 (I/O) 緩衝器的阻抗，包括驅動器和 / 或接收器的輸出和輸入阻抗。這些並未在模型中直接說明，但都隱含在表示零組件行

為的 I-V 資料中。在模擬過程中，確定緩衝器阻抗非常重要，因為這些阻抗是解決串擾和反射等訊號完整性問題的關鍵。串擾是一種不需要的訊號干擾，當一條佈線上傳播的訊號與另一條佈線上傳播的訊號耦合時就會發生串擾。另一方面，在製造電路板之前進行訊號完整性模擬期間，也往往會遇到反射問題。眾所皆知，當輸入或輸出緩衝器的阻抗與佈線的特性阻抗不匹配時，就會發生反射。理想情況下，進入元件並沿佈線傳播的訊號應在沒有任何干擾的情況下傳輸到佈線的另一端。但實際上，這種情況通常不會發生。由於阻抗不匹配，訊號完整性會受到影響。在發生反射期間，通常的情況是：沿傳輸線傳播的訊號一部分會傳輸到另一端，另一部分將會反射回來。解決此問題的一種辦法是向緩衝器添加端接電阻。設計人員可以利用 IBIS 模型的阻抗特性來計算端接所需的串聯或並聯電阻，與接腳和傳輸線之間的阻抗相匹配，並解決訊號反射問題。

SPICE 模型透過預測電路行為，可以在建構原型之前發現、考慮並解決可能存在的問題，進而增強電路性能，這對於時間和資金的高效利用具有重要意義。成本和速度是 SPICE 模型模擬的兩個主要優勢。也就是說，在開發過程的早期避免電路錯誤，

進而消除昂貴且耗時的原型返工，以免重新訂購和重新焊接零組件。如今的模擬模型更加先進，可以提供準確的零組件性能近似值。設計人員可以輕鬆更換零組件，以評估採用不同物料清單 (BOM) 的電路設計。同時，設計人員不必花費很多時間製作電路元件原型，也不必在發現並糾正原型錯誤後重新焊接元件。

電壓隨時間變化的 (V-t) 開關特性。其用於在製造之前對系統板進行訊號完整性分析，並以純 ASCII 文本格式的資料呈現。其不披露任何專有資訊，因為 IBIS 模型就像一個黑盒模型，不包含可逆向工程的內部資訊。

### 背景知識

#### 什麼是 SPICE 模型？

SPICE 為 Simulation Program with Integrated Circuit Emphasis (以積體電路為重點的模擬程式) 的首字母縮寫。其是一種通用電路模擬器，採用文本網表描述電路元件 (電晶體、電阻和電容) 及其連接，並使用節點分析將其轉換為數學公式進行求解。相對而言，SPICE 模型是一種基於文本的行為模型，SPICE 模擬器使用此種模型透過數學運算預測元件在不同條件下的行為。

#### 什麼是 IBIS 模型？

IBIS 是 Input/Output Buffer Information Specification (輸入 / 輸出緩衝器資訊規範) 的首字母縮寫。它是一種行為模型，描述元件的數位輸入和輸出緩衝器的類比行為。其由表格資料組成，描述數位緩衝器內零組件的電流 - 電壓 (I-V) 關係，以及輸出或 I/O 緩衝器的

### 模型概述

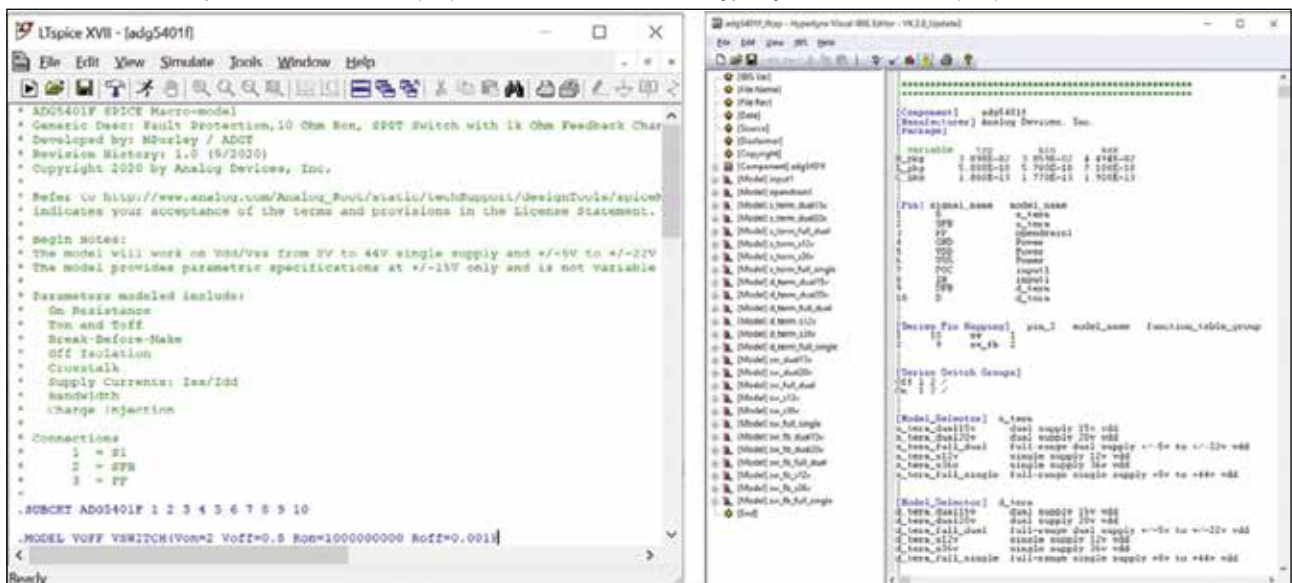
#### 模型看起來是什麼樣子？

如圖 1 所示，IBIS 和 SPICE 模型都是基於文本的行為模型，可以使用記事本等簡單工具查看其內容。不過，為了能更方便瀏覽模型，建議使用 Cadence Model Integrity 或 Siemens 的 HyperLynx 查看 IBIS 檔。另一方面，SPICE 模型可以在各種 SPICE 模擬工具中打開並安裝，例如 LTspice、NI Multisim、OrCAD PSpice 或其他 SPICE 模擬器。

SPICE 和 IBIS 模型都是不可執行檔，並且都是基於文本的描述檔。這兩種模型大多數都由三個主要部分組成：

- 標頭檔：提供關於模型、元件、修訂歷史記錄、模型特有的注釋以及建模元件的公司或品牌的簡要描述或一般資訊。

圖 1: 左側是使用 LTspice 打開的 SPICE 檔 (.cir)，右側是使用 Siemens 的 HyperLynx 打開的 IBIS 檔 (.ibs)



- **模型名稱 / 標題：** 主要提及元件名稱、接腳排列和 / 或接腳到緩衝器映射。對於 SPICE，格式為：點子電路 < 空格 > 模型名稱 (.subckt ADGxx) < 空格 > 接腳排列。對於 IBIS，格式為：[Component] ADGxx。
- **模型結構：** 基於文本的模型表示。SPICE 模型由不同的模塊組成，這些模塊展示元件的每個參數，包括接腳功能；各個模塊可能包括原始和原生元件，如電容、電阻、二極體、電壓源和電流源等。另一方面，IBIS 模型由 I/V 和 V/T 資料表組成，這些資料表是對每個數位 I/O 緩衝器建模的結果。

### 如何獲取模型？

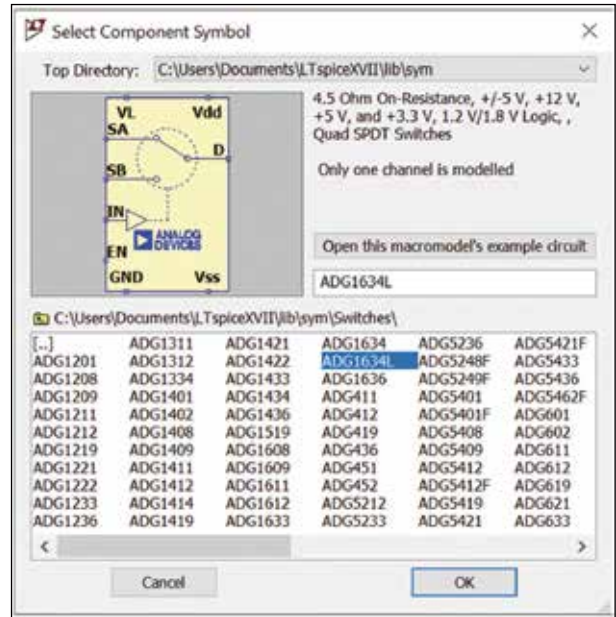
SPICE 和 IBIS 模型大多位於各家半導體公司的網頁上。如今，半導體製造商針對自己的產品開發模擬模型，同時保持模型的包容性、內容、準確性和模型支援。ADI 網站提供了 ADI 產品的各種 SPICE 和 IBIS 模型，如圖 2 所示。

其他 SPICE 模型可以在製造商的 SPICE 模擬器庫中找到。圖 3 顯示了 LTspice 的開關庫，其涵蓋了 ADI 的大部分開關產品。為了簡化模擬方法，選擇具有大量可用 SPICE 模型庫的 SPICE 模擬器會很有幫助。

### 補充檔

為了在模擬器中使用，SPICE 和 IBIS 模型都

圖 3: LTspice 中包含大量 SPICE 模型庫示例



需要隨附一個符號檔。IBIS 模型通常以基於文本的資料表示的形式出現，但為了使用電子設計自動化工具對其進行模擬，一般會將模型置於符號中，外部零組件可連接到該符號。與 IBIS 模型類似，SPICE 模型也需要一個符號檔，該檔通常為點符號 (.asy) 格式，必須同時安裝到 SPICE 模擬器庫中。只需將模型和符號增加 / 安裝到庫中，設計人員就可以在電路模擬中使用模型。圖 4 和圖 5 顯示了 IBIS 和 SPICE 模型中使用的符號檔示例。

對於 IBIS 和 SPICE，製造商均不提供符號檔，

圖 2: ADI 網站中各種 SPICE (左) 和 IBIS (右) 模型

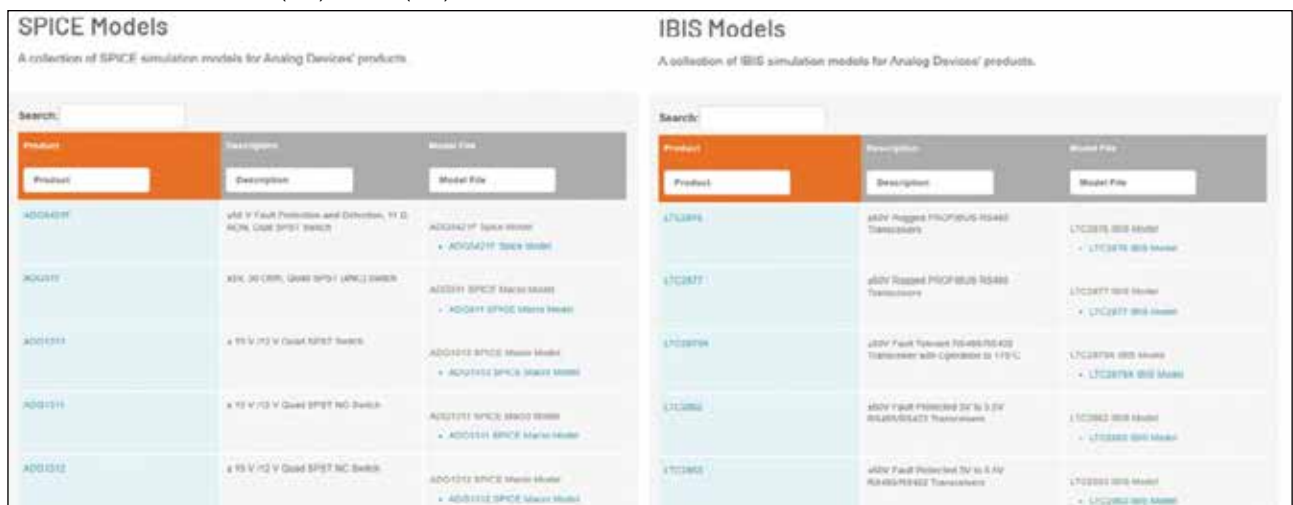


圖 4: 使用 HyperLynx (左) 和 Advanced Design System (右) 的輸出緩衝器 IBIS 符號

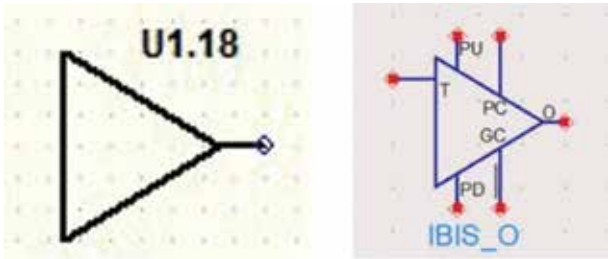
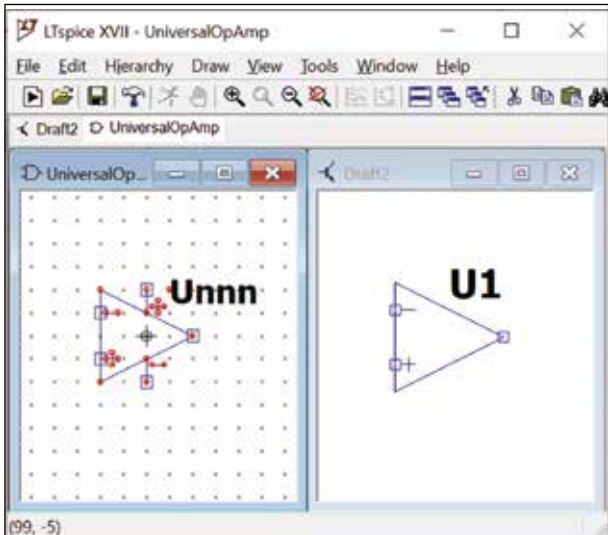


圖 5: 簡單 3 接腳運算放大器的 SPICE 符號檔 (右) 範本, 及其在 LTspice 電路模擬中使用的等效符號 (左)



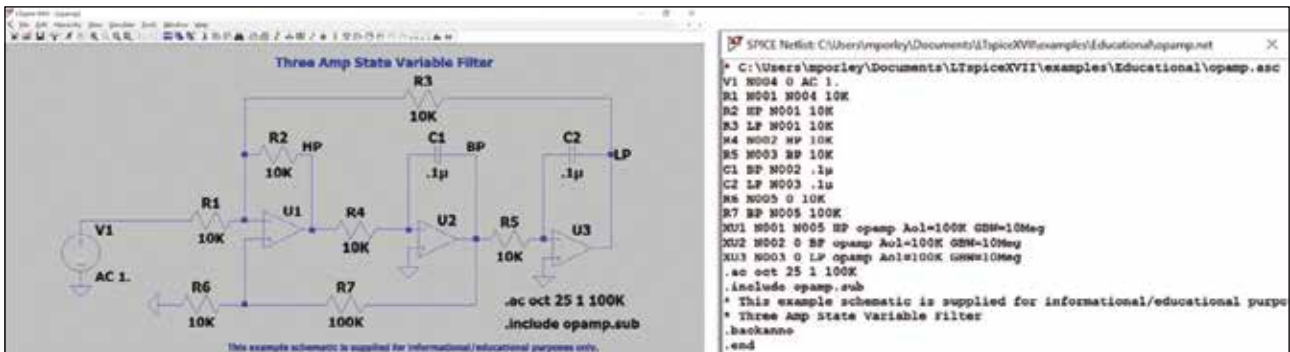
但大多數模擬器提供範本符號，設計人員可以根據接腳數量或元件類型使用這些符號。另外，SPICE 符號檔還可以自動產生，此功能取決於 SPICE 模擬器。

## 模型比較

### SPICE 模型

一般而言，SPICE 模型可複現零組件行為，包

圖 6: 三放大器狀態變數濾波器的 SPICE 模型示例



括接腳排列、接腳配置、功能和其他操作。這些模型沒有標準架構，但其目標是創建一個準確複現零組件預期行為性能 (包括其接腳功能) 的架構。模型可能由電阻、電容、二極體和電晶體等被動元件組成，如果設計得當，這些元件就會產生目標元件行為。需要記住一點，由於 SPICE 模型可準確複現零組件的行為，因此可能會包含複雜電路，進而導致模擬週期變慢。SPICE 模型可以是簡單的單行文本，描述電阻之類的被動元件，也可以長達數百行，描述更複雜的電路和子電路。

如上所述，SPICE 模型可以使用基於文本的工具打開，但大多數最新的 SPICE 模擬器支援查看等效原理示意圖，以便能更輕鬆進行電路分析。如圖 6 所示，其中三放大器狀態變數濾波器也可以轉換為等效的描述電路元件及其連接的文本網表。

在模型性能方面，根據經驗法則，SPICE 模型可提供與元件產品手冊提供的規格和功能相近的行為性能。例如，開關 SPICE 模型應具有導通電阻和時序參數，而放大器很可能具有增益頻寬和輸入失調參數。相對而言，模型功能和規格必須接近產品手冊中提供的典型值、最小值或最大值，或在這些值的範圍以內。

### IBIS 模型

一般而言，IBIS 模型以標準架構來表示數字 I/O 緩衝器。透過 IBIS 關鍵字表示來實現，關鍵字用於描述數位緩衝器的每個元件，如圖 7 所示。IBIS 關鍵字以 V-I 查找資料表和 V-t 查找資料表的形式出現。

圖 7: 典型 I/O 緩衝器的 IBIS 框圖

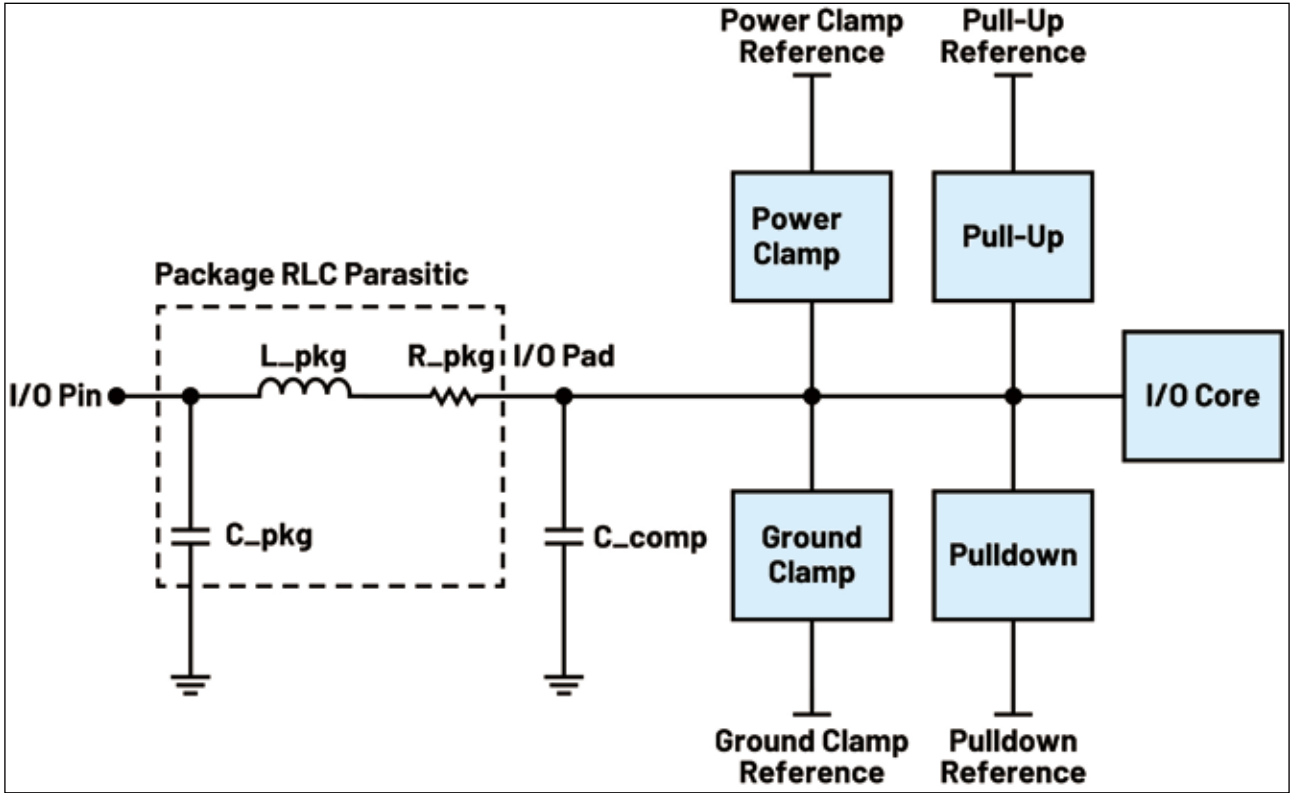
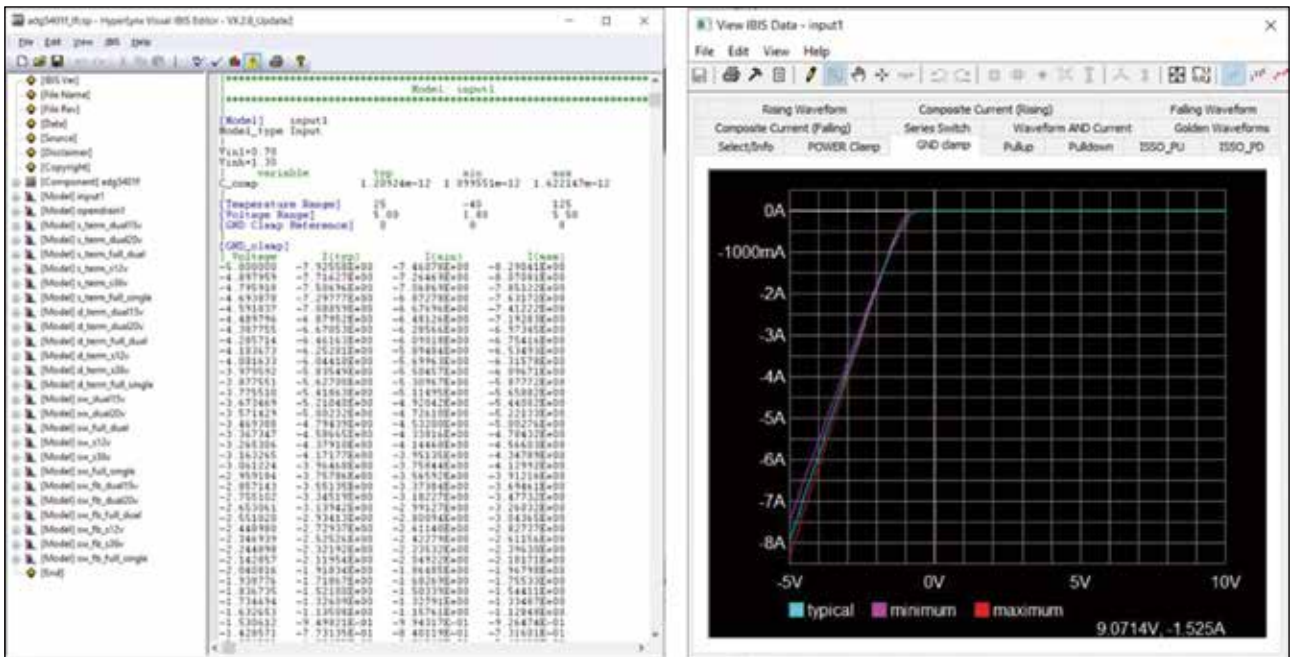


圖 8 中的左圖顯示了 IBIS 模型中的 V-I 查閱資料表示例，右圖顯示了使用 Siemens HyperLynx 繪製該 V-I 查閱資料表得到的波形。其是在一組電壓範

圍 (通常從  $-V_{DD}$  到兩倍  $V_{DD}$ ) 下進行的一系列電流測量，以表示特定 IBIS 零組件在三種情況 (典型製程角、慢製程角和快製程角) 下的行為。此可透過改

圖 8: ADG5401F 的 IBIS 關鍵字 V-I 資料 (左) ; 使用 Siemens HyperLynx 繪製的 V-I 曲線 (右)



變元件的製程角、工作電壓和工作溫度來完成。這些表以 [Power\_clamp] 和 [GND\_clamp] 關鍵字表示接收器的箝位保護元件，並以 [Pullup] 和 [Pulldown] 關鍵字表示 I/O 緩衝器的驅動強度。此 4 個 V-I 關鍵字在模型中單獨表示，因為接收模式和驅動模式都是訊號完整性模擬所必需的。

另一方面，V-t 表以 [Rising\_Waveform] 和 [Falling\_Waveform] 的形式表示驅動器從一種狀態轉換到另一種狀態時的開關特性（負載以  $V_{DD}$  和地為參考時）。其還在 IBIS 關鍵字 [Ramp] 項下包含 I/O 緩衝器的擺率，該擺率是在轉換邊緣的 20% 到 80% 範圍測量的。這些波形和斜坡資料描述了驅動器零件開啓或關閉的速度與時間的關係。

雖然這些關鍵字在模型中是單獨表示的，但在模擬期間使用時，電子設計自動化模擬工具會結合這些 V-I 和 V-t 資料，根據其工作區域建構緩衝器模型，並且會使用該模型執行印刷电路板的訊號完整性模擬和時序分析。

此外，IBIS 模型還包含元件的 RLC 接腳和 / 或封裝寄生值，以及每個 I/O 緩衝器的緩衝器電容 (C\_Comp)。C\_comp 是從焊墊回到緩衝器的電容，不包括封裝電容。

欲瞭解更多有關 IBIS 模型中的 V-I 和 V-t 資料表或關鍵字的資訊，您可以參閱之前發表的文章「IBIS 建模——第 1 部分：為何 IBIS 建模對設計成功非常重要」。

## 模擬工具

現有各種各樣的產業標準 SPICE 和 IBIS 模擬器，可為大多數高速設計系統以及類比和混合訊號電路提供設計模擬，適合專業人士和教培人員使用。SPICE 模擬器通常根據電路連接 / 節點產生節點公式，然後嘗試求解各個節點處的電流和電壓值。另一方面，IBIS 模擬器參照模型中提供的 V-I 和 V-t 查找資料表來預測訊號的輸出行為。業界常用的模擬器包括：

## IBIS 模擬器

- Siemens 的 HyperLynx 為一款電子設計自動化工具，用於分析高速電子設計中的訊號完整性、電源完整性、電氣設計規則檢查和電磁建模。該工具可用於查看、編輯 IBIS 模型以及利用模型進行模擬。
- Keysight 的 Advanced Design System 為一款電子設計自動化工具，可用於各種設計流程，例如頻域和時域電路模擬、原理圖設計和佈局、設計規則檢查、電磁場模擬等。該工具常用於 IBIS 模型模擬。

## SPICE 模擬器

- LTspice 為一款高性能 SPICE 模擬器軟體，包括原理圖捕獲圖形介面。透過內建波形檢視器可探測原理圖以產生模擬結果。此款 SPICE 模擬器的圖形化使用者介面 (GUI) 基於對原理圖輸入所需的鍵盤輸入和滑鼠動作的統計分析，相較於其他 SPICE 模擬交互性更強。LTspice 包括一個龐大的 SPICE 模型庫，其涵蓋了大部分 ADI 產品和訊號鏈產品，另外還有一個被動元件庫。
- NI Multisim 具有互動式原理圖環境，可即時視覺化和分析電子電路行為。該模擬器具有虛擬示波器、數位萬用表和其他基準測試裝置，使電路模擬體驗接近典型的工程師試驗台評估環境。
- OrCAD PSpice Designer 集原理圖輸入、原生類比、混合訊號和分析引擎於一體，提供完整的電路模擬和驗證解決方案。無論是製作簡單電路原型、設計複雜系統，還是驗證零組件良率和可靠性，OrCAD PSpice 技術都能提供卓越的高性能電路模擬，讓您在進行佈局和製造之前有效分析和完善電路、零組件及參數。

## IBIS 模型和 SPICE 模型用例

### IBIS 模型

IBIS 模型通常以基於文本的資料表示的形式出現，但為了使用 EDA 工具對其進行模擬，一般會將

模型置於符號中，外部零組件可連接到該符號。模擬器使用模型中包含的資料來分析和預測給定情況下的緩衝器行為。

Siemens 的 HyperLynx 和 Keysight 的 Advanced Design System 都具有 IBIS 符號，設計人員可以在模擬中使用這些符號。圖 9 展示了這些符號在這些工具中的顯示方式。

■在 HyperLynx 中進行單端輸入或輸出緩衝器模擬時，可以使用左圖第一個突顯的緩衝器，然後載入 IBIS 模型並選擇要模擬的具體緩衝器。如果選擇輸出緩衝器模型，工具會自動顯示輸出緩衝器。否則，如果要模擬輸入緩衝器，工具會自動將符

號轉換為輸入緩衝器符號。

■在 Advanced Design System 中，"Signal Integrity - IBIS" (訊號完整性 - IBIS) 元件板會顯示各種類型的緩衝器模型。如果需要開漏輸出，必須選擇標記為 OSNK 的符號；如果要模擬端接電阻，模擬中必須使用標記為 T 的符號。請注意，如果選擇的符號不對，可能會導致錯誤。例如，如果需要輸入緩衝器，卻在原理圖中放置了輸出緩衝器符號，將無法看到 IBIS 中建模的輸入緩衝器可用接腳，因為模擬器只允許符號中載入輸出緩衝器接腳。

IBIS 模型模擬的用途之一是解決不需要的訊號

圖 9: HyperLynx 工具列顯示了可用於 IBIS 模型模擬的單端緩衝器、差分緩衝器和 IC 元件的符號 (左); Advanced Design System 工具列顯示了可用於 IBIS 模型模擬的不同類型緩衝器的符號 (右)

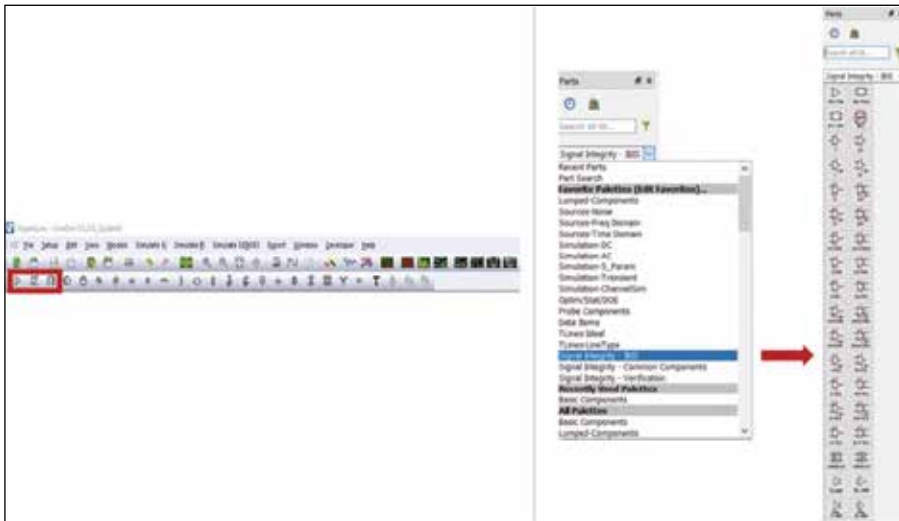
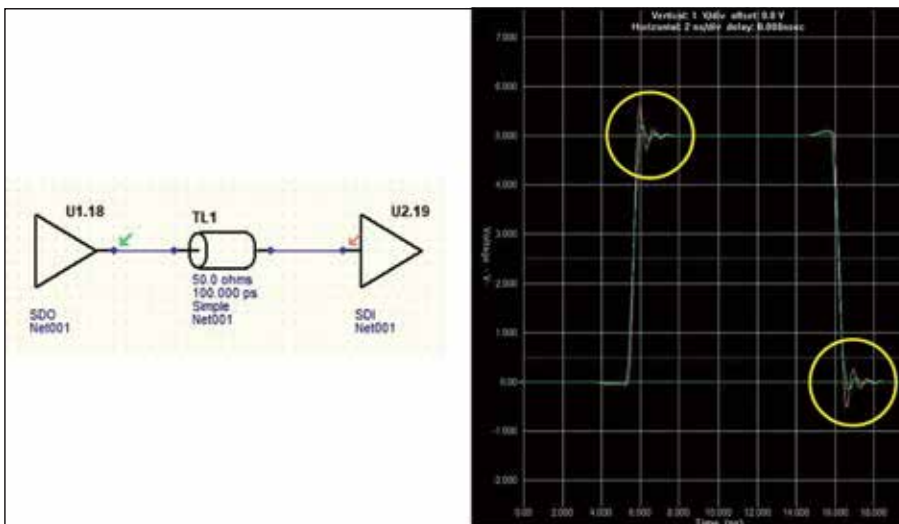


圖 10: 未採用端接電阻的原理圖 (左) 及其相應的結果 (右)



行為，這些行為通常是由緩衝器和充當傳輸線的 PCB 佈線之間的阻抗不匹配引起的。例如，圖 10 中使用 HyperLynx 的原理圖模擬。

圖 10 所示是使用 50 Ω 佈線進行的末端接輸出緩衝器模擬，其會產生不需要的過沖和欠沖訊號。為了解決此問題，可以增加一個串聯端接電阻，與緩衝器和佈線之間的阻抗相匹配。但在此之前，必須先確定輸出緩衝器的阻抗。

IBIS 模型中的 V-t 表、相對於地的 [Rising\_Waveform] 和相對於 V<sub>DD</sub> 的 [Falling\_Waveform] 可用於計算緩衝器的輸出阻抗，因為該參數是模型中表示的資料本身固有的。使用分壓器定理可以推導出緩衝器阻抗值，然後使用此值來計算需要增加到模型中並與緩衝器和佈線之間的阻抗相匹配的適當端接電阻。這將有助於解決阻抗失配問題，並消除訊號中不需要的過沖和欠沖。

圖 11 顯示了分壓器的原理圖，其中  $Z_b$  是緩衝器阻抗， $R_{\text{fixture}}$  和  $V_{\text{fixture}}$  可在模型中找到，而  $V_{\text{SETTLE}}$  是  $V$ - $t$  波形穩定後的電壓。

確定端接電阻值後，即可將其增加到原理圖中。

圖 11: 分壓器的原理圖

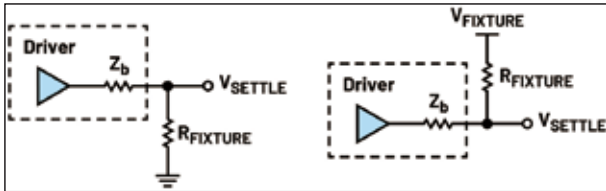


圖 12: IBIS 模型顯示了擷取  $V$ - $T$  查閱資料表所使用的電路：上升波形 (左) 和下降波形 (右)

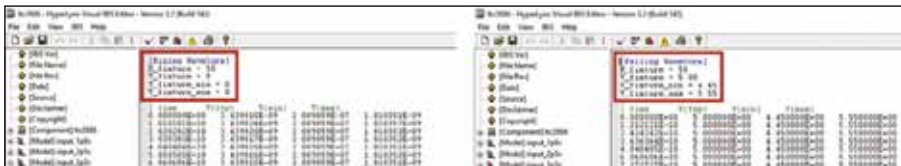


圖 13: 採用端接電阻後的原理圖 (左) 及其相應的結果 (右)

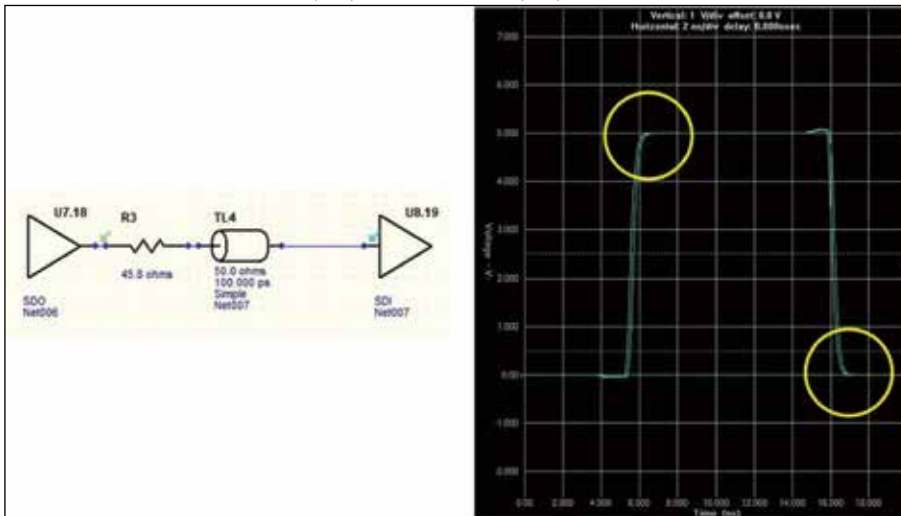


圖 14: 使用 ADG1634L 模型的 SPICE 模擬示例

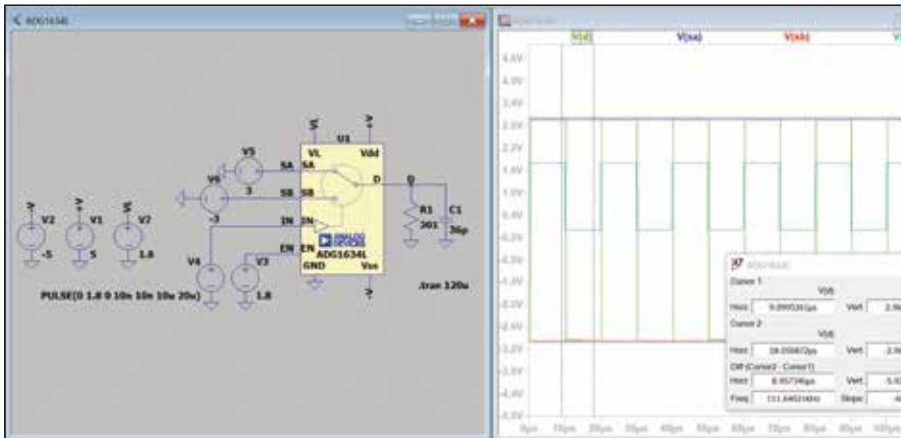


圖 13 顯示了端接後的原理圖及其相應結果，初始過沖和下沖問題已得到解決。

上述方法只是用於計算緩衝器阻抗並解決不匹配阻抗問題的策略之一。還有其他方法，例如使用 IBIS 模型的下拉  $V$ - $I$  表，並執行負載線路分析來確定工作點。由此可以推導出輸出阻抗以及串聯端接電阻的值。

### SPICE 模型

圖 14 顯示了瞬態分析中使用 ADG1634L 模型的

SPICE 模擬示例。設計人員可以評估 ADG1634L 的性能 (在本例中) 並對其進行模擬，以檢查元件的時序和其他功能；繪圖結果將在時域中顯示。瞬態分析可預測元件在指定時間範圍內的行為。SPICE 模型還可以在不同類型的分析中進行模擬，例如直流分析和交流分析。直流分析根據一系列直流輸入值計算電路的電壓和電流。交流分析確定電路中節點的相位和幅度，這對於檢查頻域中的電路行為可能很有用。

更進一步，可以對更複雜的電路設計進行 SPICE 模擬，進而確定設計的性能。參見圖 15 中的示例。

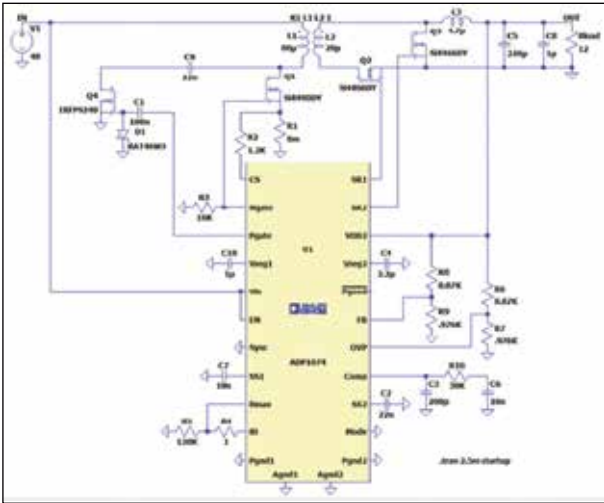
### 哪種模型更適合您的模擬？

對於以下情形，IBIS 模型可能非常適合電路模擬：

- 如果設計人員正在評估數位 I/O 緩衝器的行為特性，例如緩衝器阻抗、驅動強度、上升時間或下降時間



圖 15: LTspice 中的前向主動鉗位元電路 SPICE 模擬示例



- 當您嘗試評估數位元件 (如 FPGA) 時
- 關注訊號完整性或元件數位 I/O 接腳連接到 PCB 佈線時可能出現傳輸線錯誤的設計

另一方面，如果需要透過電路模擬更全面地瞭解元件性能，包括類比、數位和電源接腳功能以及其連接到電路中的多個元件時的行為回應，則建議使用 SPICE 模型。應使用 SPICE 模型而不是 IBIS 模型的其他情形包括：

- 需要評估元件在電路中使用時的功能及其行為性能時
- 需要評估元件在不同分析和域 (時域或頻域) 中的行為回應時
- 需要深入細緻的節點分析並求解電路中的電流和電壓節點的複雜設計

## 結語

SPICE 和 IBIS 模型在業界越來越受歡迎，因為這些模型可以協助設計工程師在原型製作之前和期間驗證目標電路性能，進而節省設計成本和時間。此兩種模型本質上都是行為模型。一般而言，SPICE 模型可複現零組件行為，包括接腳排列、接腳配置、功能和其他操作。IBIS 模型使用電壓 - 電流和電壓 - 時間表格資料形式的參數來模擬元件的數位 I/O 行為。為了在模擬器中使用這些模型，SPICE 和 IBIS 模型都需要隨附一個符號檔。SPICE

模型模擬可預測元件的性能，包括其預期的接腳功能和配置，而 IBIS 模型模擬通常用於預測數位 I/O 接腳上出現的訊號完整性問題，例如 PCB 模擬期間的阻抗失配、串擾、反射、下沖或過沖。選擇使用哪種模型取決於設計人員使用模型的目的。對於關注訊號完整性、驅動強度或元件數位 I/O 接腳連接到 PCB 佈線時可能出現傳輸線錯誤的設計，強烈建議使用 IBIS 模型。另一方面，如果透過電路模擬瞭解元件性能，包括在電路中使用時其類比、數位和電源接腳的功能，則建議使用 SPICE 模型。

## 參考電路

- Gabino Alonso。「開啓並運行 LTspice」。類比對話，第 53 卷第 4 期，2019 年 12 月。
- Mike Engelhardt。「SPICE 差異化」。LT Journal of Analog Innovation，2015 年 1 月。
- Roy Leventhal。「如何使用 IBIS 模型」。2014 年 3 月。
- Roy Leventhal 和 Lynne Green。半導體建模：用於訊號、電源和電磁完整性模擬。Springer，2006 年。
- Jermaine Lim 和 Keith Francisco-Tapan。「IBIS 建模——第 1 部分：為何 IBIS 建模對設計成功非常重要」。《類比對話》，第 55 卷第 3 期，2021 年 9 月。
- 「Advanced Design System」。維基百科，免費百科全書，2022 年 5 月。
- 「HyperLynx 高速設計分析和驗證」。西門子。
- 「IBIS 建模手冊 (IBIS 4.0 版)」。IBIS 開放論壇，2005 年 9 月。
- 「LTspice：原理圖編輯器」。ADI。
- 「LTspice：概述」。ADI。
- 「為什麼選擇 IBIS？」Advanced Micro Devices, Inc. 