

應用筆記

優化 AD9081 及 AD9082 的射頻性能 (I)

■文：ADI

簡介

AD9081 和 AD9082 混合訊號前端 (MxFE) 元件是許多應用中使用的高性能、高整合度射頻數位類比轉換器 (DAC) 和射頻類比數位轉換器 (ADC)。

二者都包含四個 16 位元、12 GSPS 最大取樣速率的 DAC 核心。AD9081 包含四個 12 位元、4 GSPS 速率 ADC 核心，而 AD9082 包含兩個 12 位元、6 GSPS 速率 ADC 核心。

此兩款元件均有 16 線 24.75 Gbps JESD204C 或 15.5 Gbps JESD204B 收發器埠、晶片內時脈倍頻器和數位訊號處理功能，適合多頻段 RF 無線電應用。此兩款元件均整合了一個插值器 (可旁路) 和抽取器，可實現超寬頻能力，並提供低延遲環回和跳頻模式，適合相位陣列雷達系統和電子戰干擾器應用。

透過仔細選擇巴倫和阻抗匹配，AD9081 和 AD9082 的 DAC 和 ADC 具有 7.5 GHz 的可用頻寬。AD9081 和 AD9082 均可利用高達 12 GHz 的外部時脈直接驅動。

本應用筆記還可用於優化 AD9988、AD9986、AD9207、AD9209 和 AD9177 的射頻和時脈前端。有關這些元件之間主要區別的更多資訊，請參閱 UG-1578。

概述

在更高頻率下優化 DAC/ADC/時脈性能

大多數射頻介面設計為 50 Ω 單端或 100 Ω 差

分。然而，這通常僅適用於較低頻率。

AD9081 和 AD9082 RF DAC、ADC 和時脈的工作頻率高達 6 GHz 或更高，矽晶片和層壓封裝上的寄生效應會導致輸入或輸出阻抗隨頻率發生明顯變化。

圖 1 中的史密斯圓圖顯示了 AD9081 ADC 的差分輸入阻抗隨頻率的變化。圖 1 顯示 AD9081 ADC 的差分輸入阻抗從低頻時的 100 Ω 開始，然後在較高頻率時繞史密斯圓圖盤旋上升。圖 2 顯示 ADC 輸入導納的實部在 0 到 8 GHz 範圍內從 50 Ω 變化到 250 Ω。

AD9081 和 AD9082 (ADC、DAC 和時脈) 的

圖 1: 由於矽片和封裝的寄生效應，AD9081 ADC 輸入阻抗隨頻率變化明顯 (史密斯圓圖以 100 Ω 為參考)

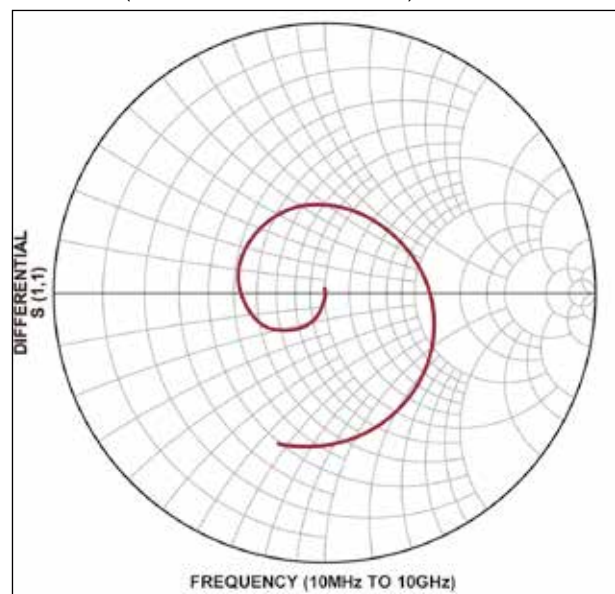


圖 2: AD9081 ADC 輸入導納的實部隨頻率在 50 Ω 至 250 Ω 之間變化

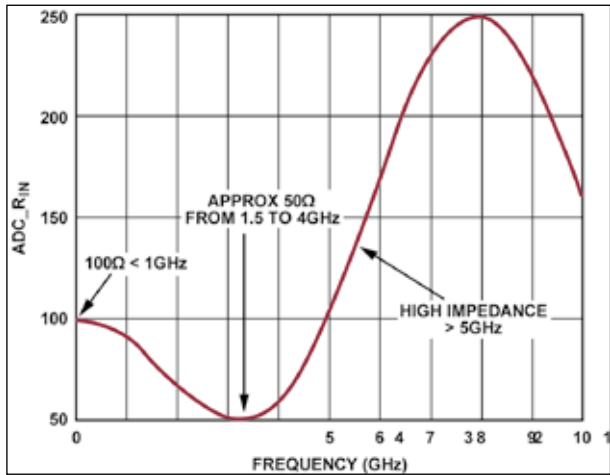
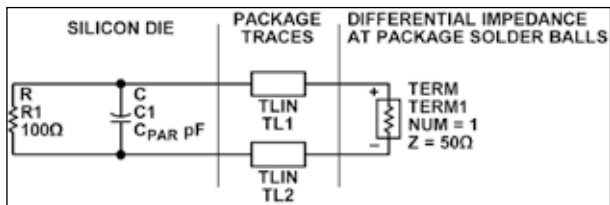


圖 3: AD9081 和 AD9082 RF I/O 阻抗的簡單電路模型



所有 RF 輸入 / 輸出 (I/O) 都可以使用圖 3 所示的簡單原理圖進行建模。

該模型從晶片上預期的 100 Ω 差分電阻開始。每個 RF I/O 都包括晶片上的一些寄生並聯電容 (C_{PAR})，其使阻抗向下旋轉到史密斯圓圖的左下象限。然後，從矽片到封裝 BGA 接腳的封裝佈線 (TL1、TL2) 使阻抗繞著史密斯圓圖順時針旋轉，產生類似於圖 1 所示的史密斯圓圖。

由於阻抗隨頻率變化，有必要仔細設計系統印刷電路板 (PCB)，使 AD9081 在特定目標頻段發揮理想性能。

AD9081 和 AD9082 的 DAC 輸出阻抗和時脈輸入阻抗隨頻率的變化相似。

如果使用巴倫將差模訊號轉換為單端 (或相反)，巴倫阻抗也會隨頻率變化，這也會明顯影響 DAC、ADC 或時脈性能。巴倫和 ADC/DAC 阻抗隨頻率的變化會產生複雜的阻抗匹配問題，若不使用電路模擬器，我們將難以在寬頻率範圍內優化性能。

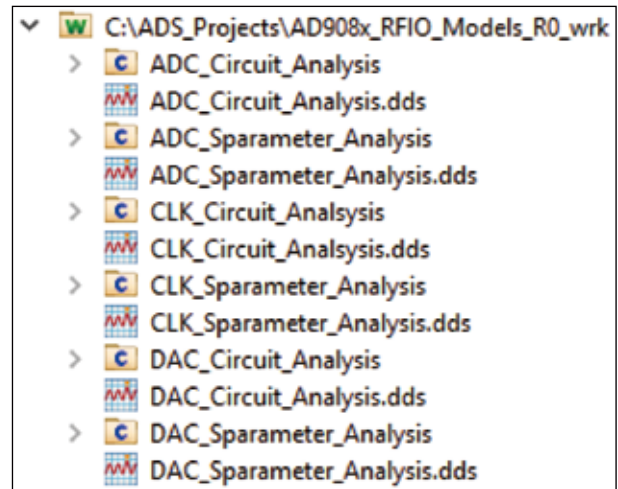
ADI 提供 Keysight 先進設計系統 (ADS) 電路模擬器檔案，可利用其來優化 AD9081 和 AD9082

DAC、ADC、時脈 RF I/O 針對特定頻段的 PCB 設計和巴倫選擇。實際模型資訊包含在 Touchstone 格式的 .sNp 檔中，其他電路模擬器也可以使用。

AD9081 和 AD9082 的 ADS 檔案

ADS 檔案中包含的 AD9081 和 AD9082 射頻模型 (參見圖 4) 可用於設計系統板，以在特定目標頻段實現理想性能。ADS 檔案提供了 RF DAC 輸出、RF ADC 輸入和時脈輸入的 RF 模型。

圖 4: AD9081 和 AD9082 ADS 檔案的內容，包括 S 參數和 DAC、ADC、時脈介面的電路分析原理圖



對於所有三個 RF 介面，ADS 檔案包含以下內容：

- S 參數分析，可用於查看封裝 BGA 接腳處 3 個 RF 介面的輸入 / 輸出阻抗。
- 電路分析，可用於在系統板上模擬和優化不同頻率下的性能。

AD9081 和 AD9082 的實際 DAC、ADC 和時脈模型是一組 Touchstone .sNp 文件。對於非 ADS 用戶，這些 .sNp 檔也包含在 AD908x_RF_Models.zip 文件的 AD908x_Sparameter_Models 資料夾中。本應用筆記中顯示的 ADS 原理圖可用於指導其他電路模擬器中 AD9081 和 AD9082 模型的設定和模擬。

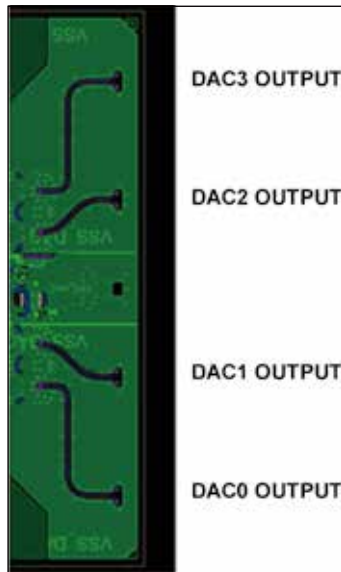
資料檔案夾 ADS Archive 還包括一個名為 "Balun sparameters" 的資料夾。"Balun sparameters" 資料夾包含以下內容：

- 來自 Min-Circuits 網站的 TCM1-83X+(0.01 GHz 至 8 GHz 1:1)、TCM2-43X+(0.01 GHz 至 4 GHz 2:1)、MTX2-143+(5.5 GHz 至 13.5 GHz 2:1)、NCR2-123+(4.7 GHz 至 12 GHz 2:1) 巴倫的 S 參數。
 - 來自 Murata 的 3.2 GHz 至 6 GHz LDB184G6BAAE047(1:1)、LDB184G6BAAE048 (2:1)和LDB184G6BAAE049 (4:1)巴倫的S參數。
 - ADI 對 Marki BALH-0009SMG(0.0005 GHz 至 9 GHz 1:1) 巴倫的測量結果。
 - Marki BAL-0416SMG (4 GHz 至 16 GHz 2:1) 巴倫的 S 參數。
 - 對於非 ADS 用戶，巴倫參數資料夾也可以在 AD908x_RF_Models.zip 文件中找到。
- 用戶還可以使用任意一組巴倫 S 參數來對 AD9081 和 AD9082 進行性能模擬。

AD9081 和 AD9082 DAC 模型

如圖 5 所示，圖 5: AD9081 封裝的 DAC 輸出佈線

AD9081 DAC0 和 DAC3 輸出的封裝佈線比 DAC1 和 DAC2 輸出的封裝佈線要長。在較高頻率下，長度差異影響明顯，因此 ADS 檔案包含 DAC0/DAC3 和 DAC1/DAC2 的不同模型。



DAC S 參數分析

ADS 檔案中的 DAC_S-parameter_Analysis 原理圖可用於查看封裝 BGA 接腳處 AD9081 和 AD9082 的 DAC 輸出阻抗。圖 8 顯示了原理圖。透過致能或禁用兩個 .s4p 檔中的一個，用戶可以選擇 DAC0/DAC3 輸出或 DAC1/DAC2 輸出。原理圖中的 Term2 是 DAC 電流源所在的晶片內埠。對於 S

參數分析，Term2 設定為高阻抗。Term1 提供封裝 BGA 接腳處的模擬 DAC 輸出阻抗。

對於非 ADS 用戶，AD9081/2_RF_Models.zip 檔中包含同樣的 .s4p 檔，任何電路模擬器都可以使用。

圖 6 顯示了運行 DAC_S-parameter_Analysis 模擬的結果。圖 6 表明，同 AD9081 和 AD9082 ADC 輸入阻抗一樣，DAC 輸出阻抗也隨頻率明顯變

圖 6: AD9081 和 AD9082 DAC 輸出阻抗隨頻率變化明顯 (史密斯圓圖以 100 Ω 為參考)

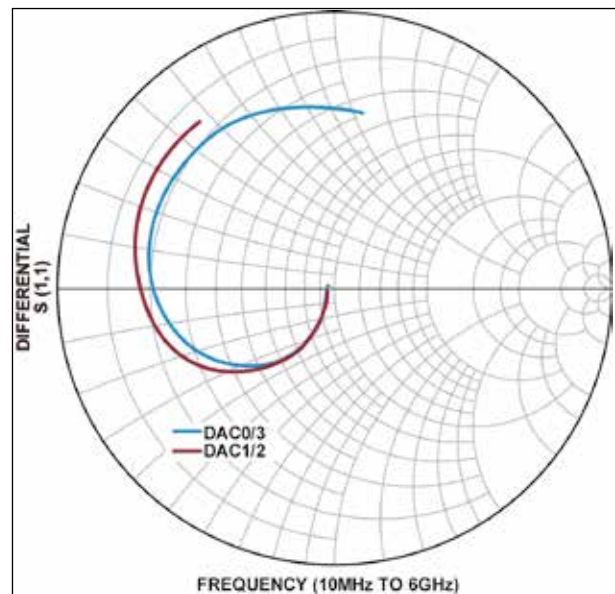
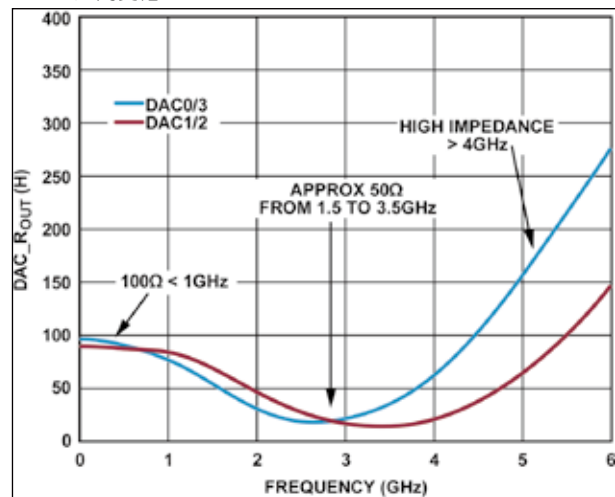
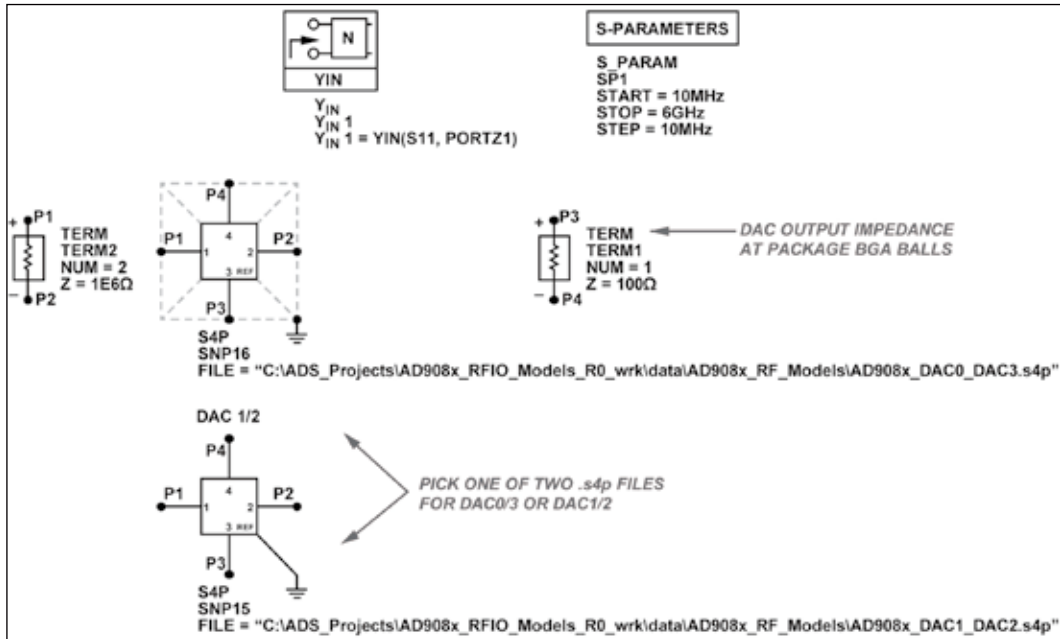


圖 7: AD9081 和 AD9082 DAC 輸出導納的實部隨頻率在 25 Ω 至 250 Ω 之間變化



化。由於封裝佈線較短，DAC1 和 DAC2 圍繞史密斯圓圖的旋轉比 DAC0 和 DAC2 少。圖 7 顯示，同

圖 8: 用於 DAC S 參數分析的 ADS 電路原理圖



ADC 輸入一樣，DAC 輸出導納的實部在低頻時接近 100 Ω，在 3 GHz 左右下降到 25 Ω 附近，然後在更高頻率時上升到 100 Ω 以上。

DAC 電路分析

ADS 檔案中的 DAC_Circuit_Analysis 原理圖 (參見圖 14) 可用於模擬和優化特定頻率範圍內的 DAC 輸出功率。對於此電路分析，理想電流源連接到 DAC .s4p 模型的 P1 和 P2。

使用者選擇滿量程 DAC 輸出電流 (IOUTFS)、數位回退 (dBFS) 和 DAC 工作頻率 (f_{DAC}) 設定。然後，用戶可以透過致能或禁用兩個 .s4p 檔來選擇 DAC0/DAC3 輸出或 DAC1/DAC2 輸出。

圖 14 包含 DAC 輸出和巴倫輸入之間的 PCB 佈線的兩個簡化模型。對於理想模型，使用者選擇 PCB 佈線的差分阻抗 (Ω) 和佈線的電氣長度 (psec)。此種理想分析可用於分析不同 PCB 線路阻抗和長度對應的 DAC 性能。

對於 PCB 佈線的物理模型，使用者在 MSUB 模組中定義 PCB 的基本資訊 (電介質厚度、介電常數和金屬厚度)，然後在 MCLIN 模組中輸入 PCB 佈

線的特定資訊 (線寬、線距和線長)。物理模型可用於模擬不同 PCB 設計的 DAC 性能。

在實踐中，為使模擬的和測量的 DAC 輸出功率 (相對於頻率) 具有理想一致性，ADI 發現有必要對 PCB 佈線執行電磁 (EM) 模擬。

用戶可以為其打算使用的特定巴倫選擇 S 參

數。只要佈線和連接到巴倫單端輸出的同軸連接器與 50 Ω 匹配良好，就沒有必要將其納入 DAC 電路分析中。

如果用戶計畫使用 AD9081 和 AD9082 DAC 直接驅動另一個差分元件，那麼運行 DAC 電路分析的簡單方法是禁用巴倫 .s3p 檔並致能理想的 1:1 巴倫。然後可以修改 Term1 的電阻，以向 DAC 提供任何所需的差分負載阻抗。

圖 14 中顯示的 MeasEqn 模組中的公式用於計算傳送到巴倫輸出上 50 Ω 負載的功率。

DAC 代表使用離散和統一時間間隔的連續時域訊號，如圖 9 所示。DAC 的零階保持或階躍響應導致 $\sin(x)/x$ 頻率響應如圖 10 所示，其中 f_{DAC} 是 DAC 的工作頻率。

圖 11 顯示，對於 $f_{DAC} = 11.8$ GHz，在 $f_{DAC}/2 = 5.9$

圖 9: DAC 代表使用離散時間間隔的連續波形

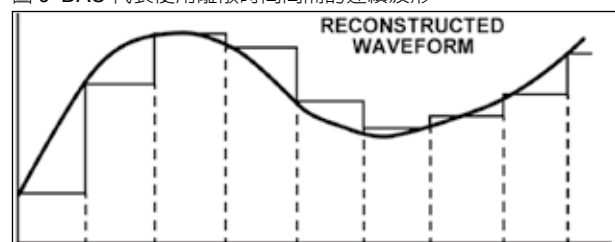
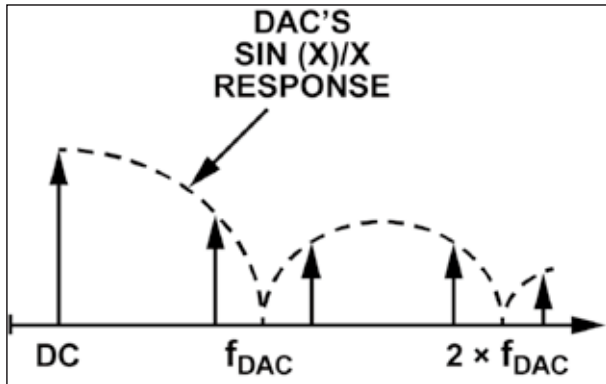


圖 10: DAC 階躍回應導致的 $\text{Sin}(x)/x$ 頻率響應



GHz 時， $\text{Sin}(x)/x$ 滾降使 DAC 輸出功率降低大約 4 dB。圖 12 顯示了在有和沒有 $\text{Sin}(x)/x$ 滾降的情況下，AD9081 和 AD9082 DAC 使用典型巴倫的模擬回應。

可以對 DAC 輸出應用反 Sinc 校正，以部分補償 $\text{Sin}(x)/x$ 滾降 (參見圖 13)。圖 14 中顯示的 MeasEqn 模組中的 InvSinc 函數包括典型反 sinc 濾波器的曲線擬合公式。可以將 InvSinc 變數增加到 ADS 資料顯示中的模擬 PTsinc 計算中。AD9081 和 AD9082 內部沒有反 sinc 校正，但可以使用 FPGA 或專用積體電路 (ASIC) 在系統層面應用此校正。關於 InvSinc 校正的進一步討論，請參閱在更高頻率下優化 AD9081 和 AD9082 DAC 性能部分。

透過使用低通濾波器和放大器，可以將 AD9081 和 AD9082 DAC 的可用頻寬擴展到高於 6.0 GHz 的第二奈奎斯特區。有關更多資訊，請參閱在

圖 11: $\text{Sin}(x)/x$ 函數的影響， $f_{\text{DAC}} = 11.8$ GHz

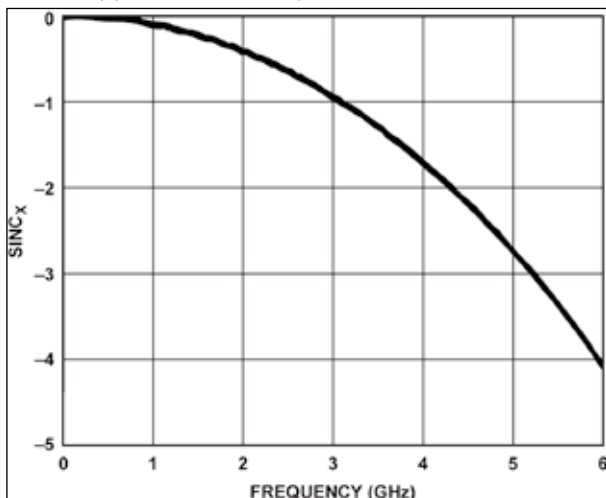


圖 12: AD9081 和 AD9082 DAC 的模擬回應，有和沒有 $\text{Sin}(x)/x$ 滾降兩種情況， $f_{\text{DAC}} = 11.8$ GHz

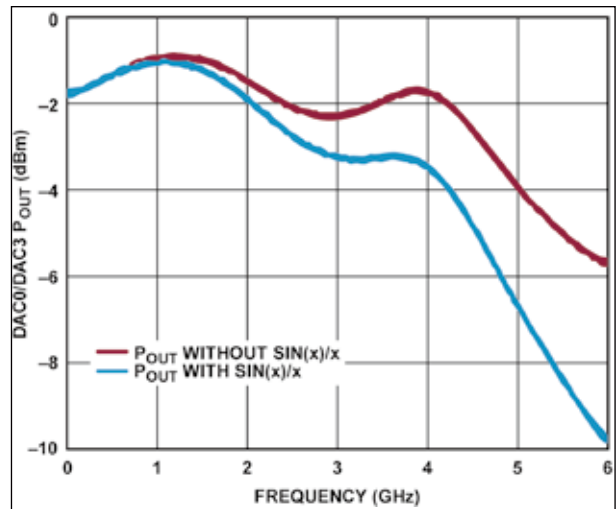
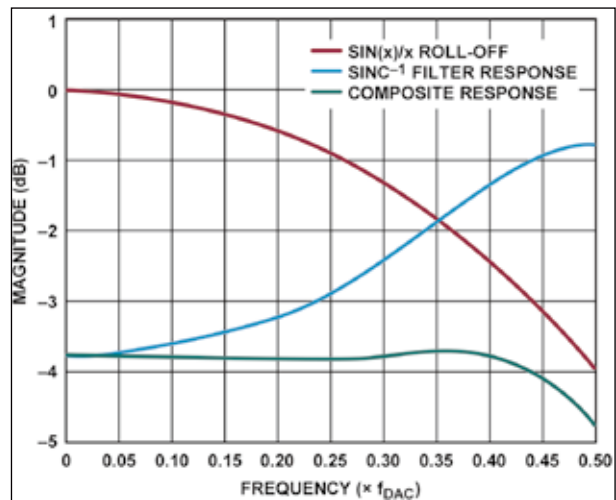


圖 13: $\text{Sin}(x)/x$ 滾降、反 Sinc 校正以及複合 DAC 回應與 $f_{\text{REQ}}/f_{\text{DAC}}$ 的關係

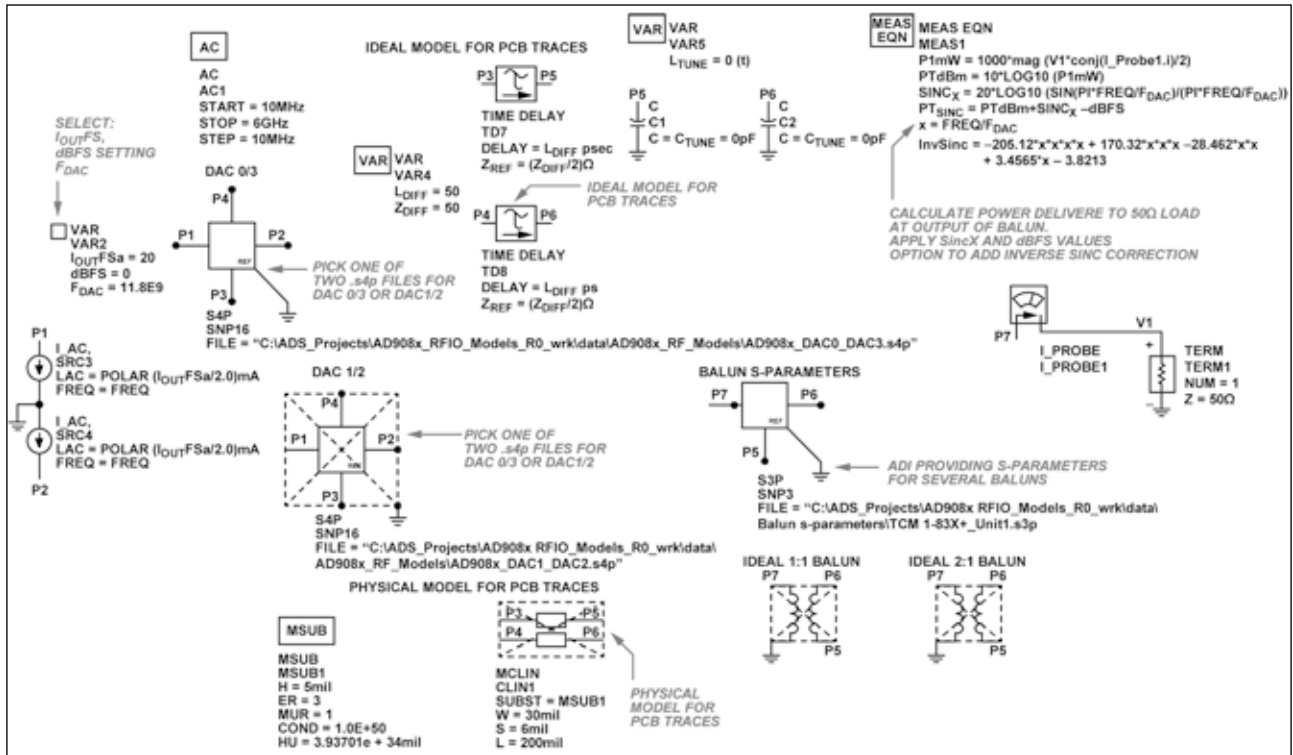
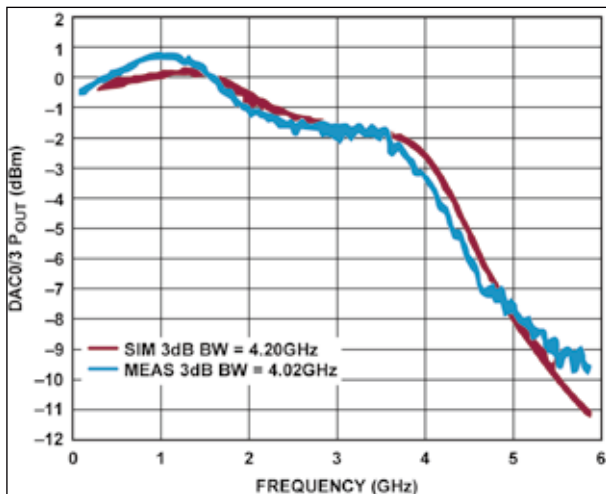


更高頻率下優化 AD9081 和 AD9082 DAC 性能部分。

ADI 評估板上測量和模擬的 DAC 輸出功率

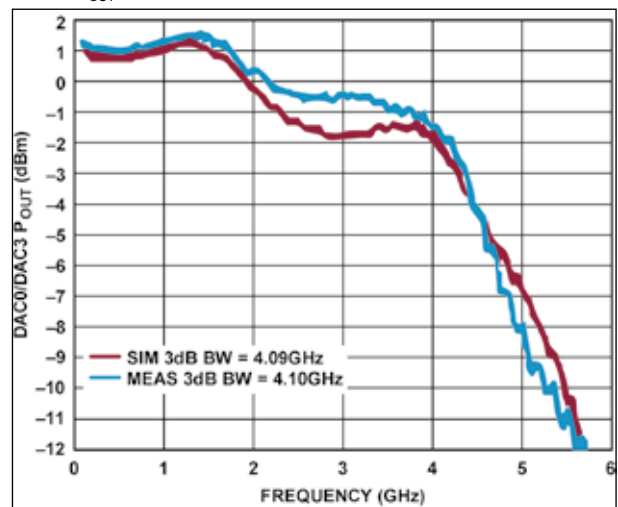
借助系統 PCB 的準確 EM 模型和所用巴倫的 S 參數，可以使用 ADS 檔案中的 DAC_Circuit_Analysis 原理圖 (參見圖 14) 來準確預測 DAC 輸出功率與頻率的關係。圖 15、圖 16 和圖 17 顯示了使用三種不同市售 SMT 巴倫的模擬和測量的輸出功率。這些模擬是透過 PCB 板的完整 EM 模擬完成的，

圖 14: 用於 DAC 電路分析的 ADS 電路原理圖

圖 15: ADI 評估板上測量的和模擬的 AD9081 和 AD9082 DAC 輸出功率 (P_{OUT}) 與頻率的關係，採用 Mini-Circuits TCM1-83X+ 1:1 巴倫

其中包括佈線和巴倫輸出上的同軸連接器。

測量得出的和建模得出的 P_{OUT} 之間的一致性表明，AD9081 和 AD9082 DAC 模型為優化系統板設計以實現所需 DAC 性能提供了一個有用的工具。

圖 16: ADI 評估板上測量的和模擬的 AD9081 和 AD9082 DAC0/3 P_{OUT} 與頻率的關係，採用 Marki BALH-0009 1:1 巴倫

使用 AD9081 和 AD9082 DAC 模型 優化系統 PCB 設計

由於 AD9081 和 AD9082 封裝中的佈線較長，DAC0 和 DAC3 的輸出阻抗與 DAC1 和 DAC2 略有不同。圖 18 顯示了使用 TCM1-83X+ 巴倫的兩個不同模型的模擬輸出功率。由於佈線較長，DAC0 和

圖 17: ADI 評估板上測量的和模擬的 AD9081 和 AD9082 DAC0/ DAC3 P_{OUT} 與頻率的關係，採用 Murata LDB184G6BAAE048 2:1 巴倫

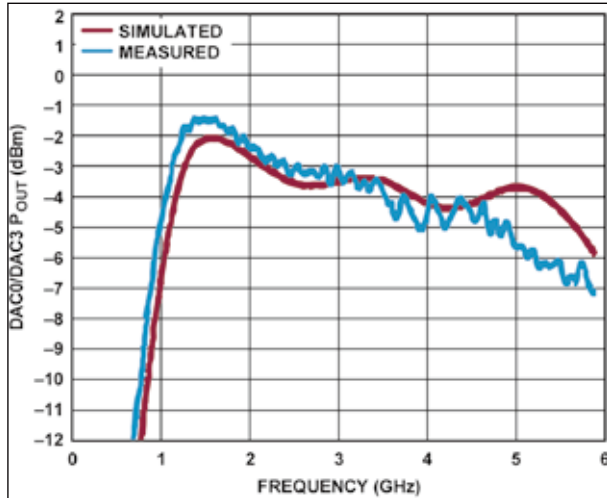
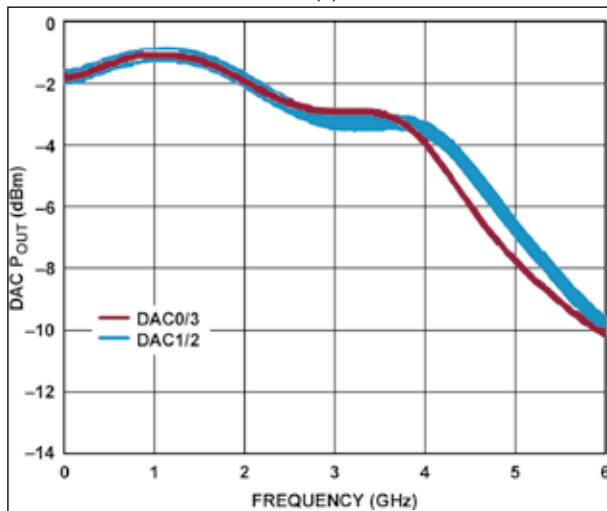


圖 18: DAC0/DAC3 與 DAC1/DAC2 的模擬輸出功率比較，使用 TCM1-83X+ 巴倫，模擬包括 $\sin(x)/x$ 滾降



DAC3 功率發生滾降的頻率低於 DAC1 和 DAC2。

圖 19 顯示了 AD9081 和 AD9082 DAC0/3 的模擬 P_{OUT} 與頻率的關係，輸出端使用理想的 1:1 和 2:1 巴倫。2:1 巴倫在較低頻率時提供更高的輸出功率，此時 DAC 輸出阻抗接近 100 Ω 。但在 1 GHz 至 5 GHz 頻率範圍內，圖 7 顯示 DAC 輸出阻抗更接近 50 Ω ，理想 1:1 巴倫提供最高輸出功率。注：圖 18 和圖 19 中顯示的模擬曲線包括由於 DAC 的階躍回應而導致的 $\sin(x)/x$ 滾降。

在實踐中，ADI 發現，像 Marki BALH-0009 和 minicircuits TCM1-83X+ 這樣的 1:1 巴倫可為

圖 19: AD9081 和 AD9082 DAC0 和 DAC3 的模擬輸出功率，使用理想 1:1 和 2:1 巴倫，模擬包括 $\sin(x)/x$ 滾降

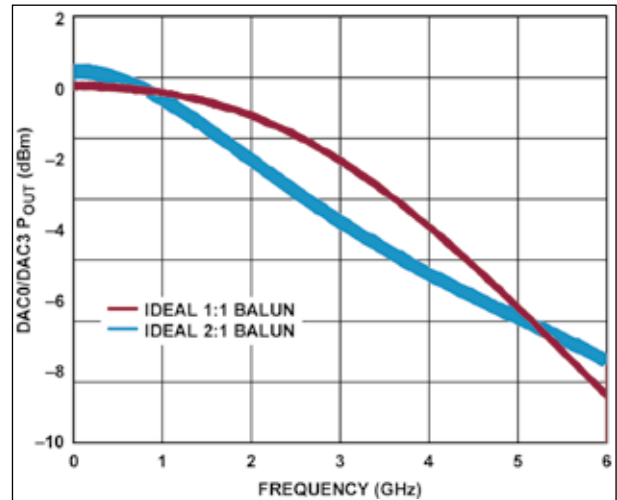
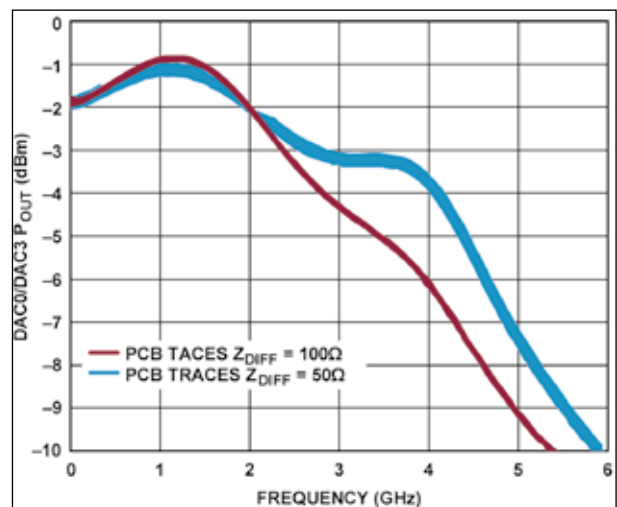


圖 20: AD9081 和 AD9082 DAC 的模擬輸出功率，使用 TCM1-83X+ 巴倫，PCB 佈線長度為 30 ps，模擬包括 $\sin(x)/x$ 滾降



AD9081 和 AD9082 DAC 提供理想的寬頻輸出功率。

選擇巴倫之後，PCB 設計的第二重要的特性是用於將 AD9081 和 AD9082 DAC 連接到巴倫輸入的差分佈線。圖 20 顯示了 DAC 輸出和 TCM1-83X+ 巴倫之間使用理想 100 Ω 和 50 Ω 差分對的模擬輸出功率。由於 DAC 輸出阻抗在 2 GHz 至 4 GHz 範圍內更接近 50 Ω ，因此 50 Ω 差分 PCB 佈線可在該頻率範圍內產生理想性能。ADI 在 AD9081 和 AD9082 PCB 上使用了 50 Ω 差分對，以將 DAC 輸出路由到巴倫輸入。

除了 DAC 和巴倫之間的 PCB 佈線的阻抗之外，這些佈線的長度還充當 DAC 輸出阻抗與巴倫

圖 21: DAC0 和 DAC3 的模擬輸出功率，使用 TCM1-83X+ 巴倫和 50 Ω 差分對，模擬包括 $\text{Sin}(x)/x$ 滾降

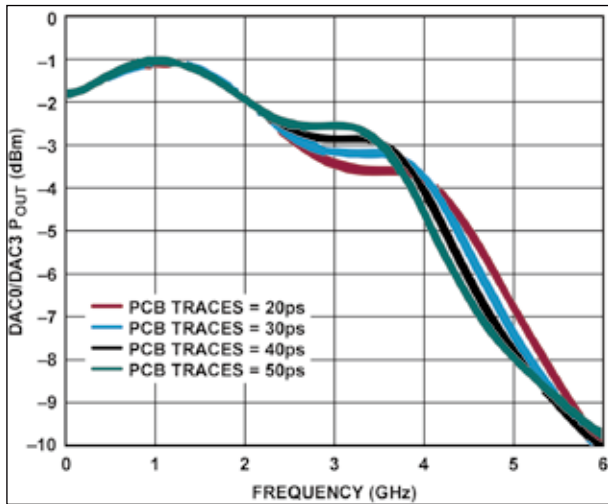
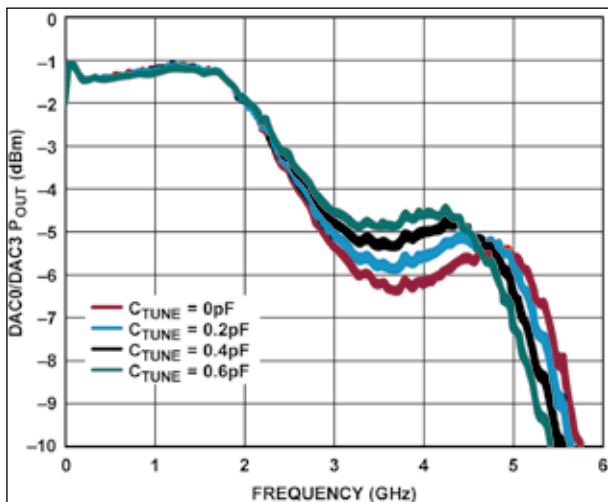


圖 22: DAC1 和 DAC2 的模擬輸出功率，使用 BALH-0009，巴倫輸入端有並聯調諧電容，模擬利用 50Ω 的 PCB 佈線差分佈線阻抗和 50 psec 的佈線長度完成

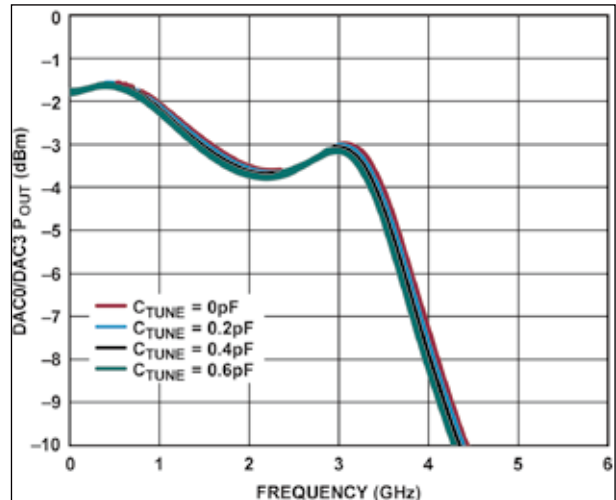


輸入阻抗 (二者均隨頻率而大幅變化) 之間的調諧元件。圖 21 顯示，對於 TCM1-83X+ 巴倫，較短的 50Ω 差分對線長可提供理想的 3 dB 頻寬。

優化 AD9081 和 AD9082 DAC 輸出功率的最後調諧手段是可以在巴倫的輸入埠增加一些小的並聯調諧電容。如圖 22 所示，模擬顯示，在 BALH-0009 輸入端使用小電容可提升 4.0 GHz 附近的 DAC 性能。

但是，圖 23 顯示，對於 TCM1-83X+，巴倫輸入端的額外電容導致 3 dB 頻寬小幅降低。EM 模擬顯示，透過將 TCM1-83X+ 巴倫的 GND 層從 PCB

圖 23: DAC0 和 DAC3 的模擬輸出功率，使用 TCM1-83X+，巴倫輸入端有並聯調諧電容，模擬利用 50Ω 的 PCB 佈線差分佈線阻抗和 20 psec 的佈線長度完成

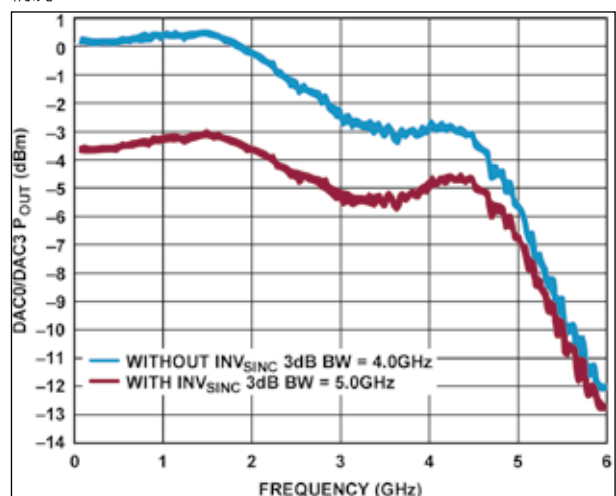


的第 2 層移動到第 3 層，可以減少巴倫焊墊的寄生電容，並改善 DAC 的高頻回應。

在更高頻率下優化 AD9081 和 AD9082 DAC 性能

如 DAC 電路分析部分中所提到的，AD9081 和 AD9082 DAC 的 $\text{Sin}(x)/x$ 滾降可以透過外部 FPGA 或 ASIC 應用反 sinc 濾波器函數來校正。透過將 InvSinc 變數增加到 DAC_Circuit_Analysis 資料集中的 PTdBm 變數，便可利用所應用的反 sinc 濾波

圖 24: 在 AD9081 和 AD9082 評估板上使用 BALH-0009 巴倫測量的 DAC0 和 DAC3 3 dB 頻寬，使用和不使用反 Sinc 校正兩種情況



器模擬預期的 P_{OUT} 。

圖 24 顯示了使用 BALH-0009 巴倫測得的 AD9081 和 AD9082 DAC 輸出功率與頻率的關係。反 sinc 校正將 3 dB 頻寬從 4 GHz 提高到 5 GHz。圖 25 表明，使用 LDB184G6BAAE048 Murata 2:1 巴倫時，將反 sinc 函數應用於所測得的 P_{OUT} 可提供從 2 GHz 到 6 GHz 的相對平坦的回應。

另外所進行的測量顯示可以在第二奈奎斯特區 (當 $f_{DAC} = 11.8$ GHz 時，高於 5.9 GHz) 使用

圖 25: 在 AD9081 和 AD9082 評估板上使用 LDB184G6BAAE048 巴倫測量的 DAC0 和 DAC3 輸出功率，使用和不使用反 Sinc 校正兩種情況

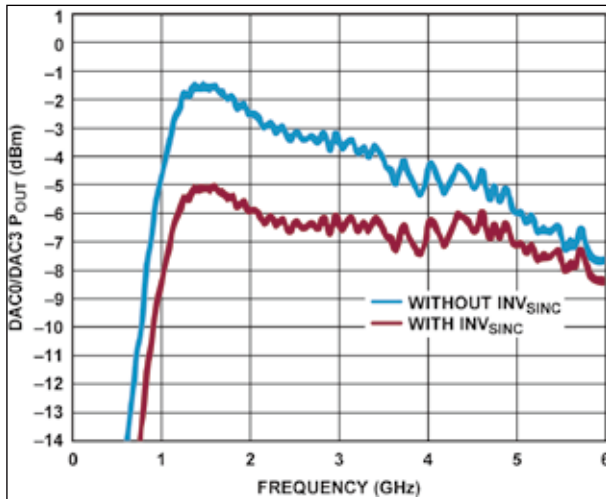
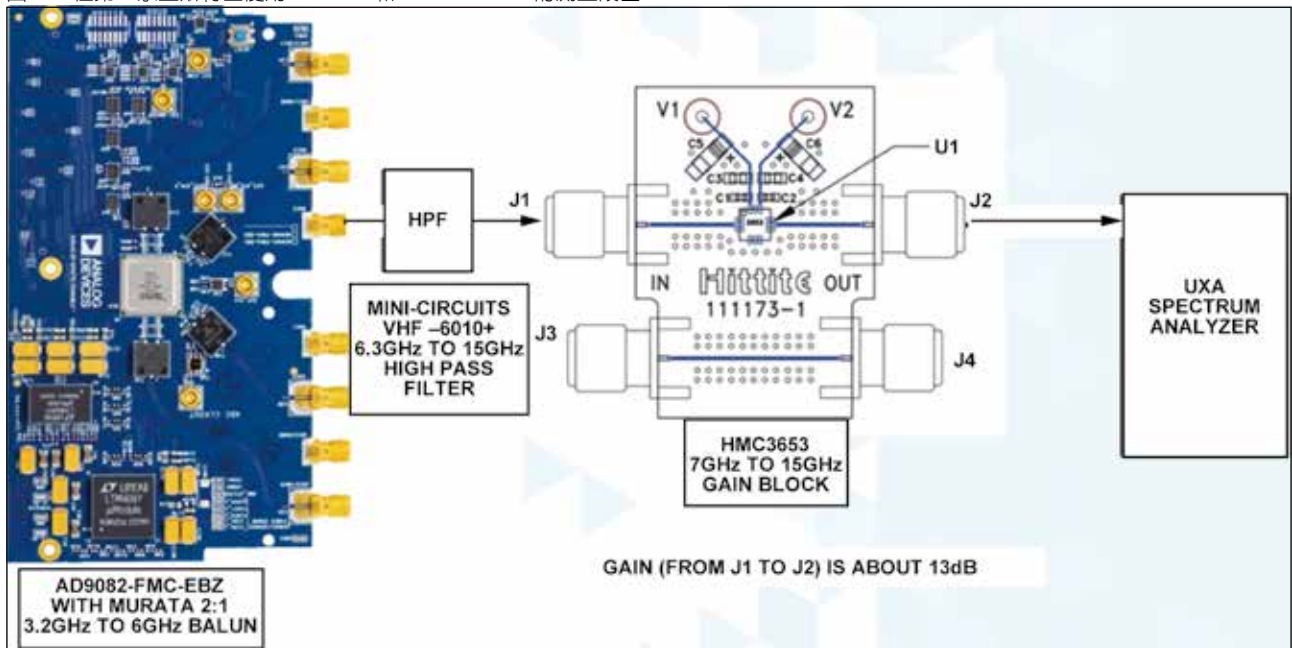


圖 27: 在第二奈奎斯特區使用 AD9081 和 AD9082 DAC 的測量設置



AD9081 和 AD9082 DAC。圖 27 顯示了所使用的測量設定。使用 Murata 3.2 GHz 至 6.0 GHz 2:1 巴倫，因為其在 5 GHz 至 6 GHz 頻率範圍內能提供最平坦的頻率響應。Mini-Circuits 高通濾波器抑制了所有低於 6.3 GHz 的 DAC 輸出功率。最後，HMC3653 增益模組用於放大 6.3 GHz 以上的 DAC 輸出訊號。

在第二奈奎斯特區測量的和模擬的 AD9081 和 AD9082 DAC 輸出功率如圖 26 所示。圖 27 中的訊號鏈顯示從 6.4 GHz 到 8.3 GHz 的功率大於

圖 26: 在第二奈奎斯特區測量的和模擬的 AD9081 和 AD9082 DAC 輸出功率

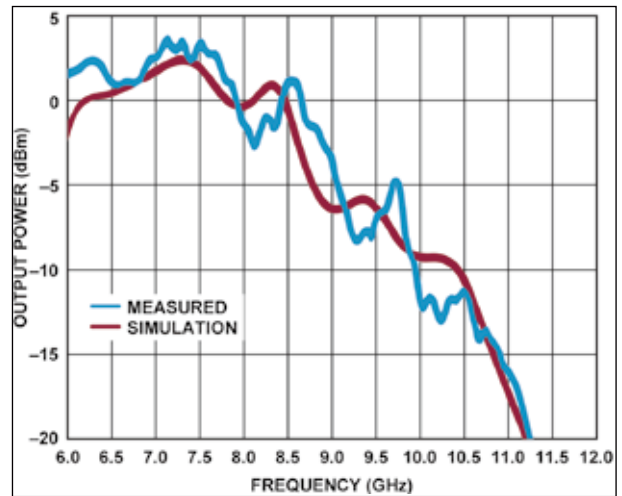
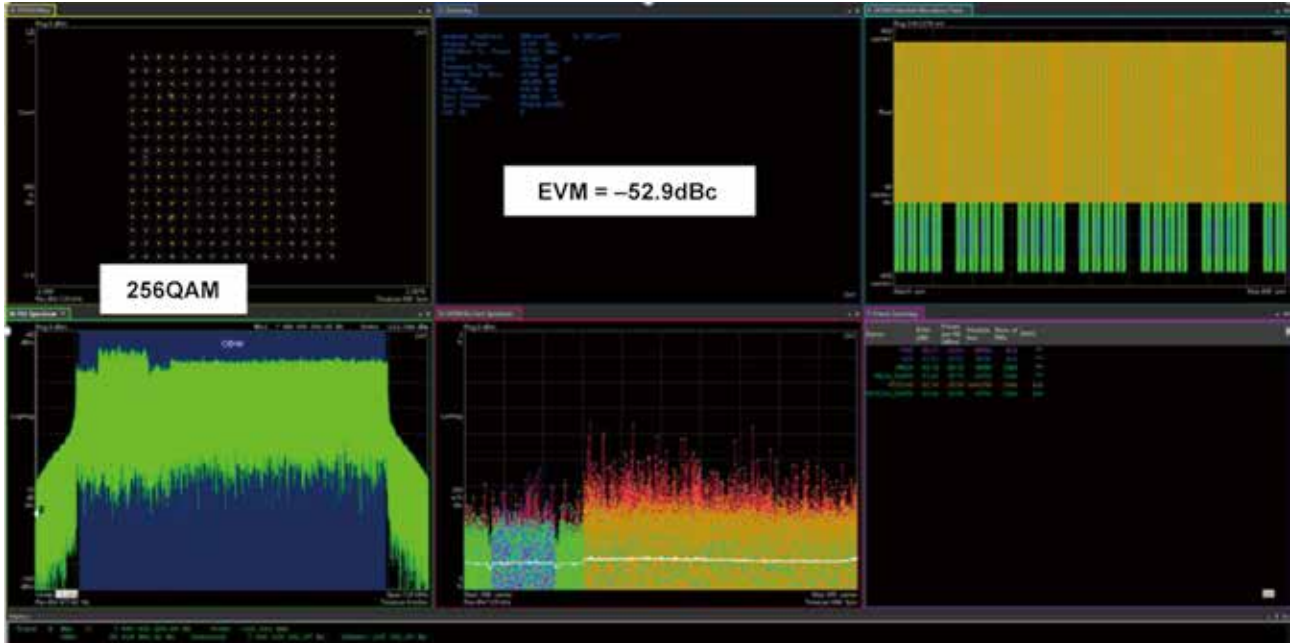


圖 28: 在 7.5 GHz 使用 100 MHz 5G FR2 向量測量的 AD9081 和 AD9082 DAC EVM



0 dBm。模擬的和測量的頻率響應的大致形狀符合得非常好。測量資料和模擬資料中的不同峰值和穀值，可能是由於連接各種評估板所使用的電纜長度所致。模擬中未包括這些電纜長度。

圖 28 顯示訊號鏈為使用 100 MHz 5G FR2 向量的 7.5 GHz 256 QAM 訊號提供 EVM = -52.9 dBc。

DAC 小結


AD9081 和 AD9082 DAC 的輸出阻抗隨頻率變化明顯，因此有必要使用模擬工具進行巴倫選擇和 PCB 設計，以優化其在特定目標頻段的性能。ADS 檔案中的 DAC_Circuit_Analysis 原理圖 (參見圖 14) 可用來執行此任務。

優化 DAC 性能的關鍵設計參數如下：

- 巴倫選擇。
- DAC 輸出和巴倫輸入之間的 PCB 佈線的阻抗。
- DAC 輸出和巴倫輸入之間的 PCB 佈線的長度。
- 巴倫輸入端的並聯電容。

除了前面列出的專案，還應注意巴倫輸出端的任何 PCB 佈線或同軸電纜連接器也應能更匹配 50 Ω。

為使模擬的和測量的 AD9081 和 AD9082 DAC 輸出功率 (相對於頻率) 實現良好的相關性，有必要對所有 PCB 佈線進行全 EM 模擬，以考慮所有寄生效應 (例如安裝焊墊、貫孔和同軸電纜連接器)。

借助可用的模型、正確的巴倫選擇和 PCB 的精心優化，可以實現高達 4.5 GHz 的 3 dB 頻寬。應用外部反 sinc 校正可將 3 dB 頻寬提升至 5.25 GHz。在第二奈奎斯特區使用 AD9081 和 AD9082 DAC 時，可以實現高達 7.5 GHz 的可用頻寬。 

COMPOTECHAsia 臉書

每週一、三、五與您分享精彩內容

<https://www.facebook.com/lookcompotech>