

使用基於 Raspberry Pi 的 DDS 架構實現精準 RF 測試

在涉及射頻 (RF) 的硬體測試中，選擇可配置、已校準的可靠訊號源是其中最重要的方面之一。本文提供了基於 Raspberry Pi 的高度整合解決方案，其可用於合成 RF 訊號產生器，輸出 DC 至 5.5 GHz 的單一頻率訊號，輸出功率範圍為 0 dBm 至 -40 dBm。所提出的系統基於直接數位頻率合成 (DDS) 架構，並對其輸出功率與頻率特性進行了校準，可確保在整個工作頻率範圍中，輸出功率保持在所需功率水準的 ± 0.5 dB 以內。

■文：ADI Erbe D. Reyta, Valentin Beleca, 和 Mihai Bancisor

簡介

RF 訊號產生器，尤其是微波頻率的 RF 訊號產生器，以前通常是基於鎖相迴路 (PLL) 頻率合成器 1 建構。PLL 支援從低頻參考訊號產生穩定的高頻訊號。圖 1 顯示了一個基本 PLL 模型。該模型由回饋系統 (其中包括一個電壓控制振盪器 (VCO) 用於改變輸出頻率)、誤差檢測器 (用於比較輸入參考頻率和輸出頻率) 以及分頻器組成。當分頻器的輸出頻率和相位等於輸入參考的頻率和相位時，迴路被認為處於鎖定狀態。²⁻⁵

根據應用的不同，DDS 架構作為頻率合成器可能比 PLL 提供了一種更好的替代方案。圖 2 顯示了一個典型的基於 DDS 的訊號產生器。調諧字應用於相位累加器，由後者確定輸出斜坡的斜率。累加器的高位經過幅度正弦轉換器，最終到達 DAC。相較於 PLL，DDS 的架構具有明顯的優勢。例如，DDS 數位相位累加器可實現比基於 PLL 的頻率合成器更

圖 1：基本 PLL 模型

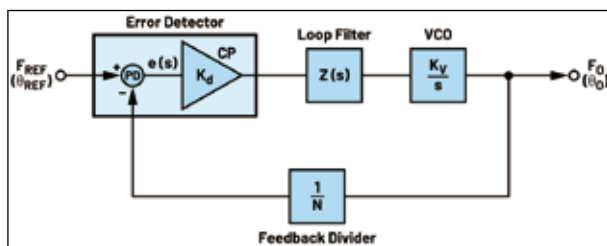
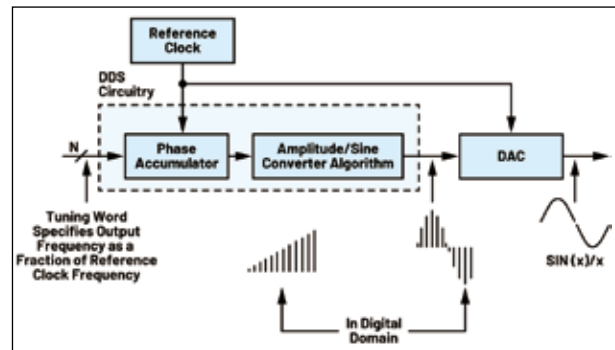


圖 2：基於 DDS 的典型訊號產生器



精細的輸出頻率調諧解析度。

PLL 切換時間是其回饋迴路建立時間和 VCO 回應時間的函數，由於自身性質的限制，其速度較慢，而 DDS 僅受數文書處理延遲的限制，因此具有更快的切換速度。在電路板尺寸方面，DDS 的面積更小，便於系統設計，許多硬體 RF 設計難題也迎刃而解⁶。

下一部分將討論 CN0511。一款基於 DDS 架構的完整 DC 至 5.5 GHz 正弦波訊號產生器的總體系統設計。接下來將討論向量訊號產生器架構及其規格。而後將重點討論系統時脈，包括時脈參考要求以及時脈管理單元和向量訊號產生器之間的電路連接。也會涉及電源架構和系統佈局，並進一步說明整體系統如何實現高功率效率和合理的散熱性能。

隨後的「軟體架構和校準」部分將圍繞系統軟體控制和校準展開討論。該部分將解釋軟體提供的彈性控制以及如何校準輸出功率。最後一部分將說明整體系統性能，包括系統相位雜訊、校準輸出功率和系統的熱性能。

系統級架構和設計考量

A：系統級設計

圖 3 所示系統是基於 DDS 架構的完整 DC 至 5.5 GHz 正弦波訊號產生器。四開關 DAC 核心和整合輸出放大器在整個工作頻率範圍內提供極低的失真，並配有 50Ω 的輸出匹配終端。

板載時脈解決方案包括參考振盪器和 PLL，因

而無需外部時脈源。所有電源均來自 Raspberry Pi 平台板，其具有超高電源抑制比 (PSRR) 穩壓器和被動濾波功能，可使大幅減小電源轉換器對 RF 性能的影響。

圖 3 所示架構可用於雷達、自動測試、任意波形產生器和單音訊號產生器等各種應用。而本文中實現了單音訊號產生器應用。以下小節將討論 CN0511 包含的主要整合元件。

B：向量訊號產生器

如圖 4 所示，所使用的 DC 至 9 GHz 向量訊號產生器包含一個 6 GSPS (1 倍不歸零模式) DAC、8 通道、12.5 Gbps JESD204B 資料介面以及一個

圖 3：CN0511：基於 RPI 的頻率合成 RF 訊號產生器

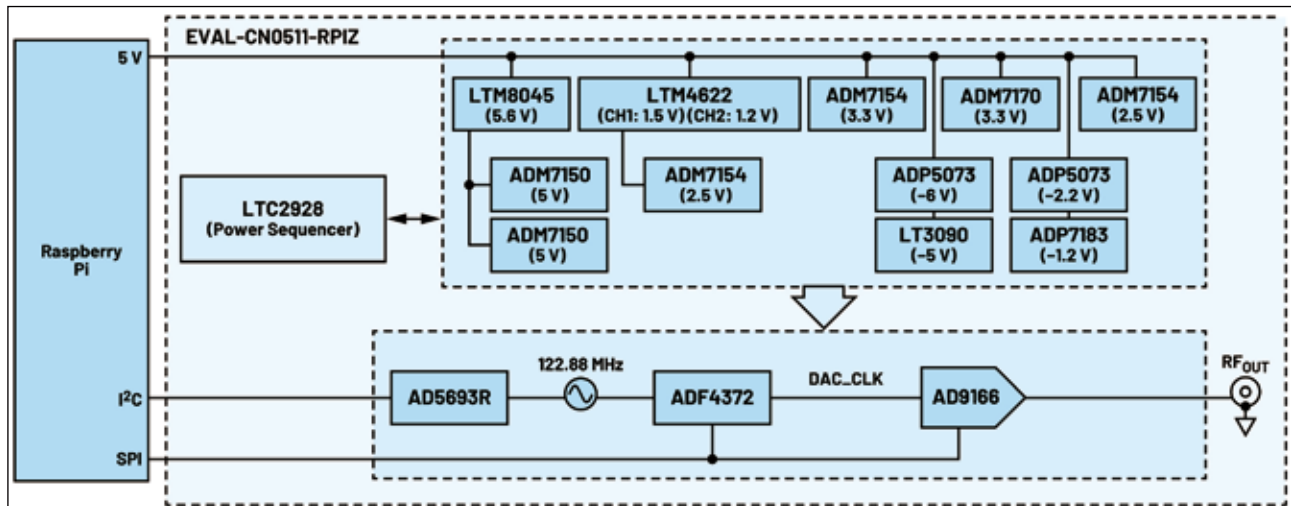


圖 4：所用向量訊號產生器 (AD9166) 的功能框圖

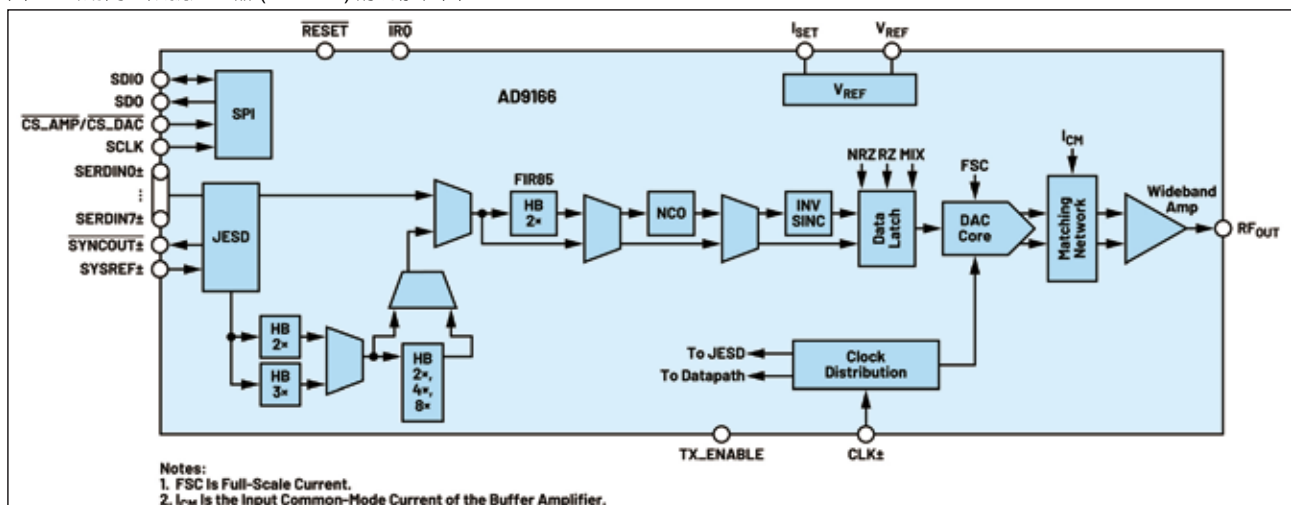
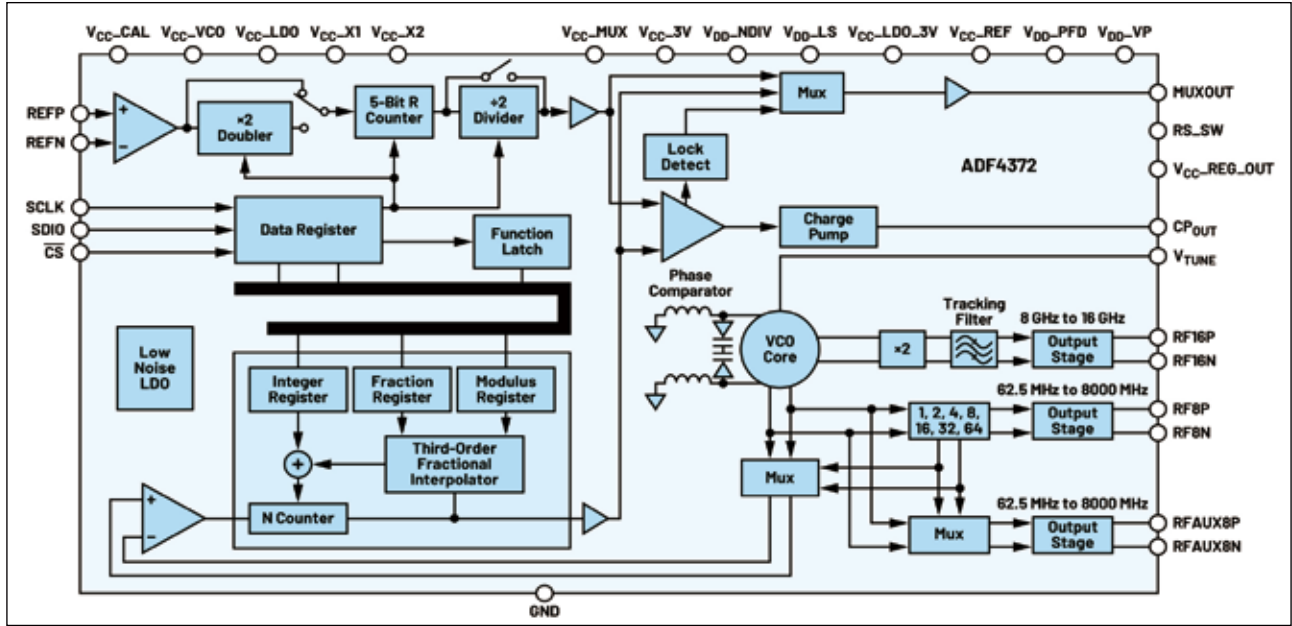


圖 5: ADF4372 RF8x 輸出級



具有多個數控振盪器 (NCO) 的 DDS。同時該元件是高度可配置的數位資料路徑，包括插值濾波器、反 SINC 補償和數位混頻器，支援彈性的頻譜規劃。

圖 4 所示系統利用 DAC 的 48 位元可編程類比數位 NCO 以非常高的精度 (43 μHz 頻率解析度) 實現了訊號的數位頻移。該 DAC 的 NCO 僅需要 SPI 寫入介面速度達到 100 MHz 即可快速更新頻率調諧字 (FTW)。SPI 還支援配置和監控該 DAC 中的各種功能模組。本設計未使用 JESD 通道，元件僅在 NCO 模式下使用。

圖 4 中的向量訊號產生器整合了單端、50 Ω 匹配的輸出 RF 放大器，因此無需採用複雜的 RF 輸出

電路介面。表 1 顯示了 AD9166 的主要規格和在各種條件下的性能。

C：系統時脈

圖 2 中的系統使用了 ADF4372 PLL (見圖 5)，這是一款整合 VCO 的寬頻頻率合成器，當與外部迴路濾波器和外部參考頻率一起使用時，可以作為小數 N 分頻或整數 N 分頻頻率合成器。此外，VCO 頻率可進行 1、2、4、8、16、32 或 64 分頻，因此用戶可以在 RF8x 產生低至 62.5 MHz 的 RF 輸出頻率。

時脈源的品質 (例如其相位雜訊和雜散特性) 以及其與高速 DAC 時脈輸入的介面，會直接影響交流性能。因此，相位雜訊和其他頻譜內容將會被直接調變到輸出訊號上。為實現最佳整數邊界雜散和相位雜訊性能，ADF4372 使用了單端參考輸入訊號，然後將其倍頻以產生用於高速 DAC 的時脈，如

表 1: AD9166 主要規格

參數	值	條件
頻段平坦度	DC 至 9 GHz	
SFDR	-83 dBc	51 MHz 訊號音
	-66 dBc	451 MHz 訊號音
	-38 dBc	4051 MHz 訊號音
功耗	~4 W	5000 MHz 訊號音
相位雜訊	-134.8 dBc/Hz	3600 MHz 訊號音； 10 kHz 偏移
封裝	324 接腳 BGA (15 mm × 15 mm)	

圖 6: ADF4372 和 AD9166 之間的電路連接

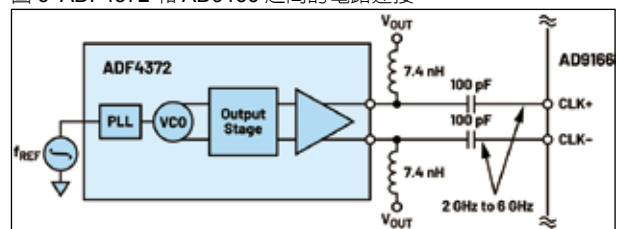


圖 6 所示。

D：電源架構

CN0511 的系統電源樹如圖 7 所示，基於系統負載要求將其效率提高到 90%，分別使用了 LTM8045、LTM4622 和 ADP5073 開關穩壓器。並選用 ADM7150、ADM7154 和 ADP1761 等低壓差線性穩壓器 (LDO) 來為 DAC、放大器、PLL 和 VCO 供電，其有超低雜訊和高 PSRR 性能，可實現最佳相位雜訊性能。

使用電源時序控制器 LTC2928 確保高速 DAC 按正確順序上電，避免損壞其內部電路。該電源時序控制器 IC 可監測和管理四個電壓軌，並具有控制各電壓軌的上電時間和其他監控功能，其中包括欠壓和過壓監控與報告功能。

E：佈局考慮

對於此種需要極高性能和較高輸出頻率的應用，PCB (印刷電路板) 材料

圖 8: 推薦的 PCB 橫截面和疊層

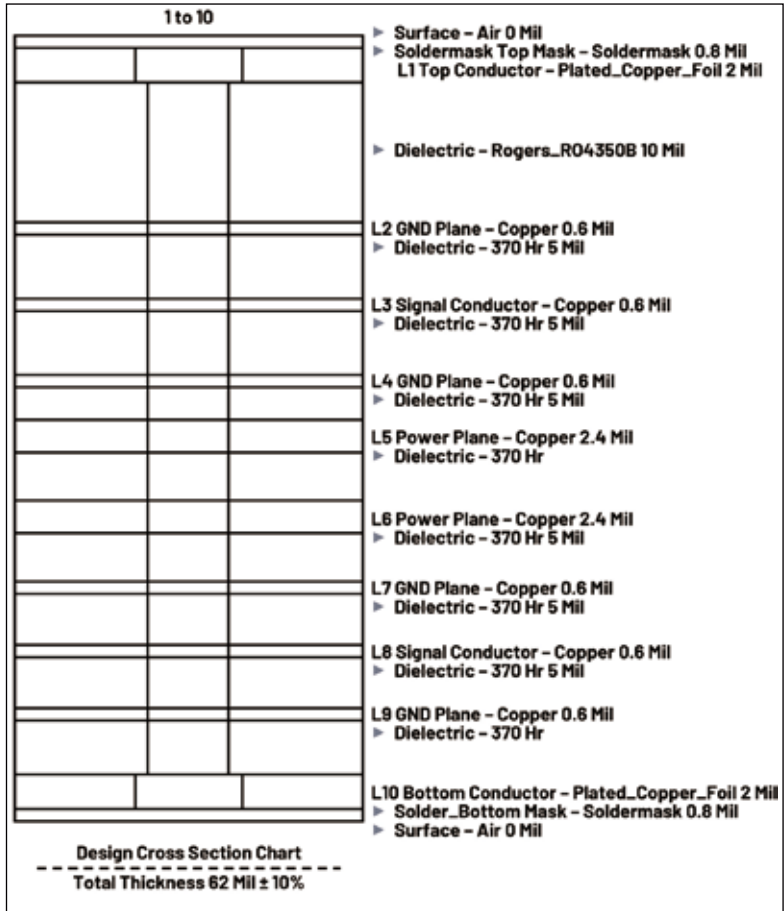
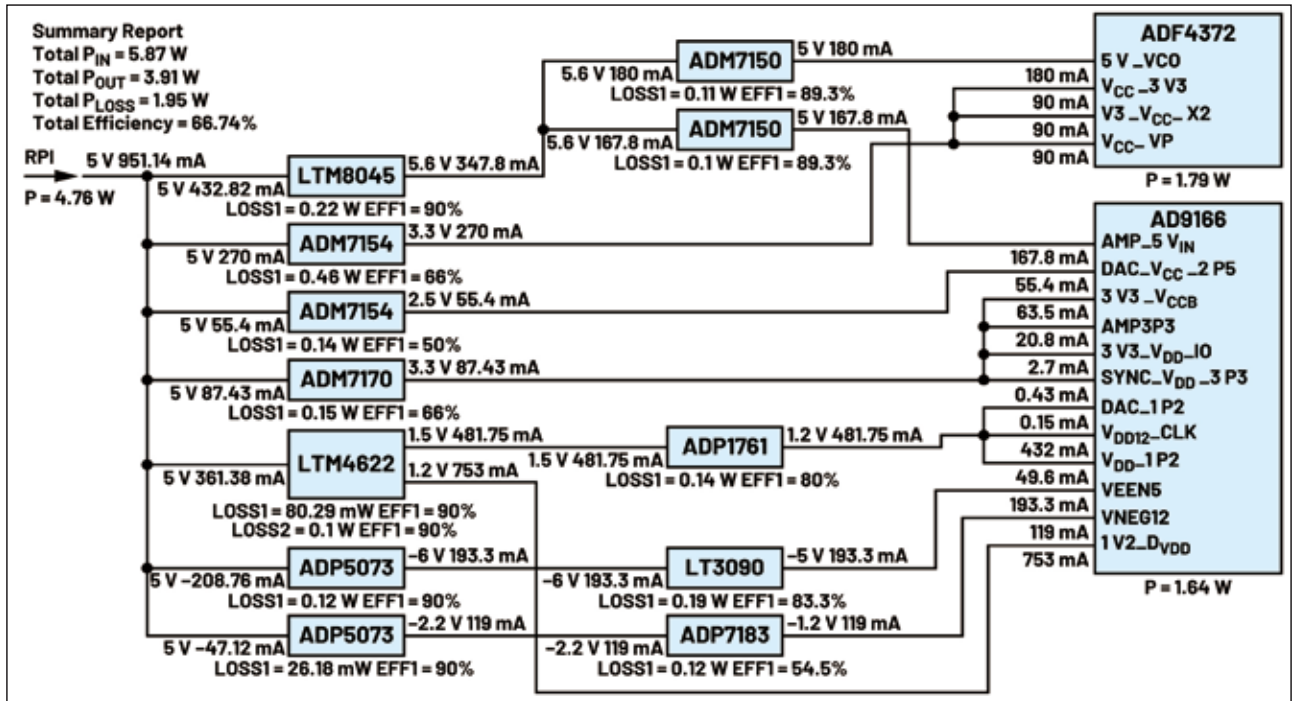


圖 7: 系統電源樹



的選擇會對結果有很大影響。圖 8 顯示了推薦的 CN0511 PCB 疊層，其在包含 RF 佈線的層上使用 Rogers 4350 電介質材料，大幅減少 3GHz 以上的訊號衰減，並確保在 RF 輸出處獲得最佳的訊號完整性。

熱性能與 PCB 設計和工作環境直接相關。為改善設計的散熱性能，在 PCB 散熱焊墊上打了散熱貫孔。

軟體架構和校準

A：軟體控制

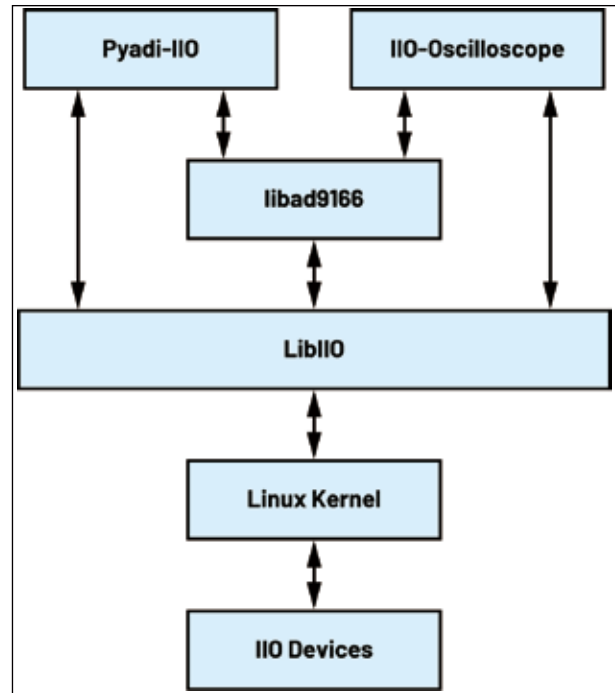
在任何涉及訊號產生器的應用都希望能夠輕鬆彈性控制儀器設備。因為其只需要將一張具有 Kuiper Linux 鏡像的 SD 卡插入 Raspberry Pi，因而可以認為 CN0511 是隨插即用的。Kuiper Linux 鏡像包含控制訊號產生器所需的所有必要軟體。有兩種方法可改變輸出功率和頻率：使用 PyADI-IIO 模組寫入代碼，或使用 IIO-Oscilloscope 圖形化使用者介面 (GUI) 輸入所需的輸出。

PyADI-IIO 是 ADI 硬體的 Python 抽象模組，具有工業輸入 / 輸出 (IIO) 驅動程式。此模組為控制硬體提供了簡單易用的 Python 方法和屬性。透過非常簡單的 Python 代碼行即可控制該板，這些代碼可以在本地或遠端運行。可以使用簡單的 for 迴圈和一些延遲來創建任何頻率掃描，用於測試其他設備。

IIO-Oscilloscope 是一個跨平台 GUI 應用程式，需要使用者輸入輸出功率幅度和頻率作為參數。

PyADI-IIO 和 IIO-Oscilloscope 這兩個模組均提供了結溫感測器的輸出：一個在 PLL IC 內，另一個在向量訊號產生器 IC 內。圖 9 展示了這兩個軟體模組以及與 CN0511 板通訊所需的其他組件 (libAD9166、LibIIO 和 Linux 核心)。圖 9 中顯示的 libAD9166 是在 Kuiper 鏡像上預裝的另一個庫，用於準確控制輸出功率，包含輸出校準功率所需的 C++ 代碼，並特定使用於該板。關於如何實現校準的理論將在 B 節：輸出功率校準中繼續討論。

圖 9: 透過 PyADI-IIO 和 IIO-Oscilloscope 與設備通訊所需的軟體元件框圖



B：輸出功率校準

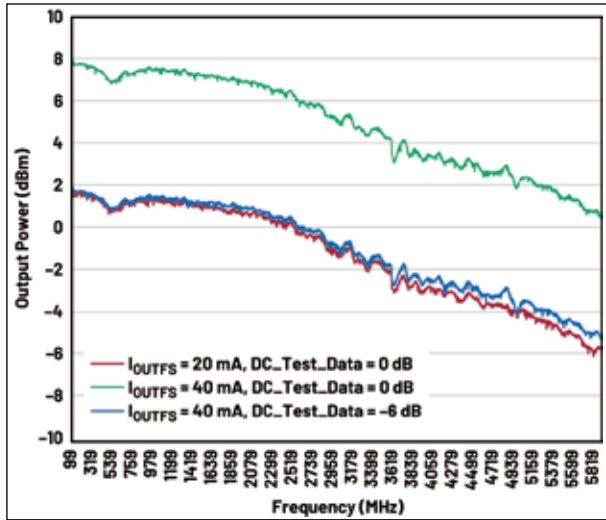
在訊號產生器應用中，頻段平坦度是一個關鍵參數。在該系統中，輸出功率與頻率的關係特性主要由向量訊號產生器的輸出決定。隨著頻率提高，輸出阻抗從其直流值開始減小。輸出阻抗的此種變化以及負載處的任何阻抗失配都會直接影響輸出功率。此外，可預測的 sinc 滾降也會影響輸出功率的頻率響應。圖 10 討論並顯示了測得的未校準輸出功率與頻率的關係。為了克服這些不利因素，我們對輸出功率與頻率的關係進行了軟體校準。

用於校正輸出功率的旋鈕包含了 AD9166 的兩個暫存器：設定滿量程電流的 10 位暫存器 `loutfs_reg` (位址 0x42 和 0x41) 和設定滿量程電流的 16 位元暫存器 `lout_reg` (位址 0x14E 和 0x14F)。這兩個暫存器負責控制 AD9166 DAC 的輸出電流，這也是 AD9166 放大器的輸入 (圖 3)。

`loutfs_reg` 提供大約 10 dBm 的輸出功率動態範圍，這是用於調整圖 10 所示不必要特性的理想值。

從測量結果來看，每個 PCB 樣板都顯示出圖

圖 10: 輸出功率與頻率的關係：未校準的輸出功率



10 所示的相同形狀特性，只是偏移存在差異。考慮到這一點，我們開發了兩個校準常式。第一個校準程式只需執行一次，用於獲取校準整個形狀所需的參數，使其平坦化；第二個程式則用於校正不同板之間的偏移誤差，並作為每片板的生產測試運行。兩個校準常式均透過輸出測量、運算和基於運算的暫存器調整來完成。

第一個校準常式的主要設計思路如圖 11 所示。首先，圖 10 中的整個特性曲線被分成多個頻率區間，這些區間可以用從 $f_{\min}[x]$ 到 $f_{\max}[x]$ 的線段來近似表示，其中 x 是區間的索引， $x \in [0, 31]$ ，並且 x 為正整數。實際設計選擇了 31 個區間，但為了更能舉例說明，圖 11a 中只顯示了三個區間。對於每個區間，需要獲得兩個常數：一個是用於偏移校正的 Offset_correction (圖 11b)；一個是用於增益校正的 Gain_correction (圖 11c)。還需要儲存參數 $f_{\min}[x]$ 以追蹤區間。

圖 12a 為第一個校準常式的工作原理偽代碼流程圖。為完成此演算法，需要使用非常精準的頻譜分析儀來測量輸出功率 (使用 Keysight E5052B/R&S FSUP)。第一個常式 (圖 12a) 產生的參數用於第二個校準常式，如圖 12b 所示。

第二個校準常式 (圖 12b) 是針對生產測試中每個 PCB 樣板運行的，並為每個區間的 Offset_correction 參數增加同一常數。在第二個常式結束

圖 11: 校準常式的視覺化舉例：(a) 將特性曲線分成多個部分；(b) 對每個部分進行偏移校正；(c) 對每個部分進行斜率校正。

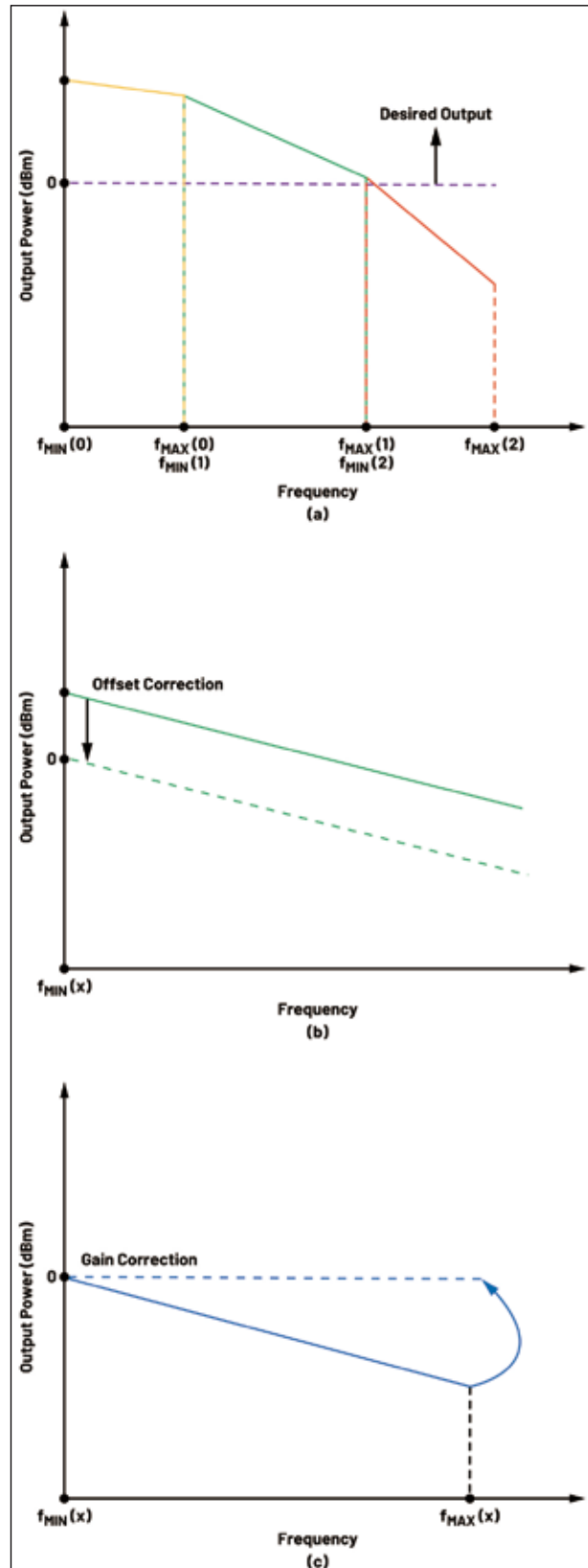
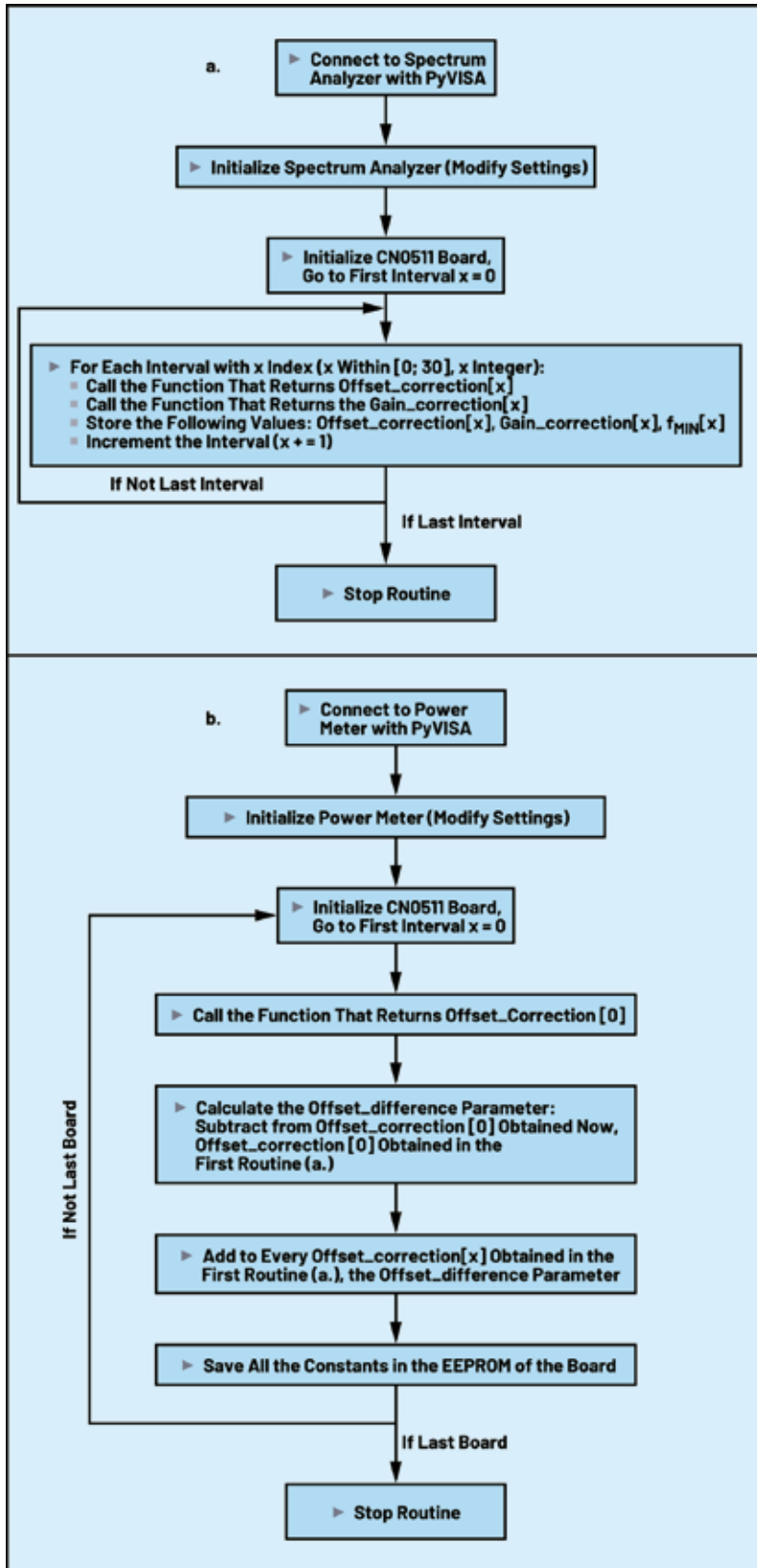


圖 12: 偽代碼流程圖：(a) 只運行一次的第一個校準常式；(b) 在每個 CN0511 板上運行的第二個校準常式。



時，對於每個區間，修改的參數 $Offset_correction[x]$ 、 $Gain_correction[x]$ 和 $f_{min}[x]$ 都將儲存在電路板的 EEPROM 中。當電路板工作時，這些參數將在軟體中進一步使用。

為設定校準輸出功率，軟體使用公式 1 來計算調整頻率 f_x 處的輸出功率的 I_{OUTFS_reg} 暫存器值，以 f_x 是區間 x 內的頻率： $f_x \in [F_{min}[x], f_{max}[x])$ ， f_x 為實正數， $f_{min}[x]$ 是索引為 x 的區間的最小頻率。

$$I_{OUTFS_reg}[x, f_x] = Offset_correction[x] + Gain_correction[x] \times (f_x - f_{MIN}[x]) \quad (1)$$

如公式 1 所示，電路板上必須為每個 x 區間儲存三個參數，以便進行輸出校正：即 $Offset_correction[x]$ 、 $Gain_correction[x]$ 和 $f_{min}[x]$ 。

系統性能

A：校準輸出功率

圖 13 顯示了 CN0511 在幾種不同輸出功率水準下的寬頻補償頻段平坦度。對於設定在 0 dBm 和 -40 dBm 之間的任何輸出功率，從 DC 到 5.5 GHz 的整個頻段內的精度為 ± 0.5 dBm。

B：相位雜訊

時脈源的品質以及其與 AD9166 時脈輸入端的介面會直接影響相位雜訊性能。在指定頻率偏移處的相位雜訊和雜散會被直接轉為輸出訊號。圖 14 顯示了經過測量的單邊帶 (SSB) 相位雜訊與頻率偏移的關係。所有資料都是在輸出功率設定為滿量程的情況下收集的。使用板載 122.88 MHz CMOS 壓控晶體振盪器用作系統時脈參考。

圖 13: 校準輸出功率與頻率的关系

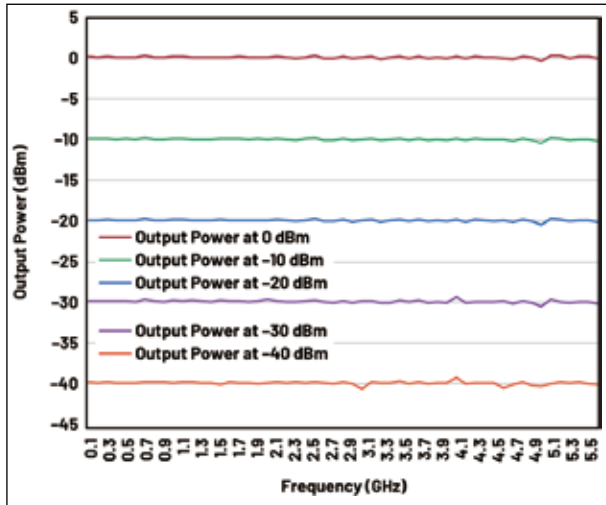
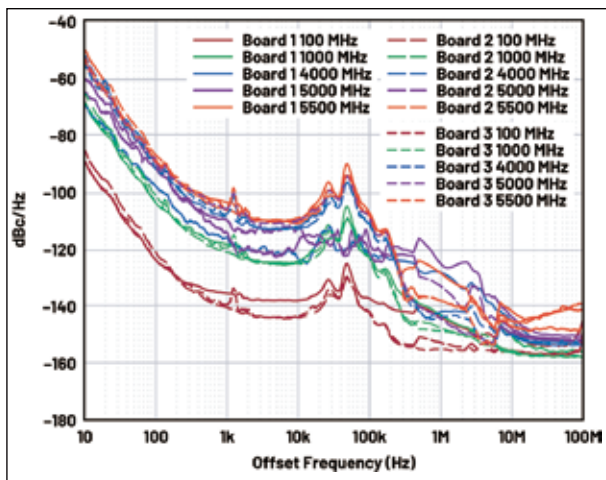


圖 14: 系統相位雜訊性能



C：熱性能

根據應用和配置，高速 DAC 的功耗可能接近 4 W。該元件使用外露晶片封裝來降低熱阻並允許晶片直接散熱。使用具有風扇的機械散熱器來散發封裝的熱量。在安裝散熱器的情況下，LTM4622 在 25°C 的環境溫度下顯示出的最高溫度讀數約為 60.6°C。

結論

本文介紹了一種高頻、低失真、低雜訊的訊號源，此系統是採用基於高速 DAC DDS 架構的低成本 RF 訊號頻率合成器解決方案，透過使用基於 DDS 技術的向量訊號產生器，該系統較之簡單 PLL

更具優勢，例如簡單化、低失真、高解析度調諧、近乎暫態的跳頻、相位和幅度調變。

DDS 架構的多項優勢使得調整和校準輸出功率以及微調輸出頻率成為可能。在系統中增加校準常式可為使用者提供從 DC 到 5.5 GHz 的輸出參考訊號音，精度為 ± 0.5 dBm，動態範圍為 0 dBm 到 -40 dBm。對於實驗室儀器而言，這是一種近乎理想的解決方案。

致謝

感謝所有為本文提供寶貴技術支援的 ADI 工程師。

參考電路

- Paul R. Gray、Paul J. Hurst、Stephen H. Lewis 和 Robert G. Meyer。類比積體電路分析與設計。Wiley，2009 年 1 月。
 - Mike Curtin 和 Paul O'Brien。「用於高頻接收器和發射器的鎖相迴路」。《類比對話》，第 33 卷第 3 期，1999 年 7 月。
 - VCO 設計手冊。Mini-Circuits Corporation，1996 年。
 - Leon W. Couch。數位和類比通訊系統。Macmillan Publishing Company，1990 年。
 - Peter Vizmuller。射頻設計指南。Artech House，1995 年。
 - Jim Surber 和 Leo McHugh。「單晶片直接數位頻率合成與類比 PLL」。《類比對話》，第 30 卷第 3 期，1996 年 7 月。
- EVAL-CN0511-RPIZ 使用者指南。ADI，2023 年 1 月。CTA