

適用於低功耗訊號鏈應用的功率優化技術

本文介紹用於在低功耗訊號鏈應用中實現優化能效比的精密低功耗訊號鏈解決方案和技術。並將介紹功耗調節、功率迴圈和工作週期等用於進一步降低系統功耗的技術（不僅限於選擇低功耗產品，有時候並不够）。還將探討如何使用通道時序控制器、FIFO 和電壓監控模組等晶片內特性簡化系統設計，並在主機控制器側和整個系統層面實現節能。

■作者：Lluís Beltran Gil/ ADI 應用工程師

簡介

在為現場儀器儀錶（感測溫度、壓力或流量）或遠端生命體徵監測裝置等應用設計電池供電的測量系統時，低功耗訊號鏈非常重要。甚至對於主電源供電的系統，也需要大幅降低環境影響或能源成本，這促使硬體設計人員不斷改善系統的能效比。低功耗設計能夠帶來一些間接性的優勢，例如，如果能夠減少並聯的電池的數量，解決方案的尺寸會隨之縮減。低功耗設計還具有更深層次的優勢，因為系統耗費的能量更少，使得 IC 晶片的溫度也更低。這有助於延長產品的使用壽命。

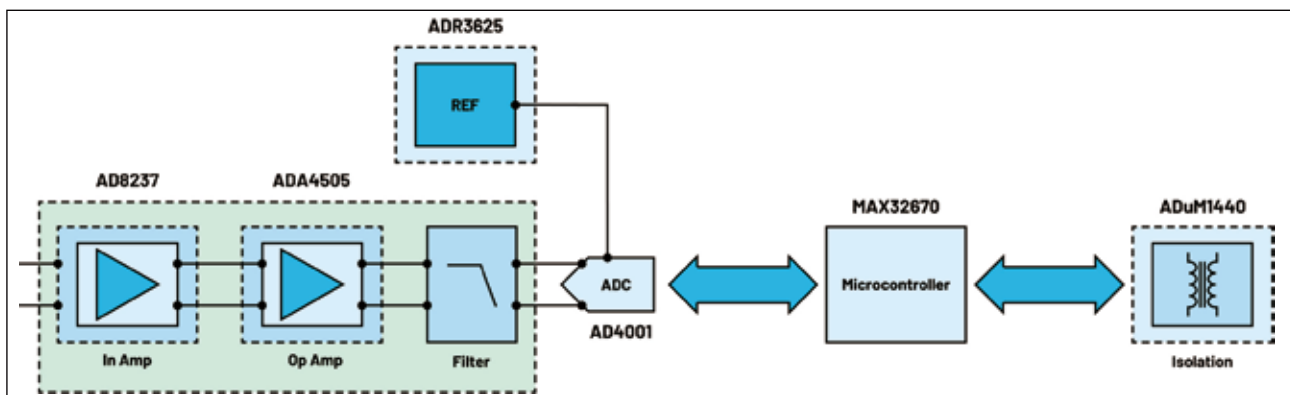
要在短時間內完成低功耗硬體設計，從精密低功耗訊號鏈著手會是一個非常不錯的起點。除了選擇低功耗元件之外，還可以採用多種功率優化技術進一步降低系統功耗，例如功耗調節、功率迴圈和

工作週期。此外，很多設計選項，例如選擇合適的電阻值或使用記憶體也是非常重要的因素，關乎能夠實現嚴格的低功耗目標和優化的電池壽命。

例如，找出訊號鏈中可以取消的建構模組，或者在達到某些條件時會暫時斷電的模組，會有助於我們採用低功耗技術。這需要精準的時序分析^{1,2}，並對電路操作分級或調節工作週期。如果多個建構模組多數時間都處於閒置狀態，即可讓這些模組進入關斷模式或者直接將其關閉。注意，相較於使用關斷模式，裝置進行全功率迴圈會對功率和時序產生一些影響。

在正確採用此種時序之後，可透過盡量減少微控制器互動進一步改善主系統層級的功耗。這就需要使用外部或內部記憶體，以便在主機控制器被關斷之後儲存數據。

圖 1: SAR ADC 訊號鏈中的單通道電壓、電流測量。



在系統層面應用節能技術會有一些差異，具體取決於使用哪種類型的 ADC 來數位化感測器資訊，包括 SAR ADC 和 $\Sigma\text{-}\Delta$ DAC，關於這一點將在後續章節中詳細介紹。此外，硬體設計選擇，例如數位通訊上拉 / 下拉電阻、電阻分壓器和增益設定電阻等也會影響整體的訊號鏈功耗。

接腳命名會因裝置而異。為了保持一致性，我們用 V_{DD} 表示類比電源，用 V_{IO} 表示數位電源，用 V_{REF} 表示基準電壓。

基於 SAR ADC 的訊號鏈的功率優化

SAR ADC 按要求執行轉換，也就是說，在確認轉換開始 (CONVERSION START) 命令之後，從採樣模式切換到保持模式³。轉換流程開始，然後，待該流程完成後，SAR ADC 會回到採樣模式，以獲取訊號。SAR ADC (例如圖 1 所示的訊號鏈中使用的 AD4001 轉換器) 在轉換階段會消耗大部分功率，而在圖 2 所示的採集階段則消耗最少功率。所以，儘管輸送量能高達幾個 MSPS，但還是可以按照應用要求的最低速度運作這些轉換器，以大幅優化功率。

SAR ADC：隨輸送量調節功率

在許多低功耗應用中，無需持續提供感測器資訊，而是以更低的速度提供，可能是按幾 kSPS 或幾十 kSPS。在這些情況下，可以隨輸送量降低 SAR ADC 的功耗，包括類比電源軌和數位電源軌。

大部分精密 SAR ADC 都內建時脈，用於管理

表 1: 不同終端應用中的通訊採樣頻率

應用	通訊採樣頻率
現場儀錶	60 SPS 至 600 SPS
狀態監測	1 KSPS 至 10 KSPS
生命體徵監測	<1 KSPS

轉換流程，因此其轉換時間 (t_{CONV}) 是固定的。在 t_{CONV} 固定的情況下，輸送量越

圖 2: SAR ADC 時序圖。

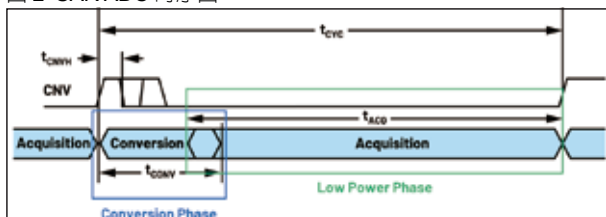


圖 3: AD4001 SAR ADC 時序圖和在一個迴圈內的功耗。迴圈時間越長，平均功耗越低：(a) 1 μ s 平均功率 = 6.1113 mW，(b) 10 μ s 平均功率 = 0.93756 mW，(c) 1 ms 平均功率 = 0.36845 mW。

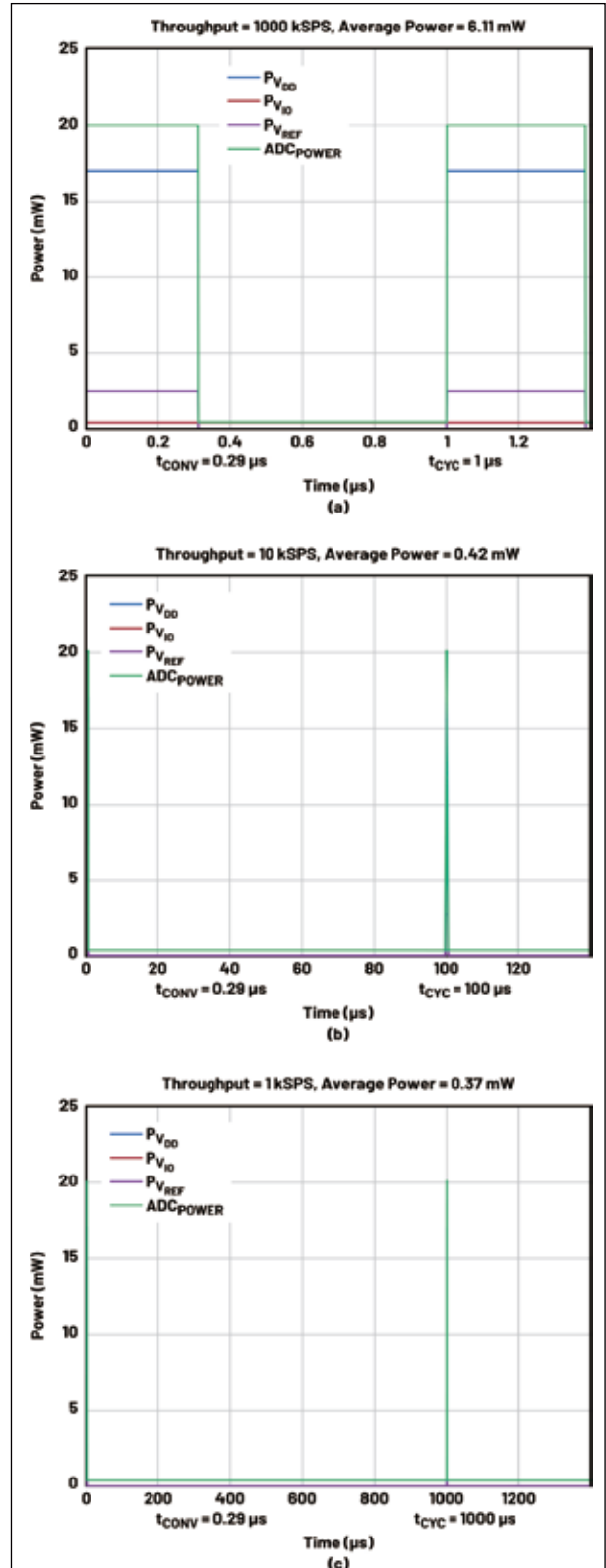
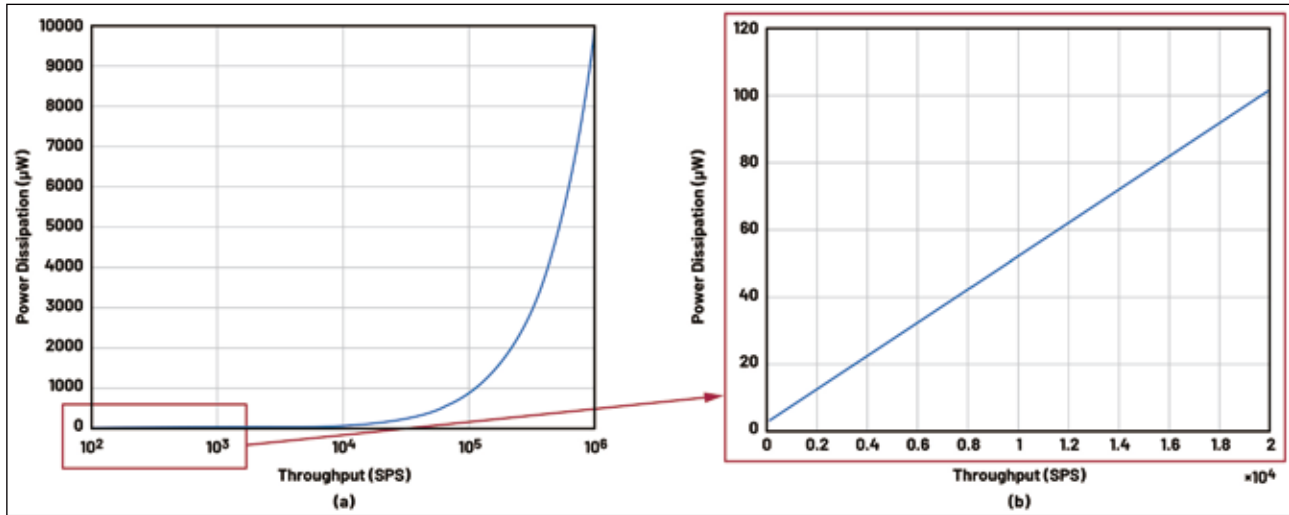


圖 4: (a) AD4001 的功耗調節與輸送量, (b) 相關頻率範圍 (即低於 10 kSPS) 放大圖的圖示。



低, 迴圈時間 (t_{CYC}) 越長, 採集時間 (t_{ACQ}) 也就越長, 後者就是 ADC 保持最小功耗的時期。換句話說, 吞吐率越低, 採集每個樣本所用的功耗也越低。

數位訊號從外部觸發轉換, 轉換速度受到嚴格控制。採樣速率越低, 導致採樣階段時間變長, 因此平均功耗越低。這一點可參見公式 1:

$$\begin{aligned}
 ADC_{POWER} &= P_{V_{DD}} + P_{V_{IO}} + P_{V_{REF}} = \\
 &= V_{DD} \times \frac{I_{DD} \times t_{CONV} + I_{STDBY} \times (t_{CYC} - t_{CONV})}{t_{CYC}} + \\
 &+ V_{IO} \times I_{IO} \times \frac{n_{BITS} \times t_{SCLK}}{t_{CYC}} + V_{REF} \times I_{REF} \times \frac{1/\max_tput}{t_{CYC}}
 \end{aligned} \quad (1)$$

其中:

- t_{CONV} 為轉換時間
- t_{CYC} 為採樣速率的倒數
- V_{DD} 為類比電源
- V_{IO} 為數位電源
- n_{BITS} 為 ADC 的解析度
- t_{SCLK} 為串列時脈週期時間 ($1/f_{SCLK}$)
- V_{REF} 為基準電壓, I_{REF} 為最大輸送量 (\max_tput) 時的電流

所以, 根據公式 1 且如圖 4 所示, 如果 t_{CYC} 延長且 t_{CONV} 保持不變, ADC 平均類比功耗與採樣速率成反比。

圖 1 所示的 ADC 在轉換階段的功耗主要來自類比電源, 如圖 2 所示。例如, 在應變計感測電路

中, 數據獲取速率可以低至 1 kSPS, 相較於依照最大採樣速率運作的 AD4001, 其功耗可以降低 20 倍。

表 2: AD4001 功耗調節與輸送量

AD4001 吞吐速率	總功耗
1 kSPS	300 μ W
10 kSPS	400 μ W
1 MSPS	6 mW

公式 1 (圖示) 顯示功率如何隨輸送量成比例增加, 如圖 4 所示。

降低 ADC 採樣速率會導致採集時間延長, 這會降低 ADC 驅動器放大器的頻寬要求, 從而擴大可選裝置的群集。頻寬更低的放大器一般具有相對更低的靜態電流。所以, 降低 ADC 採樣速率不僅會降低 ADC 功耗, 還會降低配套使用的放大器的功率要求。

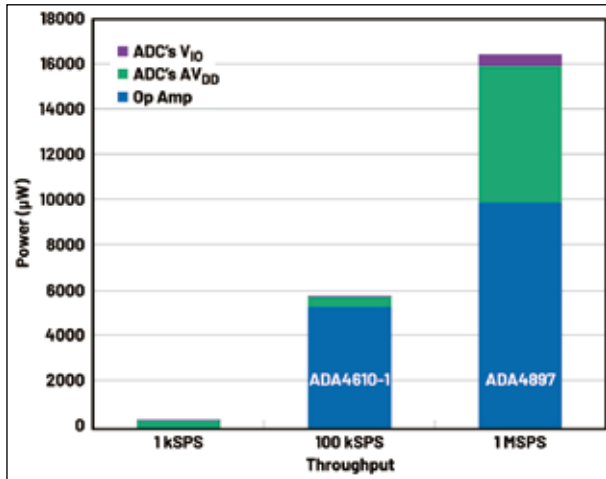
$$P_Q = I_Q \times (V_+ - V_-) \quad (2)$$

但是, 選擇頻寬更低的運算放大器也需要作出取捨。更低的頻寬表示更低的靜態電流 (I_Q), 但缺點在於雜訊電壓密度 (e_N) 會增大, 如表 3 所示。根據經驗, 降低靜態電流表示雜訊密度會按照 $1/\sqrt{I_Q}$ 的比例增大。但是, 需要注意的是, 調節頻寬會過濾均方根雜訊。換句話說, 硬體設計人員可能根據給定的採樣速率、放大器和 RC 淨頻寬在功耗 (或電池壽命) 和均方根雜訊性能之間取捨。

表 3: 運算放大器頻寬與電流消耗和雜訊性能的關係; 頻寬和功率成正比

運算放大器	頻寬	I_Q	e_N
ADA4897-1	90 MHz	3 mA	1 nV/ \sqrt{Hz}
ADA4610-1	16 MHz	1.6 mA	7.3 nV/ \sqrt{Hz}
MAX40023	80 kHz	17 μ A	32 nV/ \sqrt{Hz}

圖 5: 在多種輸送量下, 每個電源軌 (運算放大器、類比電源軌和數位電源軌) 的電源分佈: 如表 3 所示, 根據頻寬需求, 使用不同的放大器。



此外, 用於設定運算放大器增益的回饋電阻也會影響功耗: 這些電阻越大, 其消耗的功率就越少。但這期間也伴隨著對雜訊的取舍, 因為電阻越大, 產生的雜訊也越多。正確的設計做法是使電阻盡量提高, 只要其雜訊貢獻值在總雜訊中可以忽略不計。因為總雜訊等於各個雜訊的和方根, 所以, 根據一般經驗, 可以設定電阻均方根雜訊的上限為該運算放大器的 1/3, 使其雜訊貢獻值在總雜訊中的占比低於 5%。如此, 運算放大器雜訊仍是主要雜訊。

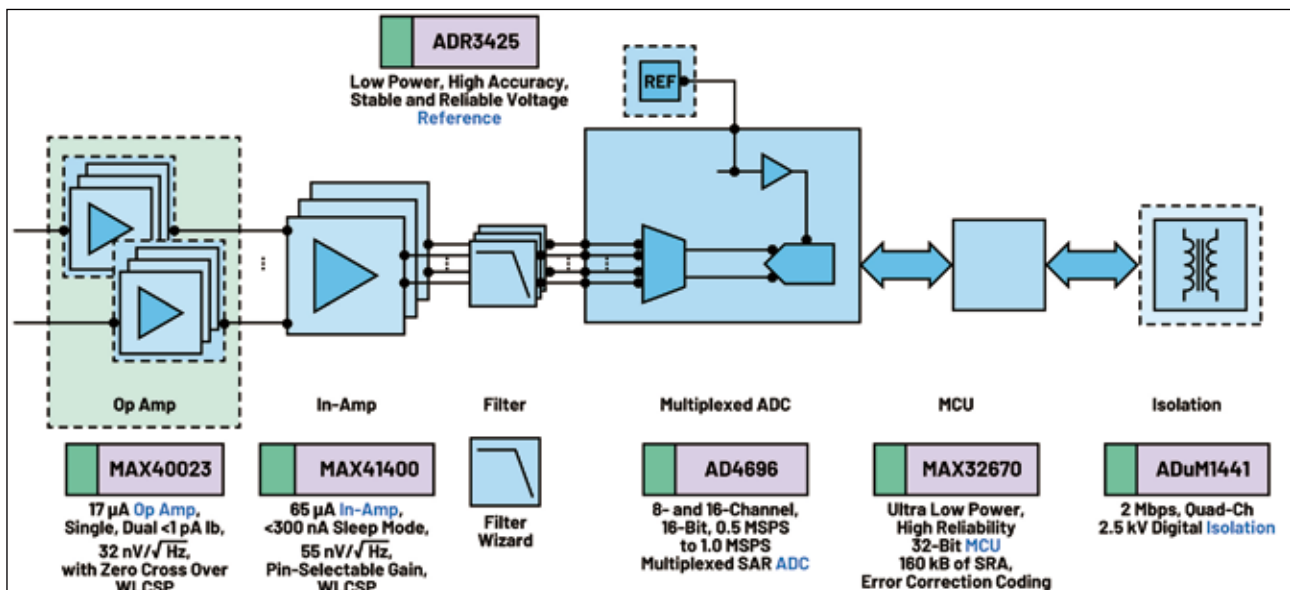
在有些應用中, 會以低吞吐率 (幾 kSPS) 對低

頻率輸入訊號採樣, 例如表 1 所示的訊號, 在如此情況下, 如果無需訊號處理 (例如增益級或低輸出阻抗), 即可移除驅動器放大器。在更高速度的應用中, 更新的 ADC (例如 AD4000 或 AD4696 系列) 會提供高輸入阻抗 (高阻) 模式, 支援使用更低頻寬 (和更低功率) 放大器來驅動類比輸入, 有時甚至能完全取消使用驅動器。取消此種運算放大器也有助於降低總功耗 (其功耗隨之取消), 如圖 5 的藍色條柱所示。相較於始終需要使用驅動器放大器的傳統型 SAR ADC, 這有助於大幅節省功率。在使用 AD4696 16 通道元件時, 此種功率節省的比例達到 16 倍。基準電壓源高阻模式功能也會降低基準電壓源輸入電流, 使得總系統功耗隨之降低。

SAR ADC 訊號鏈: AFE 動態功耗調節

如前文所述, SAR ADC 功耗會隨採樣速率變化, 但其他訊號鏈元件並不是如此。放大器和基準電壓在通電之後, 消耗恆定的靜態電流。在採樣 ADC 樣本期間對這些元件進行功率迴圈會降低訊號鏈的平均功耗。每個電源週期必須等待訊號確定, 這會限制留給系統開啓和關閉的時間。有關詳情, 請參閱「低功耗精密訊號鏈應用最重要的時序因素

圖 6: 多通道測量訊號鏈。



有哪些？第一部分」和「低功耗精密訊號鏈應用最重要的時序因素有哪些？第二部分」（但建議對每種具體的訊號鏈設計執行精準分析）。

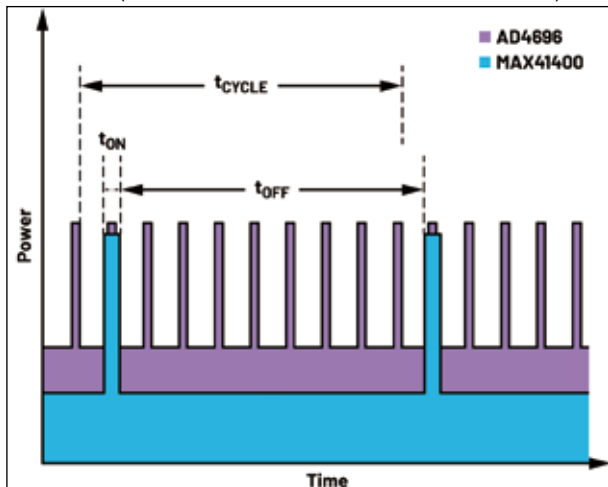
使用高度整合的 ADC，在晶片內整合更多類比前端 (AFE) 模組，可以加快上電和斷電轉換的速度，但無損其性能。但是，在許多場景下，為了實現最佳性能，設計最終可能會使用分立式元件。例如圖 6 所示。

此訊號鏈為多通道，由一個 MAX41400 和每通道一個抗混疊濾波器組成，採用 ADR3625 精密基準電壓源，將資訊饋送給 16 通道 SAR ADC (即 AD4696)。

如前文所述，按照可接受的最低輸送量運作 ADC 會降低其功耗。此外，如果閒置時間夠長，可在部分採樣時間期間將 MAX41400 置於關斷模式，對於如此的多工系統，可以一次只開啓 (上電) 一個放大器。放大器 MAX41400 開啓 (上電) 的頻率為 t_{CYC}/L_{SEQ} ，其中 L_{SEQ} 為時序長度，在圖 7 所示的示例中，其數值為 10。例如，如果按照每通道 1 kSPS 的速度進行轉換，而轉換時間最長為 415 ns，這表示在每個通道上，MAX41400 可在約占迴圈時間 10% 的時間裡處於關斷模式。

在完全上電時，MAX41400 的靜態電流 (I_{Q_ON}) 為 65 μA ，在進入關斷模式 (I_{Q_OFF}) 之後，該電流可以降低至 0.1 μA 。在採樣之間將其關斷，放大

圖 7：基於 AD4696 ADC，在多通道多工應用中對 MAX41400 進行功率迴圈 (為了便於查看，假設只有 10 個通道投入使用)。



器消耗的平均電流 (I_{AVG}) 會隨輸送量改變。

$$I_{AVG} = I_{Q_ON} \times \frac{t_{ON}}{t_{CYC}} + I_{Q_OFF} \times \frac{t_{CYC} - t_{ON}}{t_{CYC}} \quad (3)$$

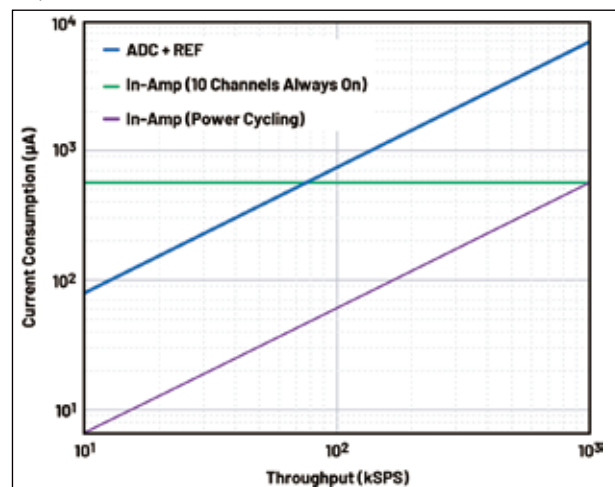
重申一下，輸送量越低， t_{CYC} 越高， I_{AVG} 越低。 t_{ON} 表示放大器保持開啓的時期。當 ADC 從採集階段切換至轉換階段，放大器可以進入關斷狀態，因為延長 t_{ON} 時間，使其超過最短時間並不會帶來任何好處。應使關斷時間 ($t_{OFF} = t_{CYC} - t_{ON}$) 達到最長，以大幅降低功耗，但不到需要犧牲 SNR 或 THD 的程度。要找到正確的時序，具體取決於應用、使用的裝置和吞吐率。事實上， t_{ON} 和輸送量可能成反比：輸送量更低時，導致閒置時間變長，閒置時間更長時，則需要更長的 t_{ON} 時間來喚醒放大器。根據產品手冊，AD4696 的典型轉換時間為 415 ns。這個轉換時間，加上在關斷之後重新給 MAX41400 上電所需的 100 μs ，即為最短的 t_{ON} 時間。所以，平均電流消耗為：

$$I_{AVG} = 65 \mu A \times \frac{100.5 \mu s}{1000 \mu s} + 0.1 \mu A \times \frac{899.5 \mu s}{1000 \mu s} = 6.62 \mu A \quad (4)$$

相較於始終使能的放大器，MAX41400 在關斷模式下的功耗和快速上電期間的功耗總和要低 10 倍。

一般來說，除了所示示例在給定吞吐率下計算得出的節省功率外，所有公式都可以如圖 9 所示，以圖形的方式展示，其規格則依照產品手冊 (假設已使能基準電壓源和類比輸入高阻模式)。

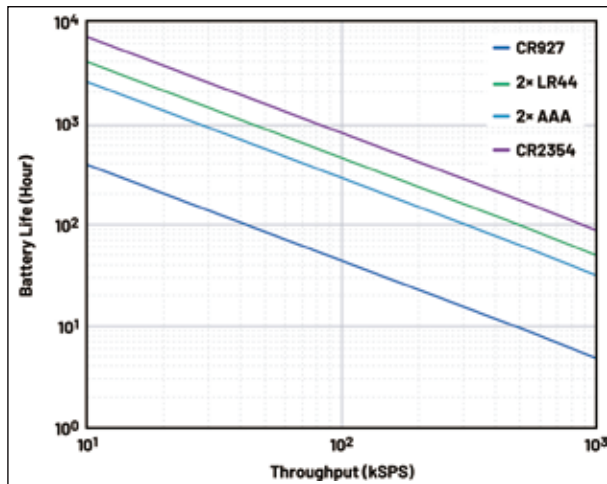
圖 8：訊號鏈功耗與輸送量的關係 (前端提供和不提供功耗調節功能)。



可以採用相同的分析方法來分析電池壽命，與功耗分析相反，需要使用電池容量除以平均電流。

在此種情況下，兩者成反比，也就是說，輸送量越低，電池壽命越長。

圖 9: 利用功率迴圈 / 調節功能延長電池壽命。



任何放大器，即使不像 MAX41400 一樣支援關斷模式，都可以如之前所示進行功率迴圈。也就是說，不是進入關斷模式，而是徹底上電和徹底關閉。但是，在操作時必須小心。一方面，放大器的喚醒時間將會更長，所以最短 t_{ON} 時間也會更長。另一方面，重複對解耦電容充電和放電會影響在每個電源週期為其充電的電流，相較於關斷模式，會增大整體的功耗。此外，如果感測器在電源軌未上電的情況下仍然驅動放大器輸入，在沒有保護措施的情況下，可能會導致損壞。

基於 SAR ADC 的訊號鏈：數位電源功耗調節

前文著重介紹降低類比電源功耗（如果是總功耗的最主要來源時）該如何降低。降低輸送量也會影響數位功耗，因為這使得串列時脈能以更低頻率運作：

$$I_{10} = C_{SDO} \times V_{10} \times f_{SCLK} \quad (5)$$

公式 5 指出，我們還可以採用兩個額外的步驟大幅降低數位功耗：

- 使用更低的數位電源電壓 (V_{10})
- 大幅降低串列數據輸出線路的佈線電容

需要注意的另一點是數位通訊線路中使用的上拉 / 下拉電阻的值。這些電阻用於確保在數位輸入 / 輸出端提供正確的邏輯位準，其數值會影響到系統的總功耗。使用的電阻值過低（也稱為強上拉）可能會導致線路中有大電流通過。因此，應避免使用非必要的低電阻值。另一方面，如果電阻過高，洩漏電流導致的壓降會導致錯誤的邏輯位準解譯。此外，壓降會影響傳輸。所以，設計人員必須在無損電壓位準（取決於數位電源電壓和洩漏電流）或訊號完整性的情況下，使用最高的電阻值。

基於 Σ - Δ ADC 的訊號鏈

在基於 Σ - Δ ADC 的訊號鏈中，之前所述的功耗調節概念並不直接適用。這是因為轉換不是從外部觸發的，而是由自由運作的時脈觸發的⁴。所以其不能作為外部轉換開始訊號的函數，以閒置狀態持續一定時間。

但是，許多 Σ - Δ ADC 支援待機模式，如果 ADC 無需持續轉換，即可使用這種模式。如前文所述，我們還需要考慮時序問題⁵，因為在喚醒元件到元件退出待機模式的這段時間裡，是不能進行採樣的。

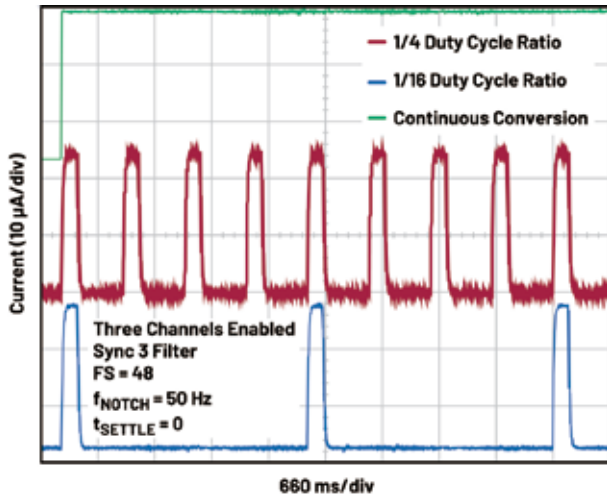
除了待機模式外，高度整合的 Σ - Δ ADC（例如 AD4130）還提供工作週期模式。如此，ADC 會自動上電和關閉，無需在每次迴圈時與主機交互。AD4130 提供兩種模式，分別為 1/4 和 1/16，這表示該元件在 1/4 和 1/16 的時間裡保持啟動。相較於連續轉換模式，會大幅節省功率，如圖 10 所示。

根據所需的吞吐率，在選擇優化功耗的技術時，可以使用

其中一種工作週期模式，或者讓元件在一

AD4130 功率模式	典型功耗
連續轉換	32 μ A
工作週期控制	5 μ A
關斷模式	0.5 μ A

圖 10: Ad4130 在不同工作模式下的電流消耗：連續轉換模式、1/4 工作週期和 1/16 工作週期。



定時間裡處於待機模式。實際上，AD4130 的多種工作模式都可能影響 ADC 的功耗。ACE6 中可用的主動功能模型顯示了所選 ADC 配置的功耗和預期的電池壽命。

基於 Σ - Δ ADC 的訊號鏈：AFE 動態功耗調節，支援工作週期

和基於 SAR ADC 的訊號鏈一樣，基於 Σ - Δ DAC 的訊號鏈可以利用工作週期，在 ADC 處於低功耗狀態（圖 10）時將某些模組置於關斷狀態。如此，可以實現與圖 9 所示類似的 AFE 功率節省。

感測器激發

完整的解決方案元件（例如 AD4130）不止提供核心轉換器，還提供內部可程式設計增益放大器，以及感測器偏置和激發（可選的電流源和精密基準電壓）。此種整合表示易用性、尺寸，以及在不同建構模組之間使用偏置、时序或功率迴圈等的優化。所以，AD4130 本身透過在晶片內整合這些模組來降低系統的整體功耗。此外，其能夠彈性用在多種不同的平台中，例如 RTD、熱敏電阻或橋接感測器等等，能夠協助簡化設計週期。其並減少了 BOM 數量，以及所需使用電源軌的數量。

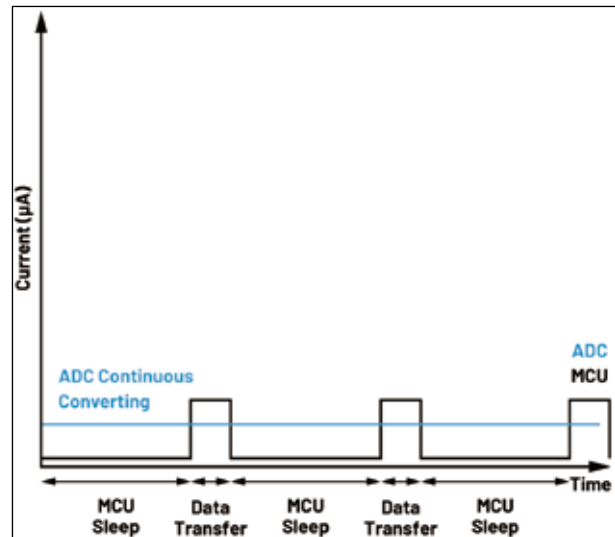
其他功率優化技術

本文介紹了多種大幅降低訊號鏈功耗的方法。但是，訊號鏈還有一個部分需要考慮，即主機控制器。如果控制器因為需要讀取和後處理來自 ADC 的數據而始終保持上電，那麼其會消耗很多功率。在控制器未使用時，將其置於睡眠模式將有助於額外節省功率。

搭載 On-Chip FIFO 的 ADC 轉換器

如果應用無需即時數據，但必須以更低的速率讀取數據點，那麼搭載 On-Chip FIFO 的 ADC 轉換器應能派上用場。AD4130 整合了此種模組，該 FIFO 能夠儲存多達 256 次轉換，所以，如果輸出數據速率 (ODR)（例如）為 2.4 kSPS，該微控制器無需每隔 416 μ s 讀取一次，而是可以進入睡眠模式，每隔 100 ms 喚醒，一次性讀取整個記憶體體的數據（參見圖 11 的數據傳輸部分）。換言之，如果 ADC 的記憶體能儲存最新的 256 個樣本，也能使微控制器進行功率迴圈，從而大幅降低系統的總功耗。

圖 11: 利用 ADC 的內部 FIFO 降低微控制器的功耗。



透過直接記憶體存取 (DMA) 將 ADC 數據流程傳輸至記憶體

對於不包含片內 FIFO 的 ADC，可以轉而使用大部分微控制器都包含的直接記憶體存取 (DMA)。DMA 能將數據直接從周邊（在本例中為 SPI）傳輸

至記憶體 (SRAM)，不存在因為每次接收 ADC 樣本而造成 CPU 干預或中斷。選擇的微控制器會直接影響到可以節省的功率。在許多情況下，微控制器在大部分時間裡都能保持處於睡眠模式，只有在接收到 ADC 樣本時才觸發事件。此事件會簡單提醒 DMA 開始執行 SPI 事務，之後再回到睡眠狀態，相比 CPU 在整個 SPI 事務執行期間保持完全喚醒，這會使微控制器的功耗達到最低。注意，只有在 ADC 數據的格式與目標記憶體一致時，才能使用 DMA。也就是說，對於大部分微控制器，只有當 ADC 數據為 16 位元或 32 位元時，才能輕鬆使用 DMA。

中斷驅動程式設計

許多低功耗應用不要求記錄和處理每個數據點，但需要監控檢測的幅度是否位元於特定的閾值之內。之前為了進行監測，主機控制器需要始終保持喚醒以讀取每個 ADC 樣本，確定其值是否正常，並且據此觸發中斷常式。

AD4696(SAR ADC) 和 AD4130(Σ - Δ ADC) 都整合了這些閾值檢測功能。閾值可以編入程式，使得 GPIO 接腳只在 ADC 輸出代碼超出用戶定義的範圍時進行認定。如此，主機控制器大部分時間都可以處於睡眠模式，只在 GPIO 認定時喚醒，這表示其只在需要執行操作時才保持活躍，因此能夠大幅降低功耗。

結論

在為可攜式現場儀器儀錶、狀態監測或生命體徵測量 (VSM) 等應用設計電池供電的測量系統時，可以使用 analog.com/precisionlowpower 所示的低功耗訊號鏈來實現功率優化型解決方案。ADI 精密低功耗訊號鏈協助設計人員簡化了建構低功耗測量解決方案的過程，該解決方案將精密放大器、基準電壓、ADC 和隔離產品優化組合在一起。在這些訊號鏈中，功耗得到優化，同時兼顧雜訊性能、尺寸、易用性這些重要指標。這些訊號鏈提供不同配置：單通道、分立式多通道 (多工)、完全整合的多通道

解決方案和隨時可用的功率優化設計，對於低功耗設計來說是非常不錯的起點。

除了展示 ADI 精密低功耗訊號鏈之外，本文還展示多種提高訊號鏈的能效比的系統級技術。這些技術包括功耗調節、功率迴圈、工作週期，或使用 FIFO 這類片內功能，或者閾值檢測這類中斷驅動功能。

參考電路

- ¹ Padraic O'Reilly。「低功耗精密訊號鏈應用最重要的時序因素有哪些？第一部分」。類比對話，第 56 卷第 3 期，2022 年 8 月。² Padraic O'Reilly。「低功耗精密訊號鏈應用最重要的時序因素有哪些？第二部分」。類比對話，第 56 卷第 3 期，2022 年 8 月。³ 數據轉換手冊。(ADI, 2005 年)。
- ⁴ Michael Clifford。「 Σ - Δ 型 ADC 拓撲結構基本原理：第一部分」。ADI, 2016 年 1 月。
- ⁵ Bruce Pepitas。「動態功耗調節簡介」。ADI, 2016 年 1 月。
- ⁶ 分析 | 控制 | 評估 (ACE) 軟體。ADI。
Brandon Hurst。「如何使用 DMA 在低功耗可穿戴裝置中加快周邊監測」。類比對話，第 56 卷第 1 期，2022 年 1 月。
Maithil Pachchigar 和 Alan Walsh。「新一代 SAR ADC 解決精密數據獲取訊號鏈設計的難點」。類比對話，第 50 卷第 4 期，2016 年 12 月。
Sanjay Rajasekhar 和 Arvind Shankar。「如何利用輸入高阻技術來降低解決方案的功耗並縮減尺寸」。ADI, 2022 年 7 月。 