

輕鬆實現卓越的音訊性能

# 如何使用隨插即用的數位 D 類放大器

本文介紹隨插即用的 D 類音訊放大器系列產品，此類放大器簡化了系統設計，因此無需額外的 I<sup>2</sup>C 編程、低抖動的採樣時脈、邏輯位準轉換器、特殊的電路板佈局設計或 EMI 濾波器。本文將解釋如何在節省電路板空間、降低成本和減少工作量的同時實現高性能的音訊輸出。

■作者：Matt Felder / ADI 傑出工程師

## 簡介

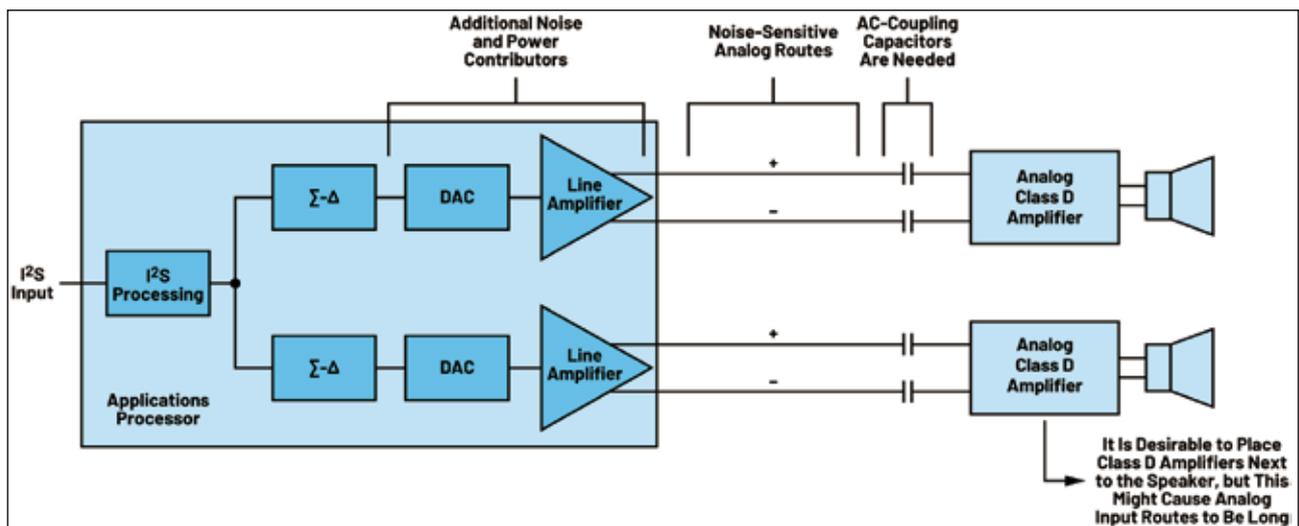
新一代隨插即用的數位 D 類音訊放大器的性能遠優於傳統的類比 D 類放大器。更重要的是，數位輸入 D 類放大器並具有低功耗、低複雜性、低雜訊和低成本優勢。

電子產品供應商通常使用不具有濾波器的高效率類比 D 類放大器來滿足手機、平板電腦、家用監控和智慧音箱中可攜式喇叭的功率需求。這些 D 類放大器可直接連接到電池，以盡可能降低損耗並減少零組件數量。這些放大器並可實現大於 80 dB 的電源抑制比，這對於避免 GSM 通訊的 217 Hz 干擾來說非常重要。

類比 D 類放大器一般需要在處理器側使用 DAC 和線路驅動放大器 (圖 1)，這會增加晶片成本和功耗，並導致喇叭的輸出雜訊。此種 D 類放大器還要求良好的電路板佈局設計，以避免訊號耦合到類比電路而導致性能下降。

數位 D 類音訊放大器則不需要特殊的電路板佈局設計。這些單通道 D 類放大器可以放置在電路板上的較遠位置，以大幅減少電池和喇叭負載之間的佈線。這些放大器不需要類比 D 類放大器所必需的 DAC 和線路驅動放大器，可以降低尺寸和成本，設計更為簡單。

圖 1: 使用類比 D 類放大器的常規系統。處理器側的 DAC 和線路驅動放大器會增加成本、功耗和喇叭輸出雜訊。



## 簡化系統設計

大多數數位放大器接收脈衝碼調變 (PCM) 或 I<sup>2</sup>S 數據登錄時，需要三根連接線：BCLK、LRCLK 和 DIN。PCM 格式的輸入不需要在處理器側使用調變器或對數據進行上採樣 (圖 2)。較早的 PCM 輸入的放大器需要乾淨的主時脈 (MCLK) 以產生無抖動的採樣時脈，而較新的 PCM 輸入的放大器，如 MAX98357、MAX98360 和 MAX98365 等，則不再需要 MCLK 輸入，因此接腳數、功耗和電路複雜度都大幅降低。

較早的數位放大器提供可調的採樣速率和 / 或位元深度，因此在某些情況下需要對放大器進行複雜的編程。新一代的數位放大器則可以自動檢測各種採樣速率和位元深度，支援自動配置，無需任何編程。

在多通道的實現方案中，數位 D 類音訊放大器可以減少電路板上的週邊電容和佈線。PCM 輸入只需要 BCLK、LRCLK 和 DIN 三根連接線就可以輸出立體聲或 8 通道的 TDM 數據。而相較之下，類比

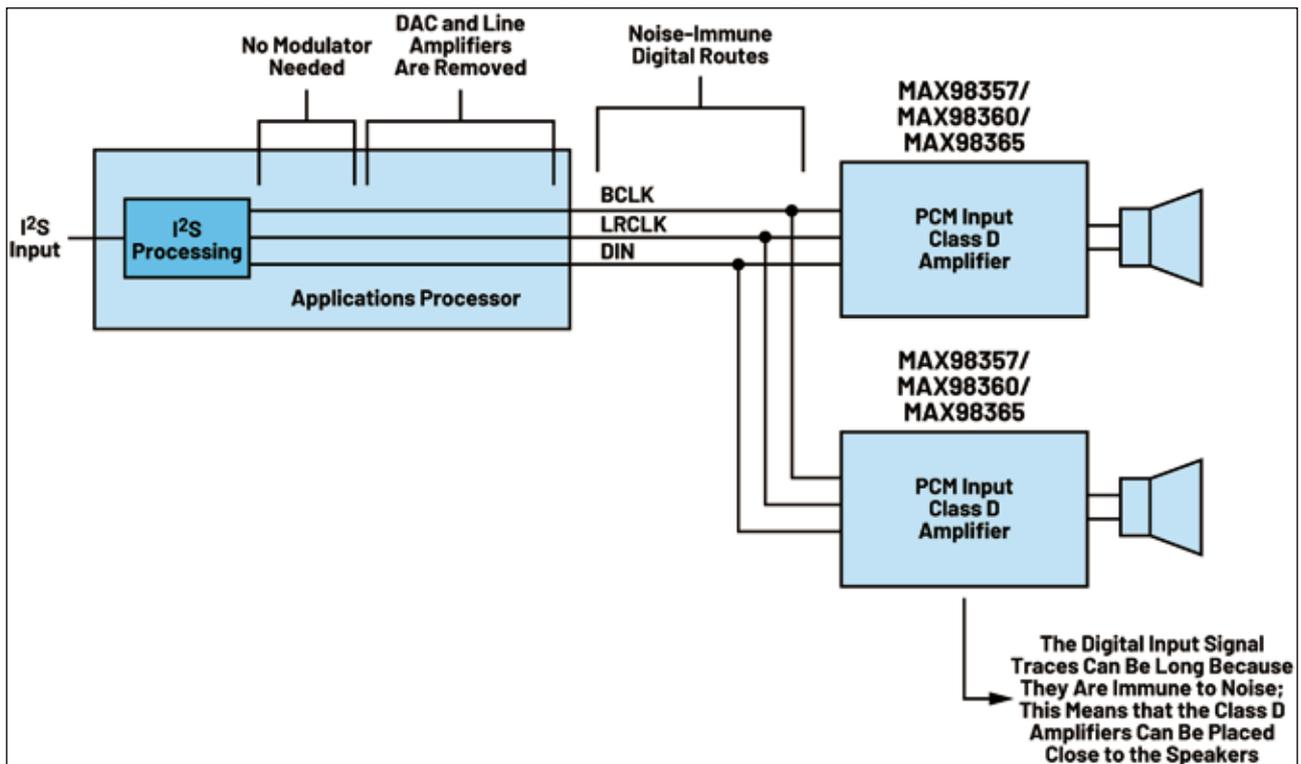
D 類放大器一般需要兩個差分輸入訊號共四根連接線，還需要額外的交流耦合電容 (見圖 1 和圖 2)。

大多數數位放大器同時需要較低的數位電源電壓 (1.8 V) 和較高的喇叭電源電壓 (2.5 V 至 5.5 V)。但是使用 MAX98357 和 MAX98360 等單電源供電的 D 類放大器可以簡化電路設計並減少元件數量。MAX98365 可以採用 3.0 V 至 5.5 V 的單電源供電，也可以採用 1.8 V 至 5.5 V 和 3.0 V 至 14.0 V 的雙電源供電。數位輸入的邏輯位準獨立於元件的電源電壓，輸入邏輯位準可以是 1.2 V 至 5.5 V 之間的任何值，無需邏輯位準轉換器。

## 抖動容差和時脈發生

數位 D 類音訊放大器通常面臨時脈抖動的新挑戰。為了獲得良好的音訊品質，大部分數位輸入放大器要求相當低的 BCLK 或 MCLK 的時脈抖動。產品手冊通常不會具體提供抖動容差的數值，如果提供，典型值約為 200 ps 的均方根抖動。較高的時脈抖動通常會降低放大器的動態範圍或滿量程 THD+N

圖 2: PCM 輸入的數位 D 類放大器的系統只需要使用三根連接線，而且處理器側不需要調變器或對數據進行上採樣。



性能。

在許多系統中，處理器的基準振盪器頻率不是 BCLK 的簡單倍數，因此為放大器提供低抖動的時脈並不容易。例如，13 MHz 是 GSM 電話的常見晶振頻率、27 MHz 則通常用於影像解決方案，這些基準頻率都不是 44.1 kSPS 或 48 kSPS 的音訊採樣速率的簡單倍數。因此，系統通常採用複雜的小數 N 分頻鎖相迴路來產生音訊專用的時脈。在某些情況下，該解決方案需要單獨的音訊基準振盪器，這會增加系統複雜性和物料成本。

另一種更好的解決方案是使用能容忍高時脈抖動而不降低音訊性能的數位放大器。此種放大器可降低系統的複雜性。在最簡單的情況下，可以使用跳週期時脈來產生 BCLK，但這會產生異常高的抖動。如果跳過 13 MHz 的基準時脈週期產生 6.144 MHz 的 BCLK(48 kSPS × 128 OSR)，則峰值抖動可達 38.4 ns，均方根抖動可達 22.2 ns(圖 3)，這比大多數 DAC 所能承受的抖動還要高出兩個數量級。

然而，新型的 D 類音訊放大器即使在如此的時脈抖動下仍具備大於 103 dB 的動態範圍性能。跳週期時脈可透過處理器上的邏輯門電路來產生。新元件不需要鎖相迴路解決方案必需的振盪器或迴路濾

圖 3: 來自於 25 MHz 時脈跳週期產生的 12.288 MHz MCLK

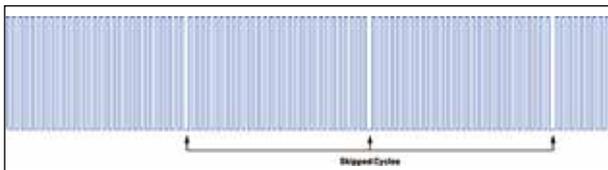
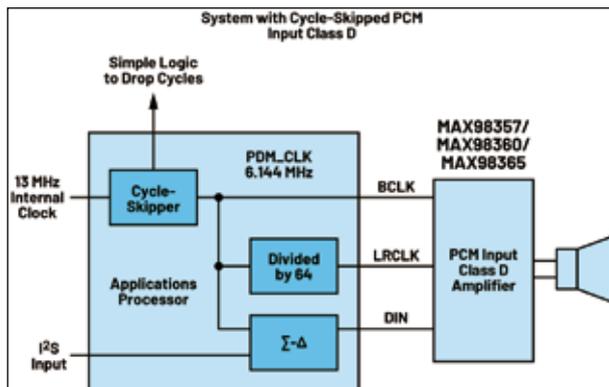


圖 4: 小數 N 分頻鎖相迴路與跳週期時脈實現

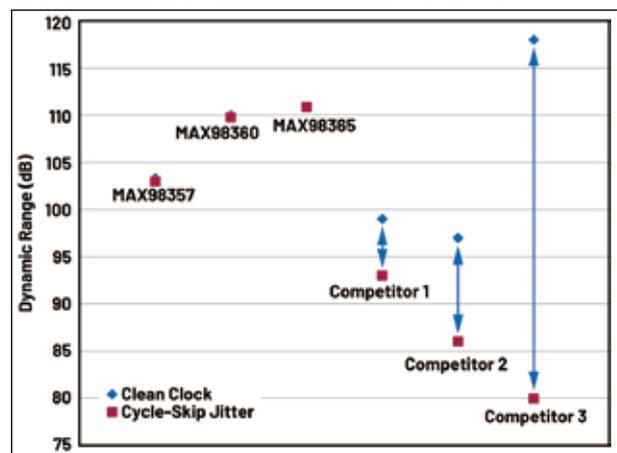


波器。參見圖 4。

## 抖動容差測試結果

測試結果顯示，使用跳週期時脈時，MAX98357、MAX98360 和 MAX98365 的動態範圍不會降低。此時，元件的動態範圍性能比 120 dB 的 DAC 還高出 20 dB。 $\Sigma-\Delta$  型 DAC 抖動容差的更多詳細資料可參見參考文章<sup>1</sup>。

圖 5: 動態範圍下降，跳週期時脈抖動為 11.5 ns rms



## 結語

數位無濾波 D 類音訊放大器支援簡單的電路實現，無需額外的 I<sup>2</sup>C 編程、MCLK 輸入、位準轉換器和 EMI 濾波器，具有高效率、低 EMI 和高輸出功率的特色。MAX98357 和 MAX98360 採用 WLP 或 QFN 封裝，輸出功率可達 3.2 W。MAX98365 採用 WLP 封裝，輸出功率可達 17.6 W。

## 參考電路

■<sup>1</sup> Matt Felder, Patrick Gallagher, and Brian Donoghue. “Analyzing Audio DAC Jitter Sensitivity.” EDN Network, September, 2012. [CTA](#)