

IBIS 建模—第 2 部分：

爲何以及如何創建您自己的 IBIS 模型 (I)

本文提供創建 IBIS 模型時如何使用 LTspice 的指南，涵蓋從 IBIS 預建程式到 IBIS 模型驗證的整個過程，並詳細介紹如何在 LTspice 中為 IBIS 模型準確擷取 I-V、V-T、斜坡和 C_comp 數據。此外，本文並提供定性和定量 FOM 方法，用於驗證 IBIS 模型的性能。該應用案例展示了為假設的 ADxxxx 三態數位緩衝器開發 IBIS 模型的過程，其中包含適合輸入和三態 CMOS 介面的可用 IBIS 範本，有助於即刻開始創建您的 IBIS 模型。

■作者：Rolynd Aquino, Janchris Espinoza / 產品應用工程師
Francis Ian Calubag / 系統應用工程師

在建構任何系統時，模擬都發揮著關鍵作用。其協助設計人員預見問題，進而避免費時且成本高昂的修改。我們的目標始終是一次就成功！在模擬高速數位介面時，如果設計不當，簡單的 PCB 佈線可能會影響訊號品質。在訊號完整性模擬中，IBIS (輸入 / 輸出緩衝器資訊規範) 模型用來表示元件的數位介面。

如 IBIS 系列文章的第 1 部分所述，IBIS 是一個行為模型，透過以表格形式列出的電流與電壓 (I-V) 和電壓與時間 (V-T) 數據來描述元件的數位介面的電氣特徵。IBIS 模型應儘量準確，且不含任何解析錯誤，避免在之後使用時出現問題。此外，對於具有數位介面的每個零件或元件，都應該提供可用的 IBIS 模型。如此當客戶需要時，可直接從製造商的網頁上下載。但是，事實並非總是如此。對於 IBIS 模型使用者，他們常遇到的一個問題就是模型的可用性。當其在設計中選用的零件沒有 IBIS 模型時，其產品開發可能受阻。

IBIS 模型最好是由其製造商提供；但是，使用者也可以創建 IBIS 模型。本文介紹如何使用 LTspice，基於 SPICE 模型創建最基礎的 IBIS 模型。下文使用 IBIS 建模手冊 (IBIS 4.0 版) 中的規格來介

紹 LTspice 模擬設定。並介紹如何使用定性和定量品質因數來驗證 IBIS 模型。

何謂「最基本的」IBIS 模型？

為了協助客戶使用 LTspice 創建基本的 IBIS 模型，需要先定義「基本」一詞。基本的 IBIS 模型不僅取決於 I/O 模型關鍵字，還取決於需要建模的數位緩衝器的類型。這表示需要重新審視 IBIS 的早期版本，以定義建立緩衝器模型需要滿足的最低要求，以及當時建模的數位介面的類型。事實證明，單端 CMOS 緩衝器是可以使用 IBIS 建模的最簡單的數位 IO 之一，本文將予以介紹。

圖 1 顯示 3 態 CMOS 緩衝器 IBIS 模型的結構。如第 1 部分所述，IBIS 模型中的元件或關鍵字取決於模型類型。表 1 匯總列出基本的 IBIS 模型的元件，具體由 Model_type 決定。

應用案例

在本文中，我們將使用一個假設的 ADxxxx 元件的 LTspice 模型來創建 IBIS 模型。它是一個具有致能接腳的單輸入和單輸出數位緩衝器。因此，得到的 IBIS 模型將具有兩個輸入 (DIN1 和 EN)、一個

圖 1:3 態 CMOS 緩衝器的 IBIS 模型。

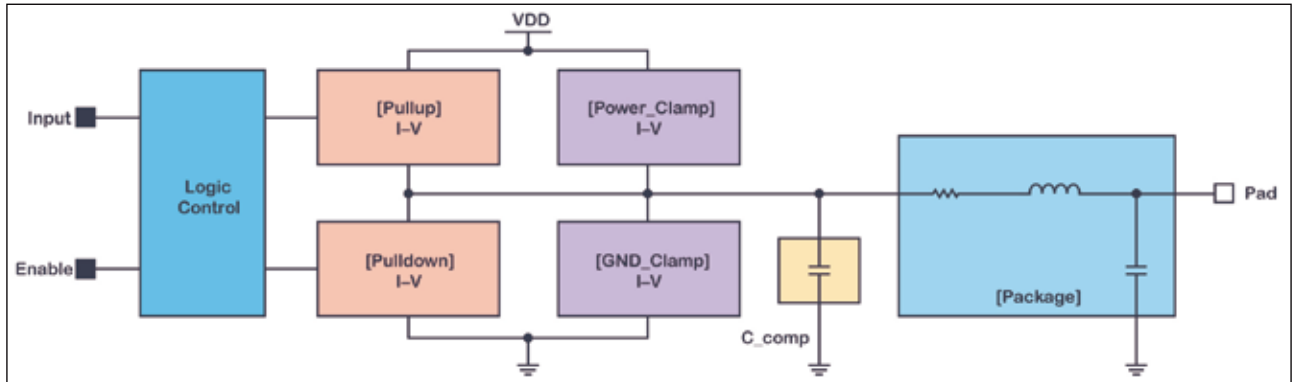


表 1: 基於 Model_type 的 IBIS 模型元件匯總

Model_type	[封裝]	C_comp	[GND_Clamp]	[Power_Clamp]	[下拉]	[上拉]	V-T 表	[斜坡]
輸入	✓	✓	✓	✓	—	—	—	—
3 態	✓	✓	✓	✓	✓	✓	✓	✓
I/O	✓	✓	✓	✓	✓	✓	✓	✓

三態輸出 (DOUT1)。

一般來說，產生 IBIS 模型有五個基本步驟：

- 建立預建程式。
- 對從 SPICE 模型中擷取的 C_comp、V-I 和 V-T 數據進行 LTspice 模擬。
- 格式化 IBIS 檔。
- 使用 IBIS 解析器測試檢查檔。
- 比較 IBIS 模型與 SPICE 模型在相同載入條件下的模擬結果。

IBIS 模型提供典型數據、最小數據和最大數據。其透過工作電源電壓範圍、溫度和製程來確定。為精簡起見，本文只討論典型條件。

Ibischk Golden Parser 系列可用於檢查 IBIS 模型是否符合 IBIS 規範。ibischk 可執行檔可從 IBIS.ORG 網頁免費獲取。本文使用整合 ibischk 的協作廠商 IBIS 模型編輯軟體。

預建程式

在開始模擬之前，用戶應該下載元件的產品手冊，並安裝 SPICE 模型和 LTspice 檔。透過確定零件具備的數位介面數量和類型（例如，輸入、開漏、三態等），對零件進行初始評估。

根據元件產品手冊，確定工作電源電壓、工作

規格的載入條件 (RLoad 和 / 或 CLoad)，以及數位輸入的低位準輸入電壓 (VINL) 和高位準輸入電壓 (VINH)。ADxxx SPICE 模型如圖 1 所示，其指標參數列在表 2。

圖 2: ADxxxx 3 態數位緩衝器 SPICE 模型。

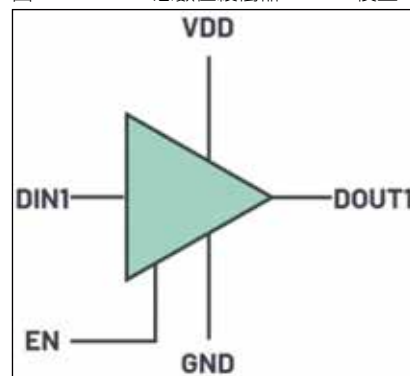


表 2: ADxxxx 產品手冊參數

產品手冊參數	值
VDD	1.8 V(典型值)
工作溫度	25oC
V _{INL}	0.3 × VDD
V _{INH}	0.7 × VDD
IC 封裝	6 接腳 SOT-23
CLOAD	15 pF

包含 RLC (電阻 - 電感 - 電容) 寄生參數，代表從晶片焊墊到 IC 焊墊 / 接腳的連接。此資訊可從製造商獲得。也可以查找另一個 IBIS 檔的 [Package] 數據，

溫度、積體電路 (IC) 封裝類型、元件接腳排列、數位輸出時序

透過使用關鍵字，將有關元件數位介面的所有資訊彙集到一個 IBIS 檔中。關鍵字是 IBIS 模型中用括弧括起來的識別字，如第 1 部分所述。更多詳細資訊請參閱此部分內容。

與 IC 封裝模型相關的關鍵字是 [Package]。其

只要該元件採用的封裝與正在評估的元件完全相同，並且來自同一製造商。6 接腳

表 3:6 接腳 SOT-23 封裝寄生參數

[封裝]			
變數	典型值	最小值	最大值
R_pkg	1.595E-01	NA	NA
L_pkg	4.455E-09	NA	NA
C_pkg	0.370E-12	NA	NA

SOT-23 封裝的元件封裝寄生參數如表 3 所示。

表 4:ADxxxx 接腳列表

元件接腳排列如表 4 所示。關鍵字 [Pin] 用於描述接腳及其對應的模型名稱。[Pin] 一般為 3 列格式。第一列是接腳編號，

[Pin]	Signal_name	Model_name
1	VDD	Power
2	DIN1	cmos_di1
3	EN	cmos_en
4	DOUT1	cmos_out1
5	GND	GND
6	NC	NC

第二列是接腳描述，第三列是模型名稱。有些封裝包含類似的接腳 (VCC、GND)。這些接腳可以按模型分組和描述。在這種情況下，由於 SPICE 模型沒有給出有關內部電晶體級原理圖的資訊，因此最好為每個數位介面創建單獨的模型。在 IBIS 檔中，模型名稱 "Power" 和 "GND" 用於命名電源和接地接腳。非數位介面和「請勿連接」接腳則描述為 "NC" 或無連接。請注意，模型名稱是區分大小寫的。由於在稍後的建模型中還會用到，所以需給出具體的模型名稱。

表 5:ADxxxx 真值表

ADxxxx 真值表如表 5 所示。這在建立 LTspice 模擬時非常有用。還必須要知道如何將 DOUT1 接腳設定為高阻抗 (高阻) 模式、邏輯 1 和邏輯 0。

EN	DIN1	DOUT1
0	0	高阻
0	1	高阻
1	0	0
1	1	1

LTspice 設定和模擬

一般來說，IBIS 模型透過前面提到的 I-V (電流與電壓) 和 V-T (電壓與時間) 數據描述數位緩衝器的行為。進行 IBIS 建模時，每種類型的數位介面都擁有一組自己的 I-V 和 / 或 V-T 數據，如表 1 所示。表 6 更加詳細列出了這些數據集。注意查看每個數

表 6: 輸入和 3 態介面的 I-V 和 V-T 數據集

V-I 數據	IBIS 關鍵字	輸入	3 態	
	C_comp Z	必需	必需	
V-T 數據	[Power_Clamp]	推薦	推薦	
	[GND_Clamp]	推薦	推薦	
	[上拉]	—	必需	
	[下拉]	—	必需	
	[上升波形]	載入至 VDD	—	推薦
		載入至 VDD	—	推薦
[下降波形]	載入至 VDD	—	推薦	
	載入至 VDD	—	推薦	
[斜坡]	—	必需		

據集的注釋。那些標記為「推薦」的數據，表示這些數據缺失不會在 ibischk 解析器測試中導致誤差。但是，這些數據集對通道模擬有一定的作用。例如，鉗位元數據有助於分析訊號反射。

[Power_Clamp] 和 [GND_Clamp]

[GND_Clamp] 和 [Power_Clamp] 透過以表格形式列出的 I-V 數據顯示數位緩衝器的靜電放電 (ESD) 元件的行為。[Power_Clamp] 表示以 VDD 為基準的 ESD 元件的整體行為，接地鉗位表示以 GND 為基準的 ESD 元件的整體行為。

在 LTspice 中，I-V 數據可以使用 .DC SPICE 命令 / 指令進行測量。DOUT1 的接地鉗位用圖 4 所

圖 3:[Power_Clamp] 和 [GND_Clamp] 關鍵字結構的概念圖。

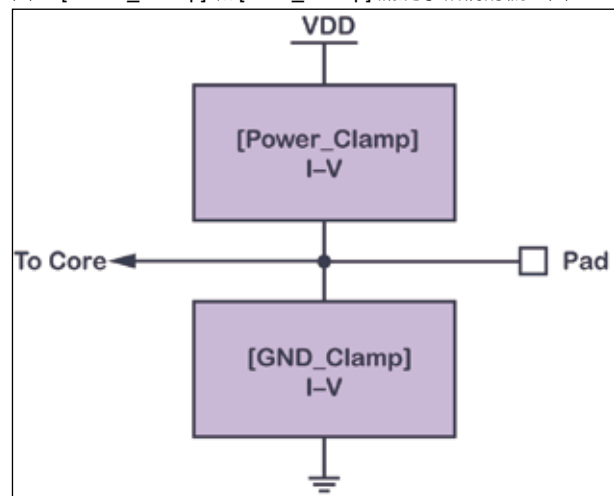


圖 4: ADxxxx DOUT1 接地箝位設定。

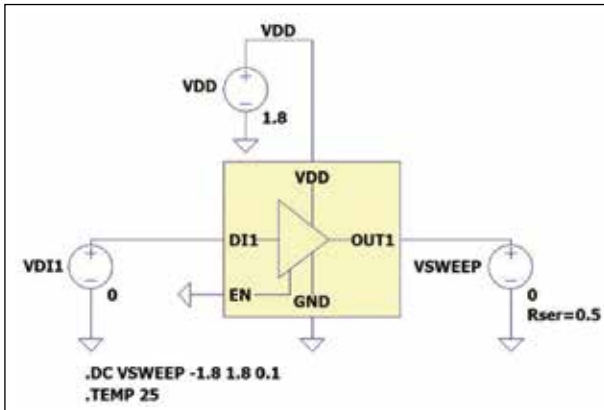


圖 5: 接地箝位模擬結果。

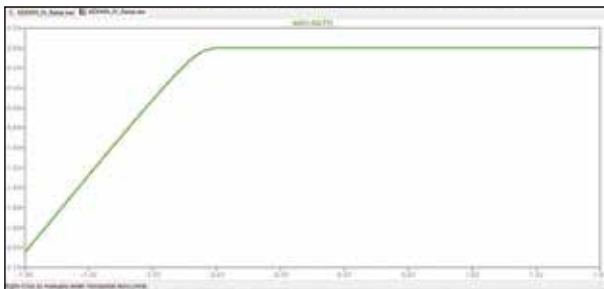


圖 6: 將模擬數據匯出為文本。

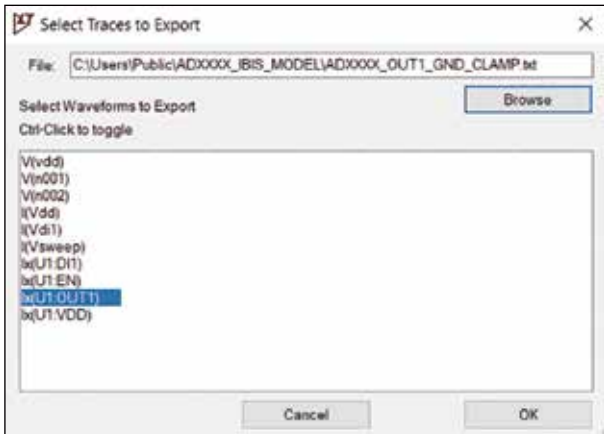
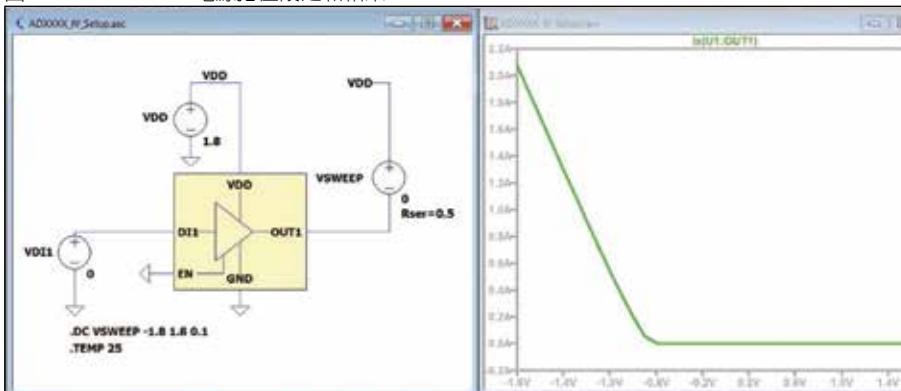


圖 7: ADxxxx OUT1 電源箝位設定和結果。



示設定進行測量。在該設定中，使用適當的電源電壓將該元件配置為高阻態模式（請參見表 5）。這可以確保將 ESD 元件與核心電路隔離。VSWEEP 是以 GND 為基準的掃描電壓。使 VSWEEP 基準電壓接地，確保只顯示 GND 箝位 ESD 元件的特徵。

根據 IBIS 規格，應掃描電壓軌以外（最好從 $-VDD$ 到 $2 \times VDD$ ）的 I-V 數據，本例中是從 -1.8 V 到 $+3.6$ V。透過直接執行此操作，掃描 VDD 以外的電壓將會開啓電源箝位 ESD 元件。為了避免這種情況，首先在 -1.8 V 至 $+1.8$ V 範圍內掃描 VSWEEP，並使用外推方法增加 3.6 V 數據點。此方法適用於所有 I-V 數據集。

另外，請注意所有 I-V 數據集最多只接受 100 個數據點。如果數據點超過這個數目，在 ibischk 解析器測試中會提示錯誤。設定 .DC 命令的增量，使得到的數據點數量小於或等於 99。這是為了容納用於 $2 \times VDD$ 外推的一個額外數據點。

進行直流掃描時，模擬中可能出現非常大的反向電流。要解決這個問題，將起始掃描從近似二極體勢壘電位 (-0.7 V) 設定為 VDD ($+1.8$ V)。然後將數據外推至符合 $-VDD$ 至 $2 \times VDD$ I-V 數據。另一種方法是將一個小電阻 Rser 與 VSWEEP 串聯，以限制極端電流。

按一下運行按鈕，LTspice 開始運行模擬。由於正在評估 DOUT1，所以目標節點為 Ix(U1:DOUT1)。雖然從技術角度來看 I(VSWEEP) 也是正確的，但 IBIS 模型需要 Ix(U1:DOUT1) 上的電流極性。這是為了大幅減少 I(VSWEEP) 數據的進一步格式化，使其適合模型。

結果應該如圖 5 所示。模擬完成後，先按一下結果視窗保存數據，然後按一下檔 -> 將數據匯出為文本。導航至要保存的目錄，按一下受測節點，然後按一下 OK (如圖 6 所示)。

[Power_Clamp] 數據提取與接地箝位元設定類似，因此掃描電壓 VSWEEP 以 VDD 為基準。設定和結果如圖 7 所示。

[下拉]和[上拉]

圖 8 顯示了 I-V 關鍵字結構的概念圖。[下拉]和 [上拉] 表示緩衝器中上拉和下拉元素的行為。如

圖 8: I-V 關鍵字結構的概念圖。

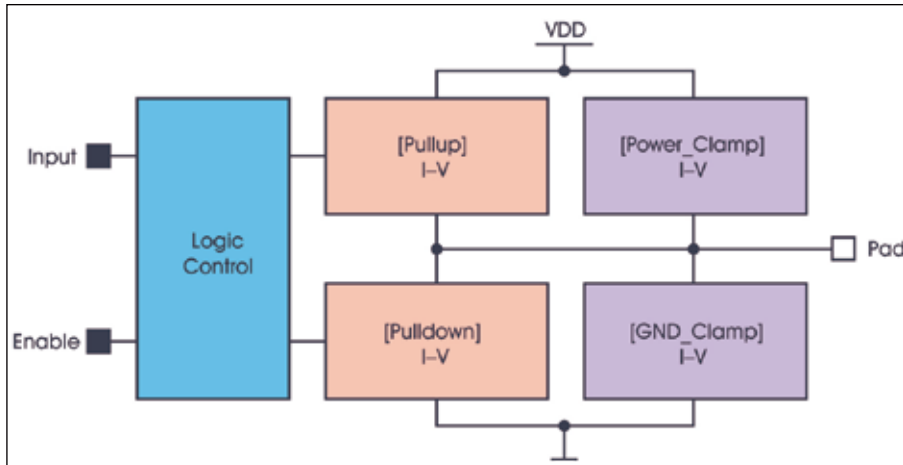


圖 9: ADxxxx OUT1 下拉設定。

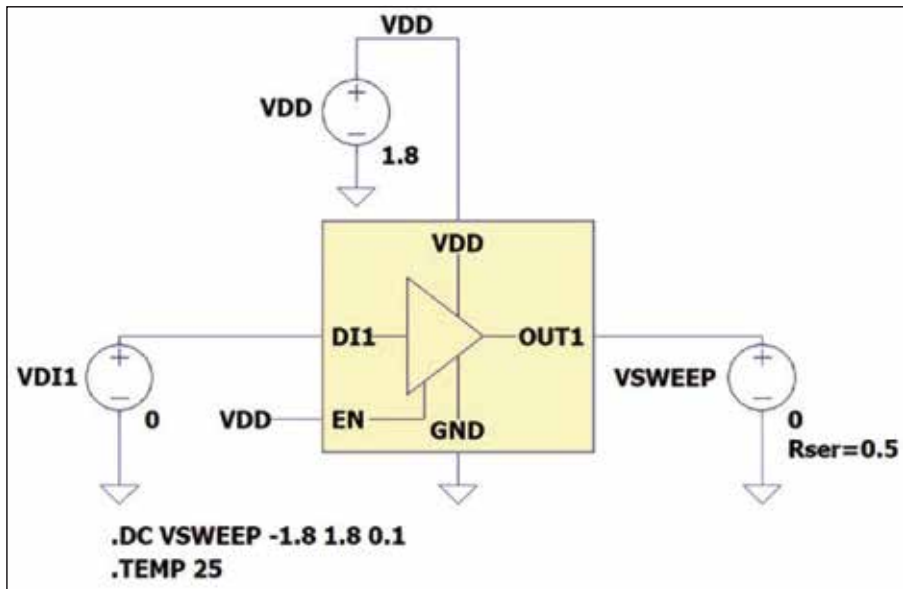
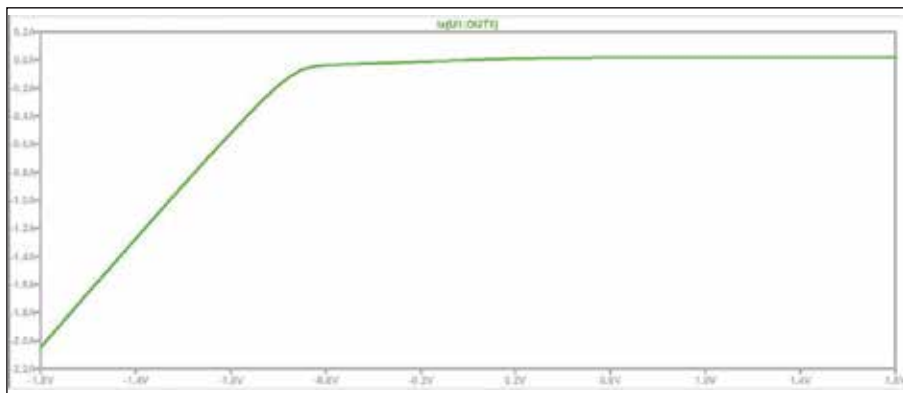


圖 10: ADxxxx OUT1 下拉圖。



果以圖表形式表示，其看起來就像 MOSFET 的 I-V 特徵曲線。在擷取 [下拉] 和 [上拉] 數據時，瞭解如何透過元件的真值表操控從輸出接腳輸出的訊號

非常重要。擷取 [下拉] 和 [上拉] 數據的設定與 [GND_Clamp] 和 [Power_Clamp] 類似，即 DOUT1 接腳致能，且不處於高阻模式。

要擷取 [下拉] 數據，DOUT1 接腳應設定為邏輯 0 輸出或 0 V。所以，必須設定適當的電源電壓，如圖 9 所示。對 EN 接腳施加 1.8 V 的等效邏輯高壓，以使能 DOUT1 接腳，對 DIN1 接腳施加邏輯 0 或 0 V，將 DOUT1 接腳設定為邏輯 0 輸出。可以透過真值表 (表 5) 進行確認。結果如圖 10 所示。

放大 [下拉] 數據，其類似於 MOSFET 的 I-V 特徵曲線，如圖 11 所示。

在保存下拉數據時，請注意其構成了 [GND_Clamp] 和 [下拉] 的總電流。圖 12 更可以說明這一點。要移除 [GND_Clamp] 組件，只需從 [下拉] 保存數據中逐點減去它。為了簡化這一操作，[GND_Clamp] 和 [下拉] 直流分析的電壓增量、開始電壓和結束電壓必須相同。

獲取上拉數據的設定如圖 13 所示。提供適當的電源電壓，以將 DOUT1 設定為邏輯 1 (1.8 V)。這將確保上拉元件啟動 / 開啓。然後，VSWEEP 也在 -1.8 V 至 +1.8 V 範圍內掃描，

圖 11: ADxxxx DOUT1 下拉圖 (縮放視圖)。

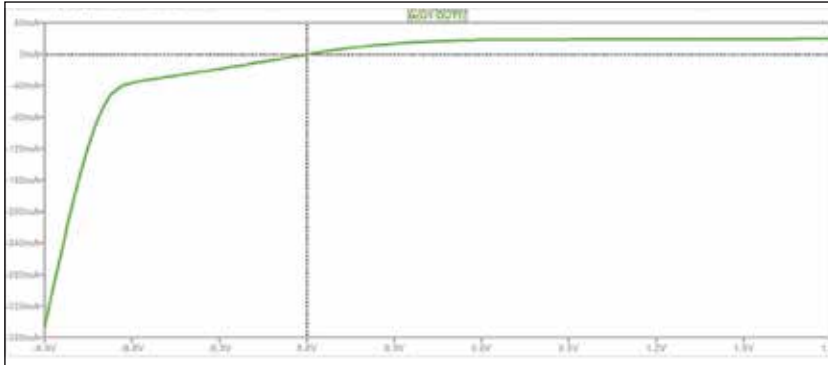


圖 12: 來自下拉保存數據的實際電流。

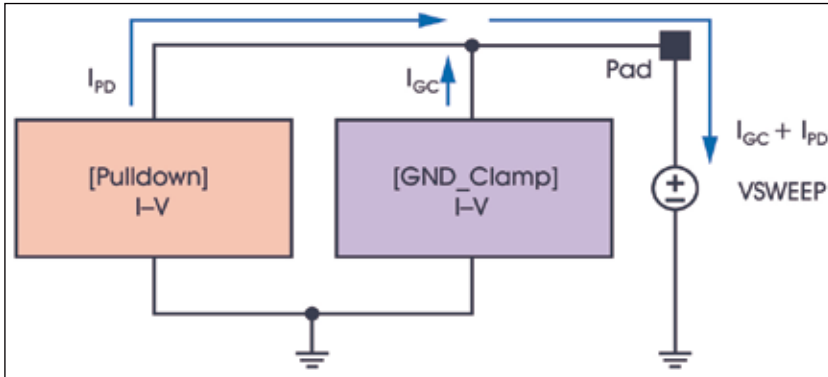


圖 13: ADxxxx DOUT1 上拉設定和結果。

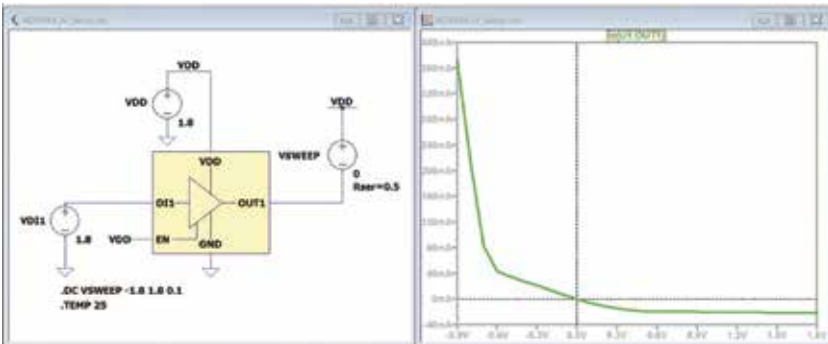
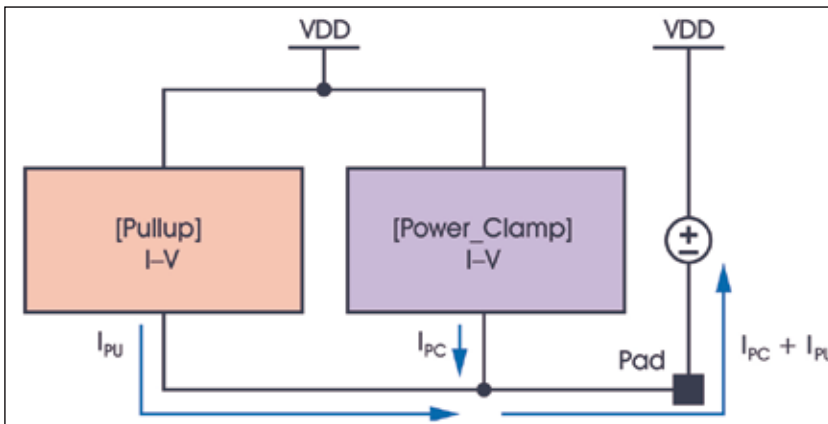


圖 14: 來自保存的 [上拉] 數據的實際電流。



並且以 VDD 為基準。以如此方式連接 VSWEEP，可以防止使用者格式化數據以符合 IBIS 規範。

與 [下拉] 一樣，保存的 [上拉] 數據是從 [Power_Clamp] 和 [上拉] 總電流得出的結果。因此，使用者需要從保存的 [上拉] 數據中逐點減去數據，以去除 [Power_Clamp] 元件，如果它們的直流掃描參數相同，這很容易完成。提醒大家，對所有的 I-V 數據測量使用相同的直流掃描參數。

[C_comp]

[C_comp] 關鍵字代表緩衝器的電容，其最小、典型和最大拐角的值各不相同。其是電晶體和晶片的電容，與封裝電容不同。可以採用兩種方式擷取 [C_comp]。當接腳由交流電壓供電時，可以使用公式 1 中的公式來得出近似值，也可以使用公式 2 中的公式進行計算。

$$C_{comp} = C_{IN} - C_{Package} \quad (1)$$

$$C_{comp} = - \frac{(ImI_{ac})}{2 \times \pi \times f \times V_{AC}} \quad (2)$$

其中：

- ImIac：被測電流的虛值
- F：交流電源的頻率
- VAC：交流電源的幅度

使用 LTspice 進行 C_Comp 提取

如圖 15 所示，可透過提供交流電壓和頻率掃描來提取緩衝器電容。由於提供的是交流電壓，所以要測量電流的實部和虛部部分。當用交流電壓供電時，必須反轉電流的極性，以

圖 15: ADxxxx C_comp 擷取設定。

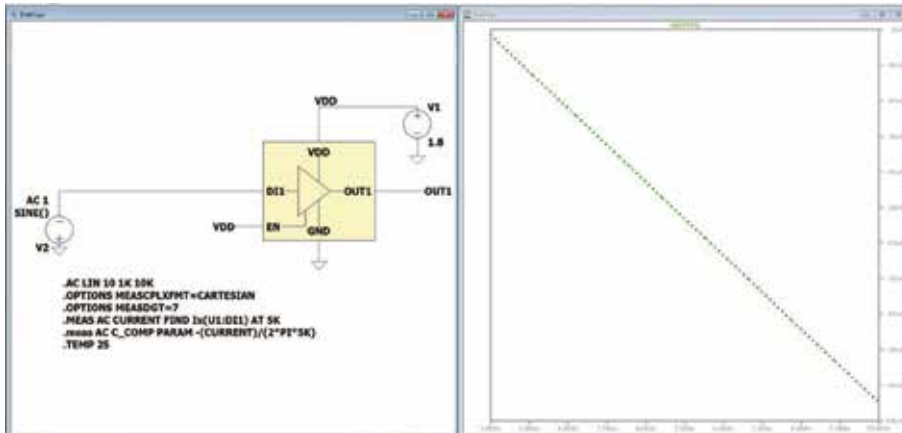


圖 16: 向圖中增加佈線對話方塊。

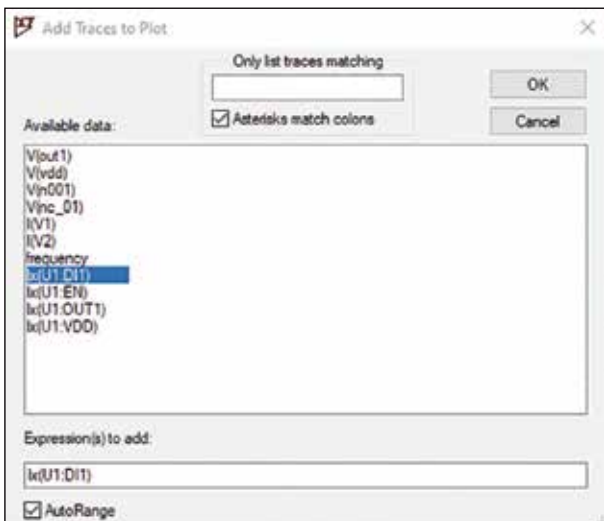


圖 17: 將圖設定從波特改成笛卡爾。

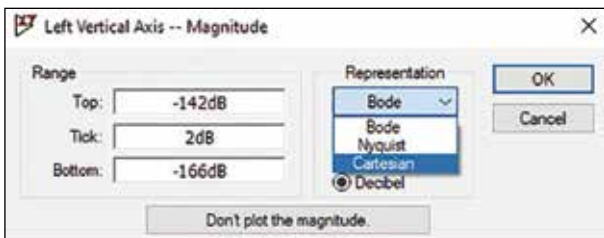
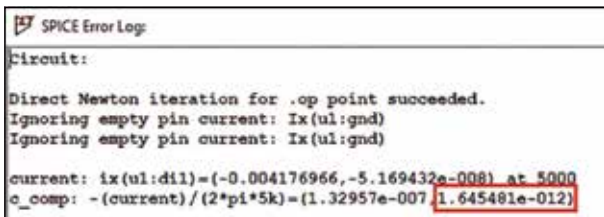


圖 18: SPICE 錯誤日誌中的測量語句結果。



測量緩衝器的輸入電流值。測量輸出緩衝器電容時，對於圖 15 所示的圖，唯一要做的更改就是必須將交

流電源連接至輸出接腳。

交流電壓的幅值可以是任意值，但通常設定為 1 V。其將按照 SPICE 指令進行頻率掃描。使用 .AC 命令繪製波形時，默認設定為以波特模式顯示，單位為 dB。必須將其設定為笛卡爾模式才能查看電流值，這樣可以直接使用緩衝器電容公式進行處理。要查看緩衝器電容波形，使用者必須先按右鍵

波形視窗，然後按一下增加佈線，再選擇被測量的接腳。波形圖視窗將顯示兩條線。

實線表示被測電流的實部，虛線表示被測電流的虛部。

若要將圖形設定從波特改為笛卡爾，按右鍵波形視窗左側的 y 軸，以打開左縱軸一幅度對話方塊。然後將圖示方式從波特改為笛卡爾。

用於 C_Comp 設定的 LTspice 指令

LTspice 指令用於設定电路的工作模式、測量變數和過程參數，以計算 C_comp。以下是用來測量緩衝器的 C_comp 值的 LTspice 指令：

- .AC Lin 10 1k 10k：將电路的工作模式設定為從 1 kHz 至 10 kHz 的交流線性頻率掃描。
- .Options measclpxfmtu：將 .meas 命令的默認結果更改為波特、奈奎斯特或笛卡爾模式。
- .Options measdgt：設定 .meas 語句的有效數字位數。
- .meas 語句：這些指令用來找出电路中某些參數的值。

這些 SPICE 指令可根據使用者想要顯示的參數進行修改。有關在 LTspice 中可使用的指令的詳細說明，請參閱 LTspice Help。測量語句的結果可以在工具 > SPICE 錯誤日誌中查看。

SPICE 錯誤日誌中顯示的結果將採用笛卡爾形式。X 座標為電流和緩衝電容的實部，Y 座標為電

流和緩衝器電容的虛部。如上所述，在測量緩衝器電容時，電流的虛部是緩衝器電容所需的部分，所以 C_comp 的實際值就是圖 18 中突出顯示的值。

[上升波形] 和 [下降波形]

什麼是上升和下降波形？

[上升波形] 和 [下降波形] 關鍵字類比輸出緩衝器的切換行為。對於輸出模型，建議包含四個 V-T 數據集：上升和下降波形，以地為基準載入；上升和下降波形，以 VDD 為基準載入。

提取上升和下降 V-T 數據

要在 LTspice 中提取 OUT1 的上升或下降波形，以分段線性 (PWL) 訊號或將脈衝電壓電源的形式向輸入接腳發送升緣或降緣輸入激勵。模擬中使用的輸入刺激的轉換必須快，以便為模型提取出最快的輸出轉換。在測量輸出接腳的電壓時，將使用 .TRAN 命令對原理圖進行瞬態分析。將一個 50 Ω 電阻用作負載，用於提取 3 態輸出緩衝器的 4 個 V-T 波形的數據，但其可能會因緩衝器設計和驅動能力有所不同，以進行輸出轉換。50 Ω 為 V-T 數據提取的預設載入值，因為其是 PCB 佈線電阻的典型值。將 50 Ω 負載連接到緩衝器相對地 (載入至接地) 或 VDD (載入至 VDD) 的輸出接腳。

圖 19: 使用脈衝電壓電源的採樣升緣輸入刺激。

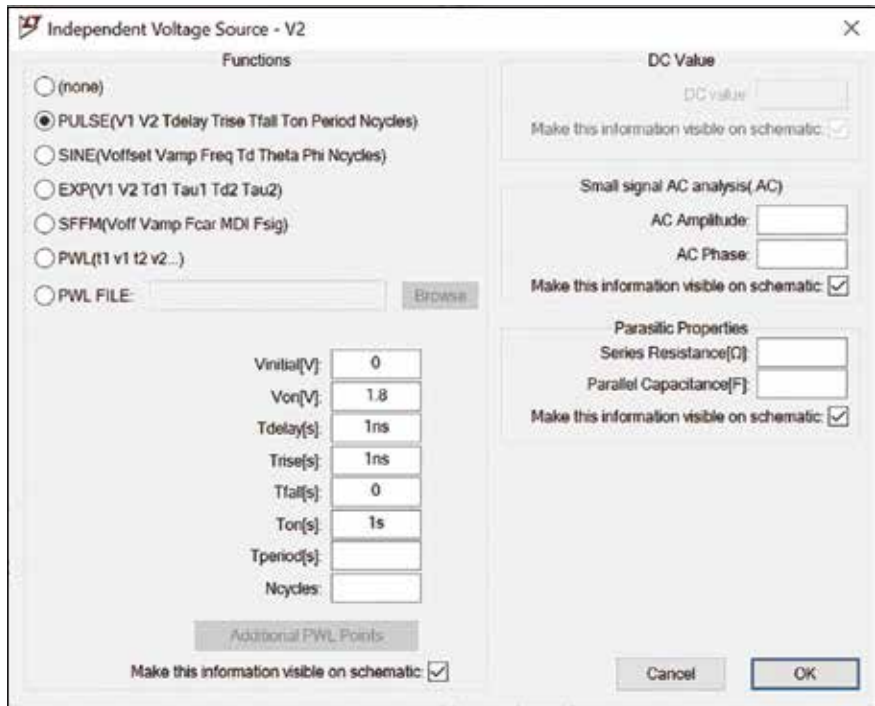


圖 20: 透過以地為基準的 50 Ω 負載獲取下降波形的 ADxxxx 設定。

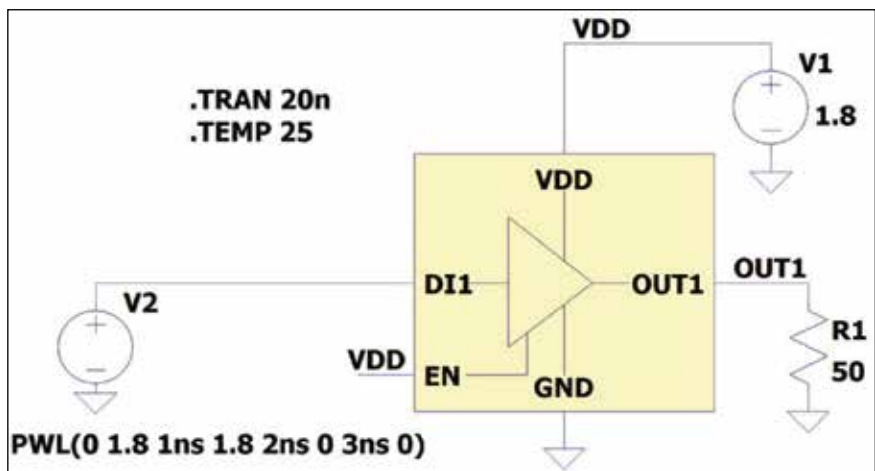
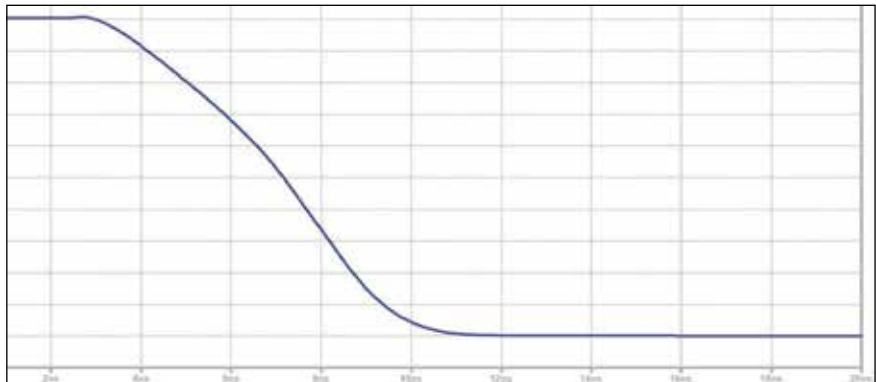


圖 21: 透過以地為基準的 50 Ω 負載獲取下降波形的 ADxxxx 結果。



透過以地為基準 50 Ω 負載獲取下降波形

為了產生一個以地為基準的下降輸出波形，需要一個降緣輸入，並且 50 Ω 負載需要以 GND 為基準，如圖 20 所示。得到的 V-T 波形如圖 21 所示，其中輸出穩定在 16 ns 到 20 ns 左右。需要注意的是，瞬態分析時間應足以捕捉下降波形（在穩定時）。

透過以 VDD 為基準 50 Ω 負載獲取下降波形

圖 22 顯示透過以 VDD 為基準 50 Ω 負載獲取下降波形的設定和結果。如圖所示，要完全捕獲輸出的下降躍遷，需要 50 ns 瞬態時間。

透過以地為基準 50 Ω 負載獲取上升波形

對於上升波形，採用 PWL 訊號形式的升緣輸入刺激。圖 23 中的設定顯示，負載電阻連接至相對於地的輸出接腳，

圖 22: 採用以 VDD 為基準 50 Ω 負載的 ADxxxx 設定和 DOUT1 下降波形圖。

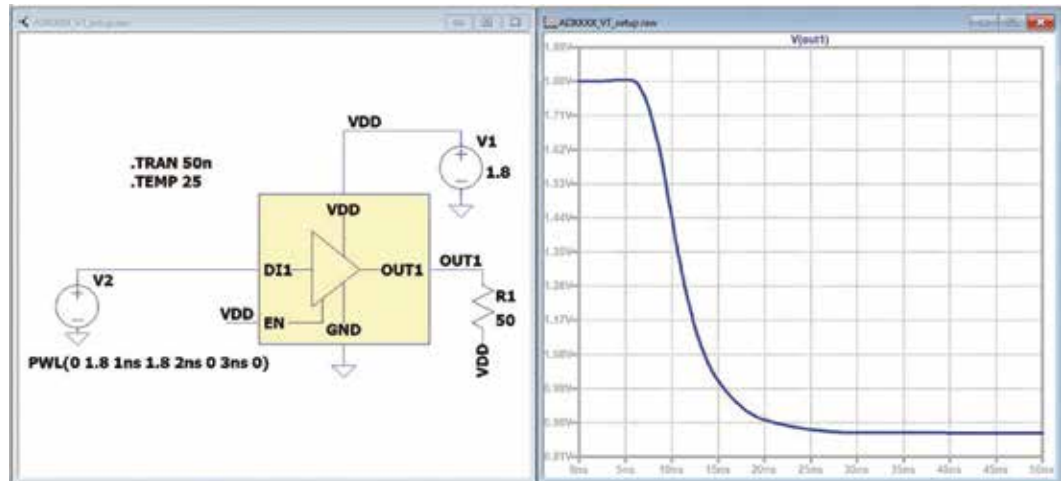


圖 23: 採用以地為基準 50 Ω 負載的 ADxxxx 設定和 DOUT1 上升波形圖。

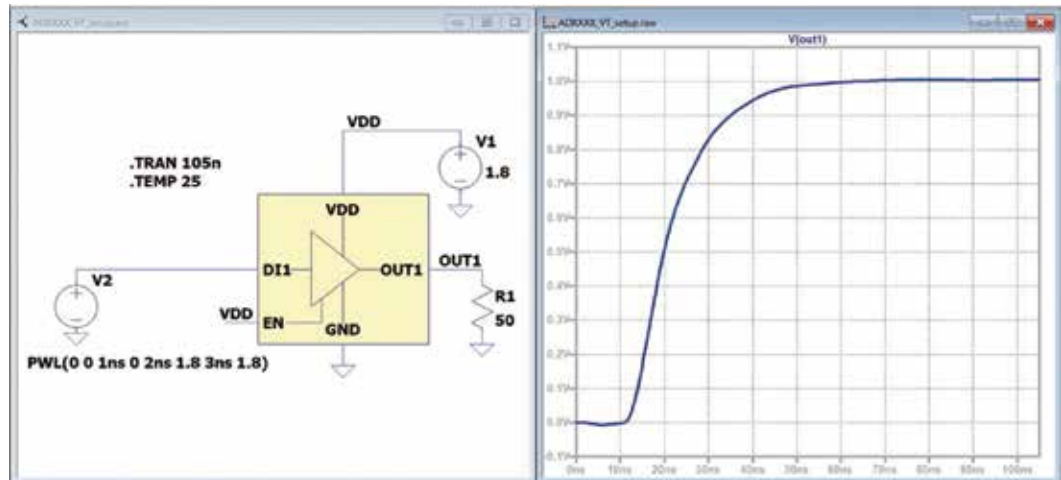
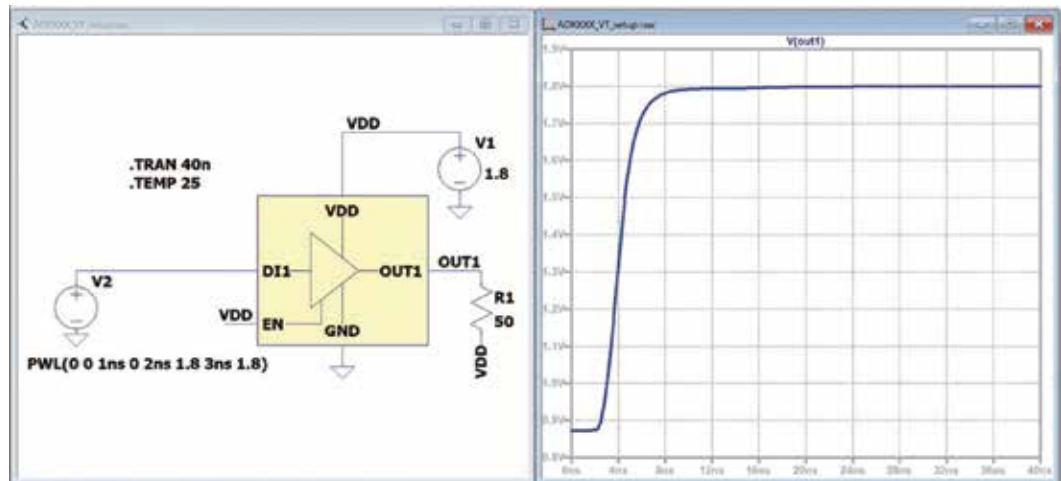


圖 24: 採用以 VDD 為基準 50 Ω 負載的 ADxxxx 設定和 DOUT1 上升波形圖。



這將產生上升負載對地的 V-T 數據。

負載連接至 VDD 時的上升波形

使用相同的升緣輸入刺激，但 50 Ω 需要以 VDD 為基準。

檢查 V-T 數據正確性的一種方法是查看邏輯低電壓和邏輯高電壓。在 VDD 為

基準波形應具有相同的邏輯低電壓和邏輯高電壓位準，並且邏輯高電壓應與 VDD 相同。另一方面，以 GND 為基準波形也應具有相同的邏輯低電壓和邏輯高電壓，並且邏輯低電壓位準應為約 0 V。

匯出波形

然後，必須執行以下步驟，以保存從四個設定中擷取的 V-T 波形：

- 按右鍵圖。
- 將滑鼠懸停在檔上，然後按一下將數據匯出為文本。
- 選擇要匯出的波形和匯出波形的目錄。

圖 25: 將 LTspice 圖保存為文字檔。

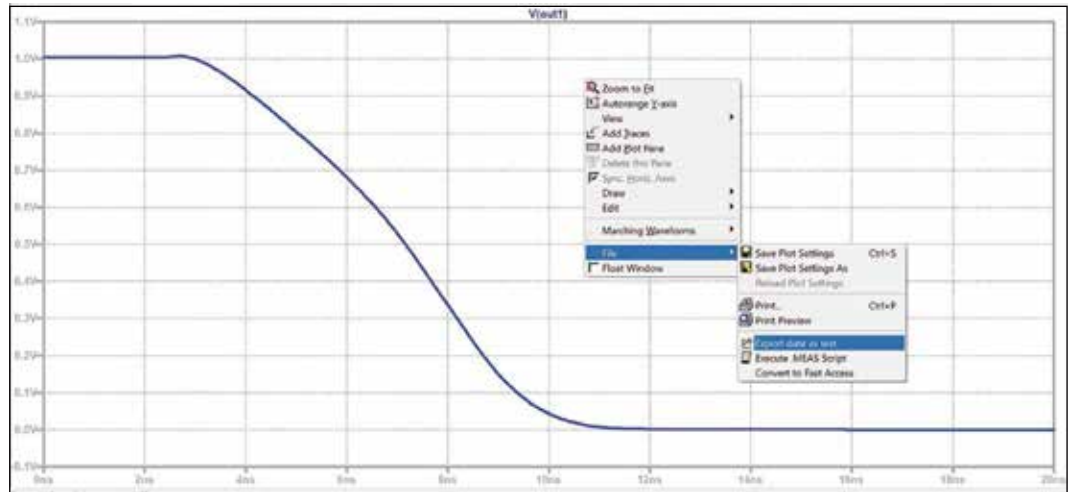


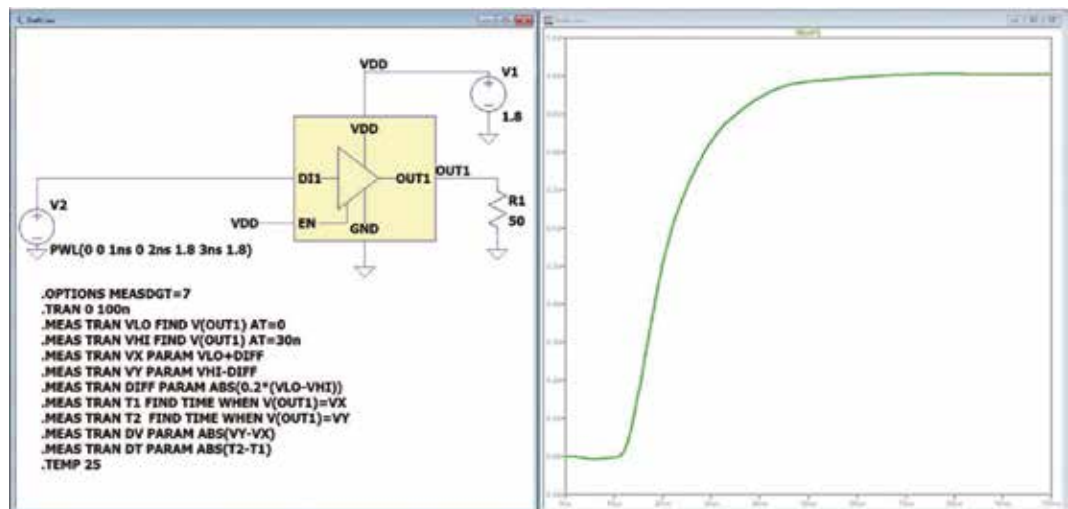
圖 26: 選擇佈線，設定保存目錄。



使用 LTspice 提取斜坡數據

[斜坡] 關鍵字是斜坡率 (dV/dt)，表示在上升或下降轉換沿的 20% 到 80% 位置捕捉的上升和下降 VT 數據。此方法可以在 LTspice 上實現，因其能

圖 27: ADxxxx VT 設定，以及用於提取上升波形的斜坡的附加指令。



夠使用 `.MEAS` 和 `.PARAM` 指

令計算這些參數。可透過在 `VT` 波形設定上增加 `SPICE` 指令來完成斜坡擷取過程。這表示斜坡和 `VT` 波形可以同時提取。

圖 27 顯示上升波形斜坡計算的設定。為了計算下降波形的斜坡，應該互換 `VLO` 和 `VHI` 的時間值，因為下降斜坡的輸出波形從緩衝器的邏輯高位準開始，並轉變為邏輯低位準。

用於斜坡提取的 LTspice 指令

用於斜坡提取的 `SPICE` 指令如下：`.TRAN`，這是用於 `VT` 上升 / 下降波形的 `SPICE` 指令；`.OPTIONS`，用於將 `SPICE` 錯誤日誌上顯示的輸出設定為笛卡爾模式，並將其限制為所需的有效位數；`.MEAS`，用於斜坡的實際計算。

■ `VLO`：表示邏輯低電壓。

■ `VHI`：表示邏輯高電壓。

■ `Diff`：表示轉換的 20% 點位置的電壓，該電壓將分別與 `VLO` 和 `VHI` 參數相加和相減，以得到轉換的 20% 和 80% 點位置。

■ `VX` 和 `VY`：表示上升 / 下降轉換緣的 20% 和

圖 28: 上升斜坡波形描述。

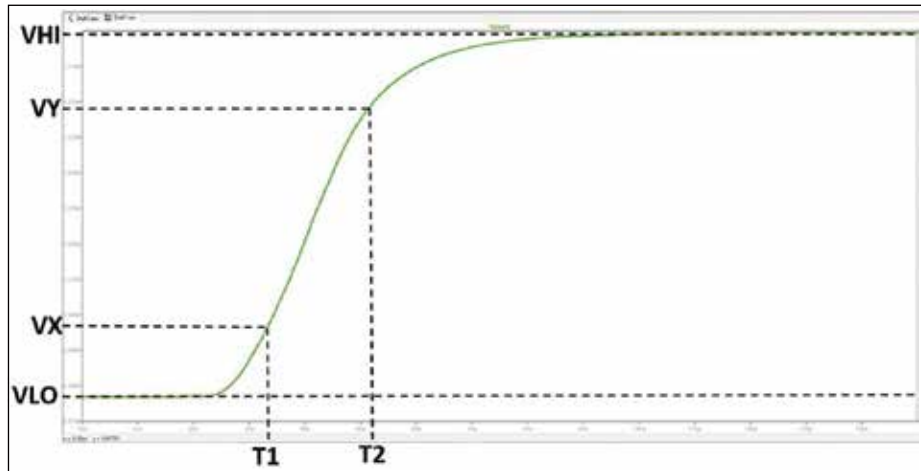


圖 29: SPICE 錯誤日誌，用於計算斜坡率。

```

SPICE Error Log:
Circuit:
Direct Newton iteration for .op point succeeded.
Ignoring empty pin current: Ix(u1:gnd)
Ignoring empty pin current: Ix(u1:gnd)

vlo: v(out1)=0.8722517 at 0
vhi: v(out1)=1.798981 at 2.4e-008
vx: vlo+diff=1.057598
vy: vhi-diff=1.613635
diff: abs(0.2*(vlo-vhi))=0.1853458
t1: time=3.350427e-009 at 3.350427e-009
t2: time=5.192001e-009 at 5.192001e-009
dv: abs(vy-vx)=0.5560373
dt: abs(t2-t1)=1.841574e-009

```

80% 點位置的電壓。

■ `dv` 和 `dt`：這些是 IBIS 模型的 [斜坡] 關鍵字的計算值。 CTA

下期預告

IoT/Edge Computing