

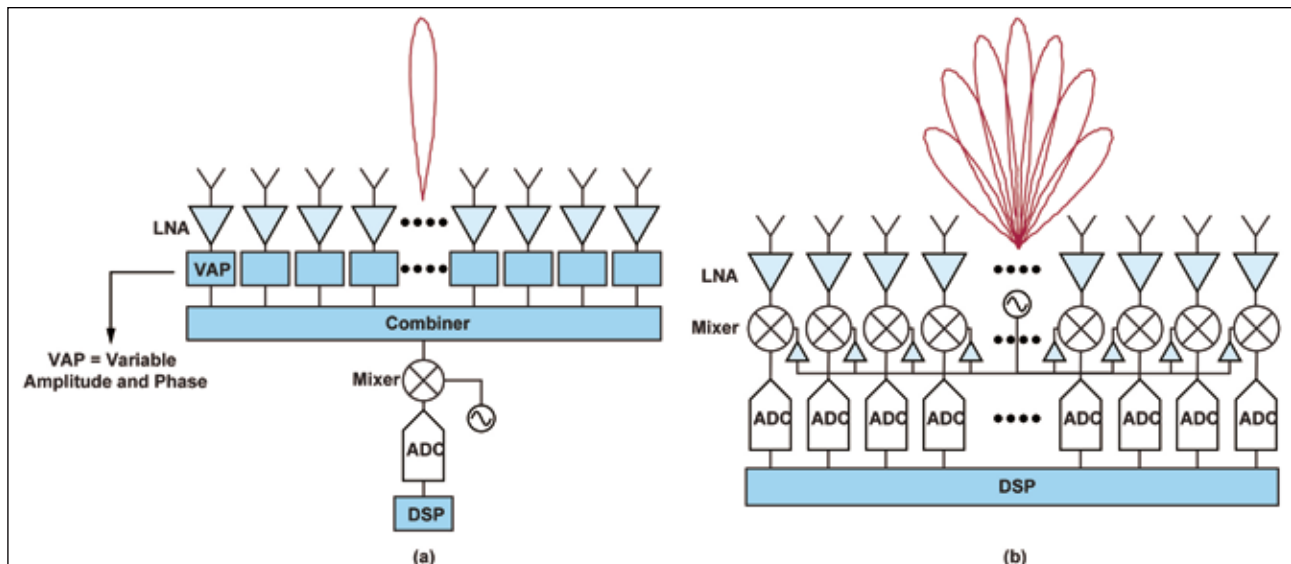
多波束相位陣列接收器混合波束成型功耗的定量分析

本文對類比、數位和混合波束成型架構的能效比進行了比較，並針對接收相位陣列開發了此三種架構功耗的詳細方程式模型。該模型清楚說明各種元件對總功耗的貢獻，以及功耗如何隨陣列的各種參數而變化。對不同陣列架構的功耗 / 波束頻寬積的比較顯示，對於具有大量元件的毫米波相位陣列，混合方法具有優勢。

■作者：Prabir Saha / ADI IC 設計工程師

本文比較了不同波束成型方法，重點關注這些方法創建多個同時波束的能力和能效比。相位陣列在現代雷達和通訊系統中發揮著越來越重要的作用，這使人們對提升系統性能和效率重新產生了興趣。數十年來，數位波束成型 (DBF) 及其相較於傳統類比方法的優勢已廣為人知，但與數位訊號處理相關的各種挑戰阻礙了其應用。隨著特徵尺寸的不斷縮小以及由此帶來的運算能力的指數級成長，我們看到，現在大家普遍有興趣採用數位相位陣列。雖然 DBF 具有許多吸引人的特性，但更高的功耗和成本仍然是一個問題。混合波束成型方法具有卓越的能效比，可能適合於許多應用。

圖 1: (a) 類比和 (b) 數位波束成型架構的比較。



類比與數位波束成型

波束成型的核心是延遲和求和運算，其可發生在類比域或數位域中。根據延遲或相移在訊號鏈中應用的位置，類比波束成型又可以分為多個子類別。本文僅考慮射頻波束成型。如圖 1a 所示，來自天線元件的訊號經過加權和合併，產生一個波束，然後由混頻器和訊號鏈其餘部分加以處理，這就是相位陣列的傳統實現方式。

此架構的缺點之一是難以創建大量同時波束。現在，為了創建多個波束，每個元件的訊號需要先分離，再獨立延遲和求和。為此所需的可變幅度和

相位 (VAP) 模組的數量與元件數量和波束數量成正比。VAP 模組以及網路的分路和合併需要佔用很大的面積，而且除了幾個波束之外，網路分路和合併造成的不斷增加的面積要求和複雜性使得實現多個同時類比波束變得不切實際。對於平面陣列，不斷增加的面積還使得難以將電子元件安裝在元件間距所決定的網格內。此外，更為根本的是，每次分路時，訊號雜訊 (SNR) 都會降低，而且雜訊基準限制了訊號可以分路的次數，超過此次數，訊號就會淹沒在雜訊基準中。

而使用 DBF 的話，創建多個同時波束相對較容易。如圖 1b 所示，每個元件的訊號都被獨立數位化，然後在數位域中進行波束成型操作。一旦進入數位域，就可以在不損失保真度的情況下創建訊號的副本，然後將訊號的新副本延遲並求和以創建新波束。這可以根據需要重複多次，理論上可產生無限數量的波束。在實際執行上，數位訊號處理及相關功耗和成本不是無限的，這會限制波束數量或波束頻寬積。此外，DBF 中的波束數量可以隨時重新配置，這是類比技術無法做到的。DBF 並支援更好的校準和自我調整歸零。所有這些優點使得 DBF 對通訊和雷達系統中的各種相位陣列應用非常有吸引力。但是，所有這些好處都是以增加成本和功耗為代價的。基頻 DBF 需要為每個元件配備一個 ADC 和一個混頻器，而類比波束成型只需要為每個波束配備相關元件。元件數量的增加會明顯提高功耗和成本，尤其是對於大型陣列。此外，DBF 中的波束成型發生在基頻，混頻器和 ADC 會受到每個元件的廣闊視場中存在的任何訊號的影響，因此需要有足夠的動態範圍來處理可能的干擾。對於類比波束成型，混頻器和 ADC 享有空間濾波的好處，因此動態範圍要求可以放寬。在分配高頻 LO 訊號的同時保持相位相干性，也是 DBF 實現方案的一個挑戰，而且會增加功耗。

數位波束成型的計算需求是總體功耗的一個重要貢獻因素。DSP 須處理的資料量與元件數量、波束數量和訊號的暫態頻寬成正比。

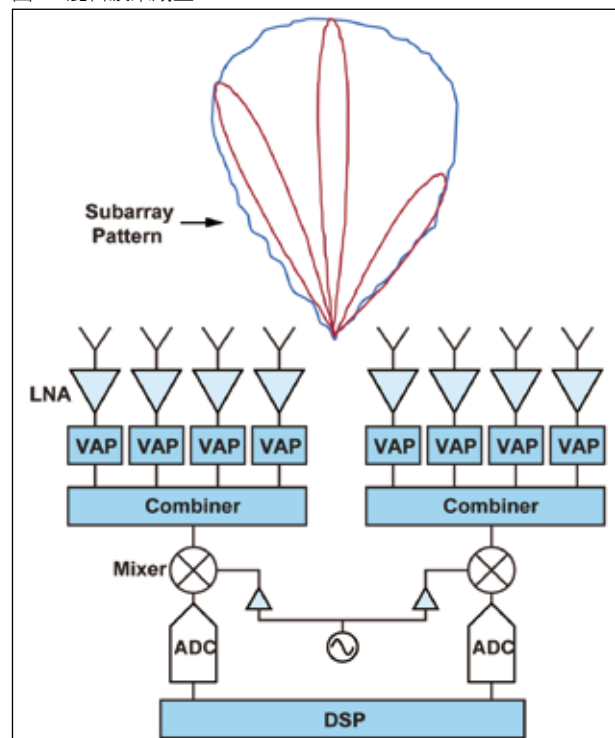
$$DSP\ DATA \propto N_{Elements} \times N_{Beams} \times BW \quad (1)$$

對於在毫米波頻率運行的大型陣列，訊號頻寬通常很大，資料負載可能高得像天文數字。例如，對於一個具有 500 MHz 頻寬和 8 位元 ADC 的 1024 元件陣列，DSP 需要處理每波束每秒大約 8 Tb 的資料。移動和處理如此大量的資料需要消耗相當多的電力。就計算負載而言，這相當於為每個波束每秒執行大約 4×10^{12} 次乘法運算。對於全訊號頻寬的多個波束，所需的運算能力超出了目前 DSP 硬體的能力範圍。在典型實現中，波束頻寬保持不變，若增加波束數量，總頻寬將在各波束之間分配。數位訊號處理通常以分散式方式進行，以便能夠因應大量資料。但這通常需要權衡各種因素，如波束成型彈性、功耗、延遲等。除了處理能力之外，各種 DSP 模組的高速輸入 / 輸出資料介面也會消耗大量電力。

混合波束成型

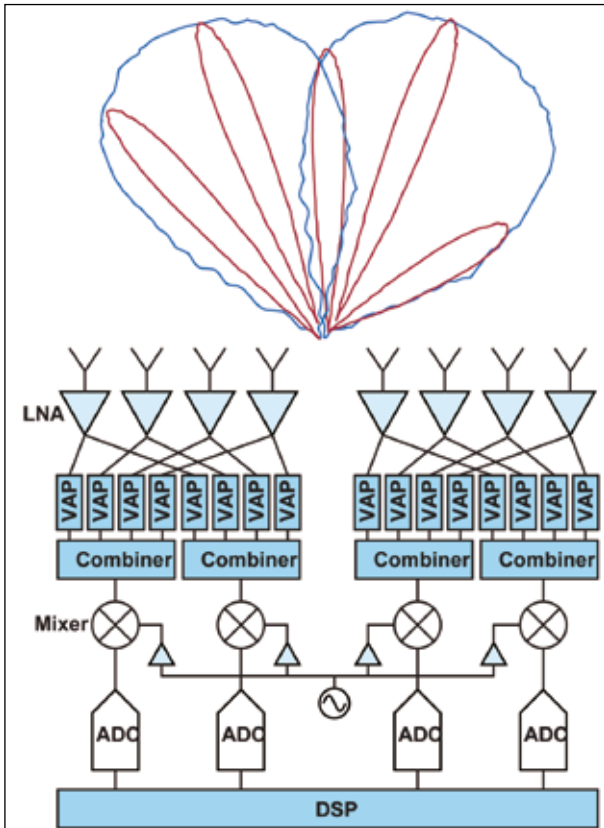
顧名思義，混合波束成型是類比和數位波束成型技術的結合，在兩者之間提供了一個中間地帶。做法之一是將陣列劃分為更小的子陣列，並在子陣列內執行類比波束成型。如果子陣列中的元件數量

圖 2: 混合波束成型。



相對較少，則產生的波束相對較寬，如圖 2 所示。每個子陣列可以被認為是具有某種定向輻射圖的超級元件。然後使用來自子陣列的訊號執行數位波束成型，產生對應於陣列全孔徑的高增益窄波束。採用這種方法時，相較於全數位波束成型，混頻器和 ADC 的數量以及資料處理負載的大小減少的幅度等於子陣列的大小，因此成本和功耗明顯節省。對於 32×32 元件陣列，若子陣列為 2×2 大小，則將產生 256 個子陣列，其半功率波束寬度 (HPBW) 為 50.8° 或 0.61 立體弧度。使用來自 256 個子陣列的訊號，可以利用 DBF 在合乎實際的範圍內創建盡可能多的波束。對應於全孔徑的 HPBW 為 3.2° 或 0.0024 sr。然後，在每個子陣列的波束內可以創建大約 254 個數位波束，其相互之間不會明顯重疊。與全 DBF 相比，此種方法的一個限制是所有數位波束都將包含在子陣列方向圖的視場內。子陣列類比波束當然也可以進行控制，但在一個時間點，類比波束寬度會限制最終波束的指向。

圖 3: 多個類比波束的混合波束成型。



子陣列方向圖通常很寬，這對於許多應用來說可能是一個可以接受的折衷方案。對於其他需要更大彈性的應用而言，可以創建多個獨立的類比波束來解決此問題。這將需要在 RF 前端使用更多 VAP 模組，但相較於全 DBF，仍然可以減少 ADC 和混頻器的數量。如圖 3 所示，可以創建兩個類比波束以實現更大的覆蓋範圍，同時仍能將混頻器、ADC 和產生的資料流程的數量減少兩倍。

相較於 DBF，混合波束成型還會導致旁瓣退化。當遠離類比波束中心掃描數位波束時，相位控制的混合性會引入相位誤差。子陣列內元件之間的相位變化由類比波束控制確定，無論數位掃描角度如何都保持固定。對於給定的掃描角度，數位控制只能將適當的相位應用於子陣列的中心；當從中心向子陣列邊緣移動時，相位誤差會增加。這導致整個陣列出現週期性相位誤差，從而降低波束增益並產生准旁瓣和閑瓣。這些影響隨著掃描角度的增大而增加，相較於純類比或數位架構，這是混合波束成型的一個缺點。讓誤差變成非週期性可以改善旁瓣和閑瓣的退化，這可以透過混合子陣列大小、方向和位置來實現。

能效比

本節從接收相位陣列的角度比較類比、數位和混合波束成型的能效比。類比、數位和混合波束成型的功耗模型分別由公式 2、3、4 提供。表 1 列出

$$P_{analog} = P_{LNA} \times (m) + P_{losscomp} [L_{VAP} + L_{split} \log_2 n + L_{path} D(1 + D_x) - (3 - L_{comb}) \log_2 m] (mn) + (P_{ADC} + P_{mixer})(n) \quad (2)$$

$$P_{digital} = (P_{LNA} + P_{ADC} + P_{mixer})(m) + (4 \times P_{DSP-comp} + P_{Serdes} \times b) \times \min(DSP_{TP}, 2 \times IBW \times (mn)) + P_{losscomp} (L_{split} \log_2 m + L_{path} D(1 + D_x))(m) \quad (3)$$

$$P_{hybrid} = P_{LNA} \times (m) + P_{losscomp} [L_{VAP} + L_{split} \log_2 n_s + L_{path} D(1 + D_x) - (3 - L_{comb}) \log_2 m_s] (m \times \min(n, n_s)) + (P_{ADC} + P_{mixer}) \left(\frac{m}{m_s} n_s \right) + (4 \times P_{DSP-comp} + P_{Serdes} \times b) \times \min \left(DSP_{TP} \frac{n_s}{m_s}, 2 \times IBW \times \left(\frac{m}{m_s} n \right) \right) + P_{losscomp} \left(L_{split} \log_2 \frac{m}{m_s} + L_{path} D(1 + D_x) \right) \left(\frac{m}{m_s} \right) \quad (4)$$

表 1: 符號、含義、假定值和相關參考文獻

符號	含義	值	參考文獻
P_{LNA}	LNA 功耗	15 mW/ 實例	1
$P_{losscomp}$	補償 RF/LO 路徑中各種損耗的功率	1.5 mW/dB	1
P_{mixer}	混頻器 /LO 放大器功耗	40 mW/ 實例	2
P_{ADC}	ADC 功耗: 8 位元, 1 GSPS	5 mW/ 實例	3, 4
b	ADC 位元數	8	
$P_{DSP-comp}$	用於波束成型計算的 DSP 功率	1.25 mW/GMAC	5
P_{Serdes}	用於 I/O 的 DSP 功率	10 mW/Gbps	6
L_{VAP}	被動增益和相位控制造成的損耗	10 dB	7
L_{split}	用於 ABF 的功率分路器的損耗	4 dB	
L_{comb}	用於 ABF 的功率合成器的損耗	1 dB	
L_{path}	每單位長度的 RF/LO 佈線損耗	0.05 dB/mm	8
D	陣列的長度 / 寬度	155 mm	
D_s	子陣列的長度 / 寬度	15 mm	
D_x	用於 RF 訊號佈線和合成的附加長度係數	0.25	
m	元件數量	1024	
m_s	子陣列中的元件數量	16	
n	波束數量	—	
n_s	混合波束成型中的類比波束數量	4	
IBW	訊號的暫態頻寬	500 MHz	
DSP_{TP}	用於 DBF 的 DSP 的最大吞吐速率	8 TSPS	

了各種符號的含義以及其在後續分析中的假定值。

關於功耗模型的一些關鍵點如下：

- 假設混頻器處的射頻訊號功率對於三種波束成型架構都相同。
- 在一些公開文獻中，有人認為對於 DBF，由於 ADC 的量化雜訊對 SNR 的影響有所降低 (降幅等於陣列因數)，因此相較於類比波束成型，所需的位元數可以減少。然而，在 DBF 中，ADC 也需要具有更高的動態範圍，因為其不享有空間濾波的好處，而且需要處理各元件輻射圖的視場中存在的所有干擾。考慮到這一點，本模型假設 ADC 的位元數在所有情況中都相同。
- 對於 DBF，波束頻寬積受 DSP 處理能力的限制，這一點在變數 DSP^{TP} 中考慮。對於混合情況，最大處理能力隨著功耗的降低而成比例降低。
- DBF 的 DSP 功耗有兩個部分——計算和 I/O。每次複數乘法需要四次實數乘法和累加 (MAC) 運算，基於 "Assessing Trends in Performance per Watt for Signal Processing Applications," (訊號

處理應用的每瓦性能趨勢評估) 一文⁵，MAC 運算的功耗計算結果為大約 1.25 mW/GMAC。在這種情況下，I/O 消耗了大部分 DSP 功率，根據 "A 56-Gb/s PAM4 Wireline Transceiver Using a 32-Way Time-Interleaved SAR ADC in 16-nm FinFET." (16 nm FinFET 中使用 32 路時間交錯 SAR ADC 的 56 Gbps PAM4 有線收發器) 一文⁶，其估計值為 10 mW/Gbps。對於需要更密集計算的更複雜波束成型方法，功耗比的偏斜會更小，但 DSP 總功耗會增加。此外，此模型中的 I/O 功耗假設基於最低資料傳輸。根據 DBF 架構，I/O 的功耗可能更高。

■ ADC 和 DSP 計算的功耗與位數呈指數關係。因此，可以透過減少位數來大幅降低這些功耗數值。另

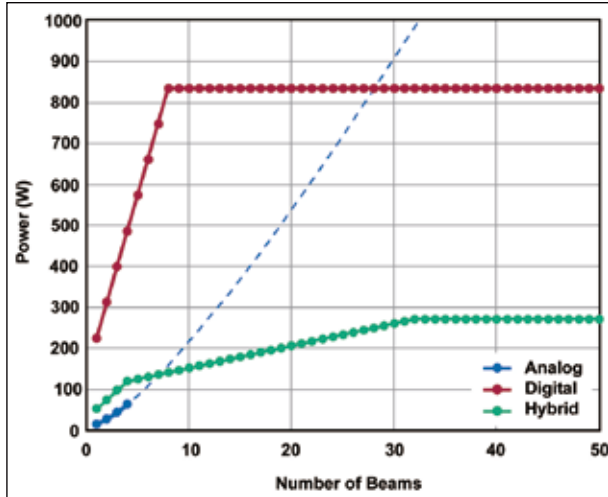
一方面，作為最大貢獻因素的 DSP I/O 功耗隨位數的變化不是那麼劇烈。

- 佈線損耗 (L_{path}) 透過合併矽 IC 和低損耗 PCB 上的 GCPW 傳輸線的損耗來計算。對於晶片內傳輸線，假設損耗為 0.4 dB/mm，而對於 PCB 佈線⁸，損耗取為 0.025 dB/mm。另外，據估計，5% 的線路是在晶片上，其餘是在 PCB 上。類比波束成型考慮射頻合併相關的佈線損耗，而數位波束成型考慮 LO 分配網路的損耗。

- 對於混合模型，假設每個波束對應於陣列的全孔徑。功耗與波束數量的依賴關係如圖 4 所示。對於類比情況，改變波束數量需要更改設計，而在 DBF 中，波束數量可以隨時改變，設計則保持不變。對於混合情況，考慮具有固定數量類比波束 (n^s) 的單一設計。另外假設，當波束數量小於 n^s 時，未使用路徑中的放大器關斷。

對於單個波束，由於額外混頻器、LO 放大器和 ADC 的開銷，數位實現方案會消耗更多功率。對於數位情況，功耗增加的速率取決於聚合資料速

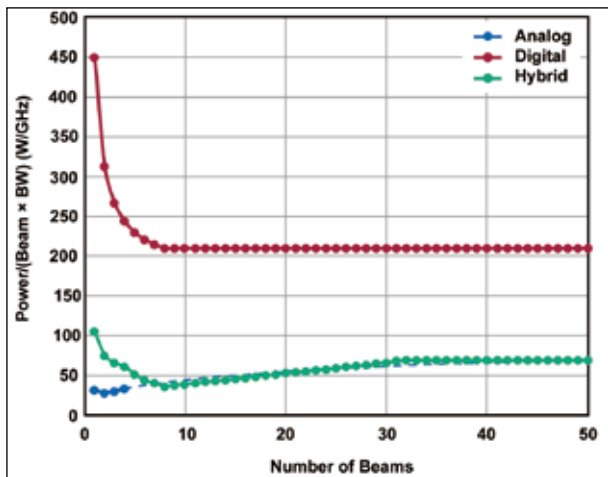
圖 4：類比、數位和混合（具有四個類比波束）波束成型架構的功耗與波束數量的關係對於類比情況，超過四個波束時曲線顯示為虛線，表示使用類比技術難以實現更多波束。對於數位和混合情況，一旦達到 DSP 的容量，每個波束的功率和頻寬就變得恆定。



率的增加情況；對於類比情況，功耗增加的速率與補償分路和附加 VAP 模組造成的損耗所需的功率有關。由於上述網路分路和合併的複雜性，使用類比波束成型實現大量波束是不切實際的，超過四個波束的虛線反映了這一事實。對於 DBF，一旦達到最大 DSP 容量，功耗便不再增加。超過這一點之後，若增加波束數量，則每個波束的頻寬會減少。在功耗方面，DBF 與 ABF 不相上下，有大量波束時功耗更少。相較於 DBF，混合方法明顯降低了功耗開銷和斜率，並能更快達到盈虧平衡點。

圖 5 顯示了每波束頻寬積的功耗，並比較了三種波束成型情況的能效比。可以看出，類比波束成型

圖 5：比較類比、數位和混合波束成型架構的能效比。



始終更有效率。混合方法從兩個極端之間的某個位置開始，隨著波束數量增加而變得與類比情況相當。

結論

本文介紹的比較和功耗模型僅適用於接收 (Rx) 相位陣列。對於發射情況，一些基本假設將會改變，全 DBF 架構的功耗增加可能不那麼嚴重。即使對於接收情況，三種架構之間的差異在很大程度上也取決於公式 2 至 4 中所示的參數。對於表 1 中未提供的參數值，圖表之間的差異將會變化。但可以肯定地說，混合方法可讓許多應用大幅節省功耗，同時保留數位波束成型的大部分優勢。如前所述，採用混合路線有其缺點，但對於許多應用而言，這些不足可以被節省的功耗所抵消。

參考電路

1. Chaojiang Li、Omar El-Aassar、Arvind Kumar、Myra Boenke 和 Gabriel M. Rebeiz。「採用 CMOS SOI 製程的 LNA 設計—1.4dB NF K/Ka 頻段 LNA。」IEEE/MTT-S 國際微波研討會—IMS，2018 年 6 月。
2. Charley Wilson 和 Brian Floyd。「20—30 GHz 混頻器—首款採用 45-nm SOI CMOS 技術的接收器。」IEEE 射頻積體電路研討會 (RFIC)，2016 年 5 月。
3. Boris Murmann。「ADC 性能調查 1997–2021。」ISSCC 和 VLSI 研討會。
4. Maarten Baert 和 Wim Dehaene。「基於 VCO 的 20.1 A 5GS/s 7.2 ENOB 時間交錯 ADC 可實現 30.5fJ/轉換器步進。」IEEE 國際固態電路大會—(ISSCC)，2019 年 2 月。
5. Brian Degnan、Bo Marr 和 Jennifer Hasler。「評估訊號處理應用的每瓦性能趨勢。」IEEE 超大規模整合 (VLSI) 系統會刊，第 24 卷第 1 期，2016 年 1 月。
6. Yohan Frans、Jaewook Shin、Lei Zhou、Parag Upadhyaya、Jay Im、Vassili Kireev、Mohamed Elzeftawi、Hiva Hedayati、Toan Pham、Santiago Asuncion、Chris Borrelli、Geoff Zhang、Hongtao Zhang 和 Ken Chang。「16-nm FinFET 中使用 32 路時間交錯 SAR ADC 的 56-Gb/s PAM4 有線收發器。」IEEE 固態電路雜誌，第 52 卷第 4 期，2017 年 4 月。
7. Umut Kodak 和 Gabriel M. Rebeiz。「45nm CMOS SOI 中用於高效率高線性度 5G 系統的雙向倒裝晶片 28 GHz 相位陣列核心晶片。」IEEE 射頻積體電路研討會 (RFIC)，2017 年 6 月。
8. John Coonrod。「毫米波電路的 PCB 設計和製造問題。」高頻電子，Rogers Corp.，2021 年 3 月 [CTA](#)