

如何簡化交流和直流資料採樣中的訊號鏈設計（上）

本文在詳細介紹採樣技術基礎知識和 ADC 類比數位轉換運作方式的基礎上，幫助讀者深刻理解採樣過程中，可能會引起的混疊和電容反衝問題，並介紹了如何透過 $\Sigma - \Delta$ ADC 來簡化訊號鏈，有效地解決採樣問題。同時，文章還分享了 Digi-Key 官網中的「資料獲取 - 類比數位轉換器 (ADC)」產品參數篩選功能，方便工程師快速完成 ADC 的選料。

■作者：Kevin Chow

摘要

類比數位轉換器 (ADC) 中的採樣可能會引起混疊和電容反衝問題，而為了解決這一個問題在電路中使用濾波器和驅動放大器，又可能會犧牲系統性能。本文在詳細介紹採樣技術基礎知識和 ADC 類比數位轉換運作方式的基礎上，幫助讀者深刻理解採樣過程中可能遇到的問題及挑戰，並介紹了如何透過 $\Sigma - \Delta$ ADC 來簡化訊號鏈，有效地解決採樣問題。同時，文章還分享了 Digi-Key 官網中的「資料獲取 - 類比數位轉換器 (ADC)」產品參數篩選功能，方便工程師快速完成 ADC 的選料。

類比數位轉換器 (ADC) 中的採樣可能會引起混疊和電容反衝問題，為了解決這些問題，設計人員會在電路中使用濾波器和驅動放大器，但同時也會給在中等頻寬應用領域中實現精確的直流和交流性能帶來挑戰，設計人員可能最終為此犧牲系統目標。

本文將會從採樣技術的基礎知識說起，重溫類比數位轉換的基本運作方式，並幫助大家理解現實中會遇到的問題。在接下來的後一篇文章中，我

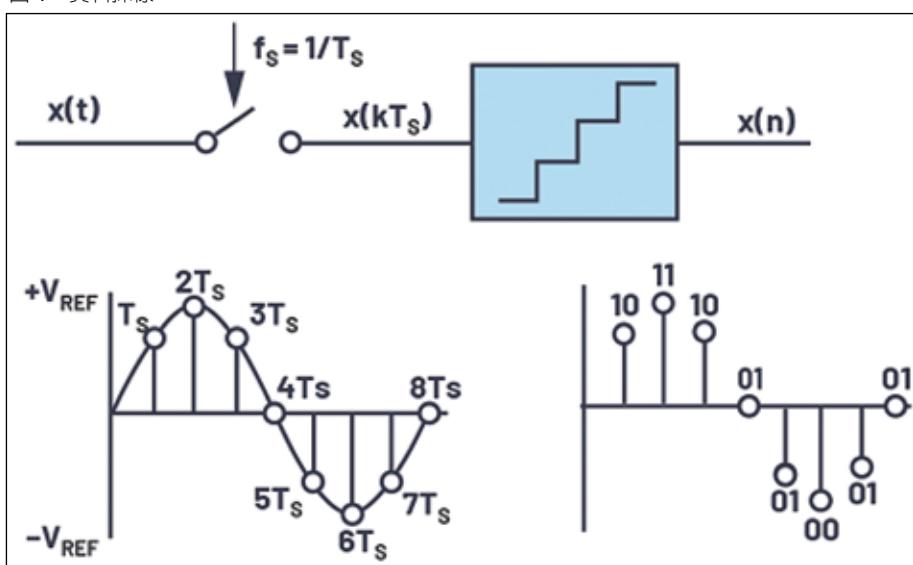
們會進一步介紹如何透過連續時間 $\Sigma - \Delta$ ADC 簡化訊號鏈，有效地解決採樣中所遇到的問題。

採樣基礎

資料數位化涉及採樣和量化這兩個基本過程，如圖 1 所示。採樣是第一步，其是使用採樣頻率 f_s 將連續時間變化的類比訊號 $x(t)$ 轉換為離散時間訊號 $x(n)$ 。結果得出平均間隔的訊號為 $1/T_s (f_s = 1/T_s)$ 。

第二步是量化，即將這些離散時間樣本的值估算為一個有限的可能值，並以數位代碼表示，如圖 1 所示。量化為一組有限值會導致數位化錯誤，稱

圖 1：資料採樣

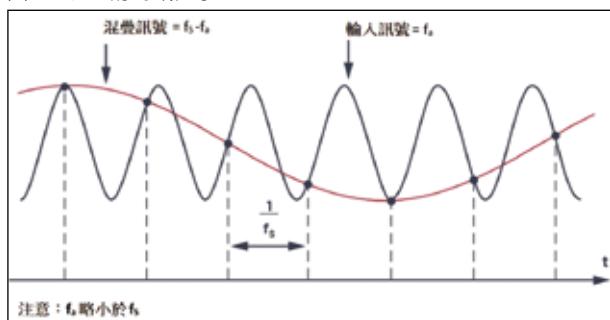


圖片來源：ADI

為量化雜訊。

採樣過程也會導致混疊的發生，在混疊中，我們會看到輸入訊號折返及其在採樣與保持時鐘頻率周圍出現諧波。奈奎斯特準則要求採樣頻率必須至少是最高訊號頻率的兩倍，如果採樣頻率小於最大類比訊號頻率的兩倍，將會發生稱為混疊的現象。為了理解混疊在時域和頻域中的含義，首先要考慮如圖 2 所示採樣的單訊號正弦波的時域表示形式。

圖 2：混疊的時域表示

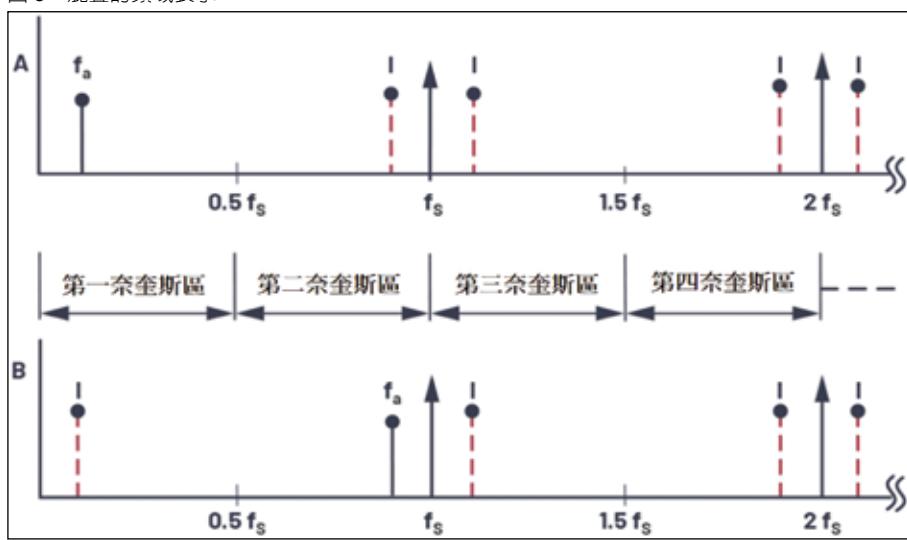


圖片來源：ADI

在這個範例中，採樣頻率 f_s 較類比輸入頻率 f_a 僅略高，但不多於 f_a 兩倍，因此不符合奈奎斯特準則。值得留意的是，實際樣本的模式會產生較低的頻率（等於 $f_s - f_a$ ）的混疊正弦波，這種情況的相應頻域表示如圖 3 所示。

奈奎斯特頻寬定義為從直流到 $f_s / 2$ 的頻譜，頻譜被劃分為無數個奈奎斯特區，每個區的寬度等於

圖 3：混疊的頻域表示



圖片來源：ADI

$0.5f_s$ 。實際上，理想的採樣器由 ADC 和 FFT 處理器來代替，FFT 處理器僅提供從直流到 $f_s / 2$ 的輸出，即是出現在第一個奈奎斯特區域中的訊號或混疊。

如果採用理想的脈衝採樣器，在頻率 f_s 下對頻率 f_a 的單頻正弦波進行採樣，如圖 1 所示。另外假設 $f_s > 2f_a$ 。採樣器的頻域輸出顯示，每一個 f_s 倍頻附近均會出現原始訊號的混疊或鏡像。也就是說，在 $|\pm Kf_s \pm f_a|$ 的頻率處， $K = 1, 2, 3, 4$ 等。

之後，考慮在圖 3 中第一個奈奎斯特區域之外的訊號情況，訊號頻率僅略小於採樣頻率，與圖 2 時域表示中所示的條件相對應。請注意，即使訊號在第一個奈奎斯特區域之外，其鏡像（或混疊） $f_s - f_a$ 仍在該區內。回到圖 3，如果一個不想要的訊號出現在 f_a 的任何鏡像頻率上，它也將會出現在 f_a 上，進而在第一奈奎斯特區中產生一個雜散頻率成分。

設計挑戰

對於高性能應用，系統設計人員需要解決由採樣過程所引起的量化雜訊、混疊和開關電容輸入採樣問題。工業應用中常見有兩種類型的精密 ADC，分別是逐次逼近暫存器 (SAR) 和 $\Sigma - \Delta$ ADC，它們都是採用開關架構電容的採樣技術進行設計。

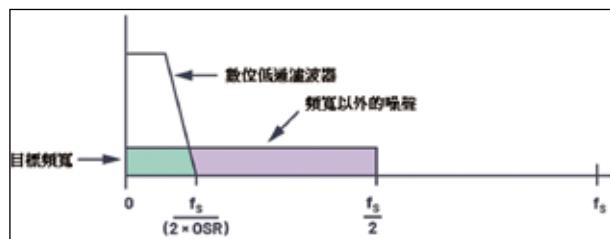
■量化噪聲

在理想的奈奎斯特 ADC 中，ADC 的 LSB 大小將決定在進行類比數位轉換時添加到輸入的量化雜訊，該量化雜訊分佈在 $f_s / 2$ 的頻寬範圍內。為了解決量化雜訊問題，可以考慮過採樣技術，即以遠高於奈奎斯特頻率的速率對輸入訊號進行採樣，以提高訊噪比 (SNR) 和解析度 (ENOB)。在過採樣中，使用採樣頻率為奈奎斯特頻率 ($2 \times f_{IN}$) 的 N 倍，因此必須使相同的量化雜訊分

佈在 N 倍奈奎斯特頻率範圍內，這也放寬了對抗混疊濾波器的要求。過取樣速率 (OSR) 定義為 $f_s / 2 f_{IN}$ ，其中 f_{IN} 是目標訊號頻寬。做為一般準則，對 ADC 進行四倍的過取樣可以額外提供 1 位元的解析度，或者增加 6 dB 的動態範圍。增加過取樣速率將導致整體雜訊降低，並增加動態範圍 (DR)，過採樣為 $\Delta DR = 10\log_{10} OSR$ ，以 dB 為單位。

過採樣在本質上與整合的數位濾波器和抽取功能一起使用和實現， $\Sigma - \Delta$ ADC 中的基本過採樣調製器對量化雜訊進行整形，使其大部分出現在目標頻寬之外，進而導致低頻處的整體動態範圍增大，如圖 4 所示。然後，數位低通濾波器 (LPF) 會濾除目標頻寬以外的量化雜訊，抽取器將輸出資料速率降低，使其回落至奈奎斯特速率。

圖 4：過採樣範例

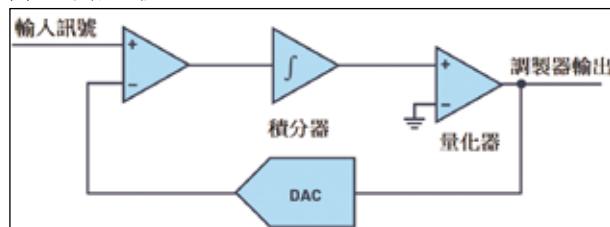


圖片來源：ADI

雜訊整形是另一種減少量化雜訊的技術，在 $\Sigma - \Delta$ ADC 中，在環路濾波器之後的環路內使用低解析度量化器 (一位元至五位元)。DAC 用作回饋，從輸入中減去量化訊號，如圖 5 所示。

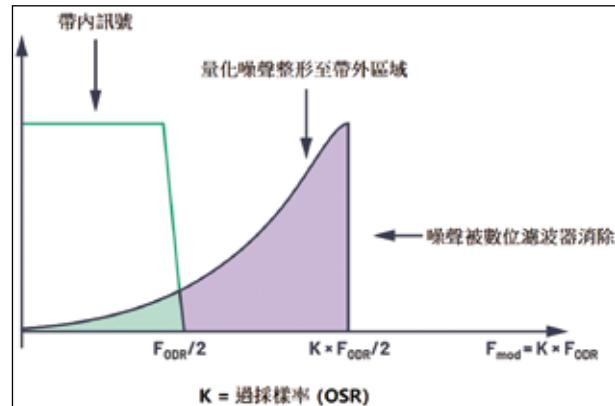
積分器持續將量化誤差加起來，進而將量化雜訊整形至更高頻率，然後可以使用數位濾波器對其進行濾波。圖 6 說明了典型 $\Sigma - \Delta$ ADC 輸出 $x[n]$ 的功率譜密度 (PSD)，雜訊整形斜率取決於迴路濾波器 $H(z)$ 的階數，每十倍頻程為 $(20 \times n)$ dB，其中 n

圖 5：雜訊整形



圖片來源：ADI

圖 6：過採樣和雜訊整形圖



圖片來源：ADI

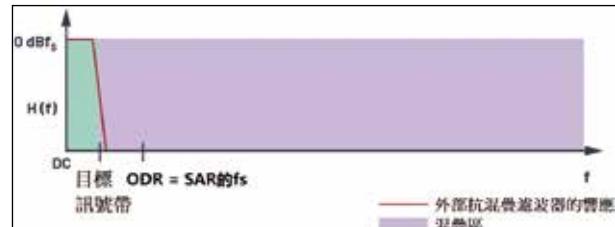
是迴路濾波器的階數。透過結合使用雜訊整形和過採樣， $\Sigma - \Delta$ ADC 可實現帶內高解析度。帶內頻寬等於 $f_{ODR} / 2$ (ODR 代表輸出資料速率)。透過增加迴路濾波器的階數或增加過取樣速率，可以獲得更高的解析度。

■混疊現象

為了在高性能的應用中消除混疊，可使用更高階的抗混疊濾波器來避免任何數量的混疊。抗混疊濾波器是一種低通濾波器，其頻寬會限制輸入訊號，並確保訊號中沒有超出可以折返的目標頻寬的頻率分量，濾波器的性能將取決於帶外訊號與 $f_s / 2$ 的接近程度以及所需的衰減量。

對於 SAR ADC，輸入訊號頻寬和採樣頻率之間的差距並不大，因此我們需要一個更高階濾波器，這會是一個更複雜、更高功率和更大失真的高階濾波器設計。例如，如果 200 kSPS 採樣速度 SAR 的輸入頻寬為 100 kHz，則抗混疊濾波器將需要拒絕大於 100 kHz 的輸入訊號，以確保沒有混疊。這需

圖 7：混疊要求

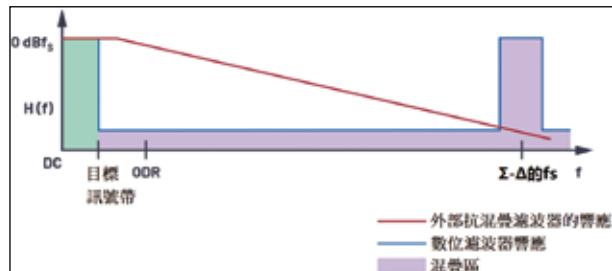


圖片來源：ADI

要使用非常高階的濾波器。圖 7 顯示了陡峭的曲線需求。

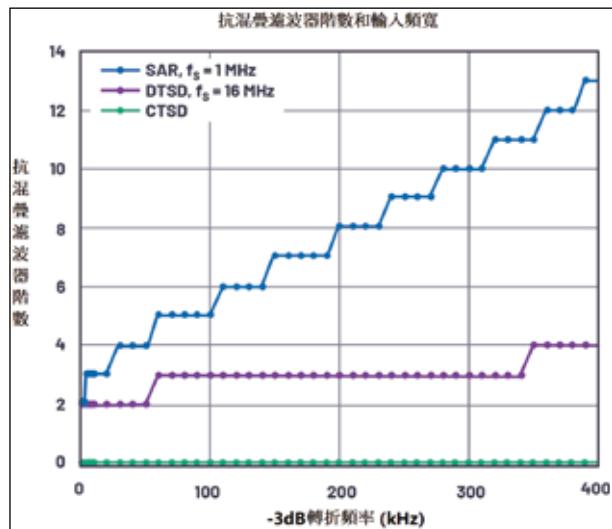
如果選擇 400 kSPS 的採樣速度來降低濾波器

圖 8： $\Sigma - \Delta$ 中的抗混疊濾波器要求



圖片來源：ADI

圖 9：各種架構的抗混疊濾波器要求



圖片來源：ADI

圖 10：Digi-Key 官網的類比數位轉換器 (ADC) 篩選選項

的階數，則需要抑制 > 300 kHz 的輸入頻率。增加採樣速度將增加功率，如果想實現雙倍速度，需要的功率也將增加一倍。由於採樣頻率遠高於輸入頻寬，因此以功率為代價的進一步過採樣，將進一步降低抗混疊濾波器的要求。

在 $\Sigma - \Delta$ ADC 中，輸入以更高的 OSR 進行過採樣，由於採樣頻率遠高於輸入頻寬，因而降低了抗混疊濾波器的要求，如圖 8 所示。

圖 9 顯示 SAR 和離散時間 $\Sigma - \Delta$ (DTSD) 架構中抗混疊濾波器複雜度的程度。如果我們採用 100 kHz 的 -3dB 輸入頻寬，在採樣頻率 f_s 下實現 102 dB 衰減，則 DTSD ADC 將需要使用二階抗混疊濾波器，而採用 SAR ADC 在 f_s 下獲得相同的衰減，則需要使用五階濾波器。對於連續時間 $\Sigma - \Delta$ (CTSD) ADC，衰減是固有的，因此我們不需要使用任何抗混疊濾波器。

這些濾波器對系統設計人員來說可能是一道難題，它們必須最佳化這些濾波器的設計，以便在目標頻帶內提供衰減，並盡可能提供更高的抑制性能。它們還會給系統增加許多其他誤差，例如失調、增益、相位誤差和雜訊，進而降低其性能。同樣地，高性能 ADC 本質是差分的，因此我們需要兩倍數量的被動元件。為了在多通道應用中獲得更好的相位匹配，訊號鏈中的所有元件都必須匹配良好，即需

要使用公差更嚴格的零組件。

ADC 選料上的考慮

工程師要選擇一款合適的類比數位轉換器(ADC)，要瞭解轉換器的關鍵參數項。如上文所述，它們包括「位元數」、「採樣速率」或「輸入數」的要求，轉換「架構」的選擇(SAR、三角積分…)，甚至於「輸入類型」的選項(單端、差分…等)，以及參數項互相的影響或補充。如工程師手上能擁有一個能夠概括大部份主要參數項的篩選列表，在篩選中還能清楚表達各選項在市場上的普遍程度，且能夠靈活地加減篩選項，這一定會提升選料效率。

這裡為大家分享一個實用的工具，工程師只需在 Digi-Key 官網的搜尋引擎中輸入關鍵字「ADC」或「類比數位轉換器」，進入「資料獲取 - 類比數位轉換器(ADC)」後，相關的詳細參數就能一目了然。

本文小結

本文中，我們首先重溫了類比數位轉換器的基礎運作原理，接下來介紹了如何透過 $\Sigma - \Delta$ ADC 來簡化訊號鏈，有效地解決採樣問題。這種方法，消除了對抗混疊濾波器和緩衝器的需求，並解決了訊號鏈偏移誤差，以及與其他元件相關的漂移問題。這些設計的好處包括：可縮小解決方案的尺寸、簡

化設計，並改善系統的相位匹配和整體延遲。此外，Digi-Key 官網中的「資料獲取 - 類比數位轉換器(ADC)」產品的參數篩選選單清晰易用，可以方便工程師快速完成 ADC 的選料。

接下來，我們將在下一篇文章中深入討論最佳化類比數位轉換器的資料取樣、較少雜訊和抗混疊的有效方法，敬請關注。

更多類比數位轉換器相關的技術訊息，請點選以下連結，也歡迎大家在文末留言討論。

■ADC 中的“類比接地”和“數位接地”的接地問題，該如何處理？<https://www.digikey.cn/zh/forum/t/topic/192>

■類比基礎知識 — 第 1 部分：SAR 類比數位轉換器 <https://www.digikey.cn/zh/articles/analog-basics-part-1-sar-analog-to-digital-converters>

■給應用配個合適的 ADC <https://www.digikey.tw/zh/articles/match-the-right-adc-to-the-application>

■類比基礎知識 — 第 2 篇：三角積分($\Delta \Sigma$) ADC 與其數位能力的運用方式 <https://www.digikey.tw/zh/articles/match-the-right-adc-to-the-application>

■類比基礎知識 — 第 3 篇：管線式 ADC 及其使用方法 <https://www.digikey.tw/zh/articles/analog-basics-part-3-pipeline-adcs-and-how-to-use-them> 

Digi-Key 與 Power Integrations 合作推出聚焦電源活動 協作給用戶帶來了更高的電源轉換效率

現貨電子元器件分銷商 Digi-Key Electronics 日前宣佈與 Power Integrations 合作，供應其採用 PowiGaN 技術的 InnoSwitch 3 IC 系列。該技術可降低能耗且具有高抗衝擊性能，同時適合要求嚴苛的消費和工業應用。

作為聚焦電源活動的一部分，Digi-Key Electronics 與 Power Integrations 達成合作，推出其 InnoSwitch 3 IC 系列。

由於越來越多的應用更加依賴智慧設備和電源自動化，人們對具有更強熱性能、更高能效的解決方案的需求正在上升，因此氮化鎵(GaN)器件正在迅速取代矽器件。PowiGaN 是 Power Integrations 內部開發的一項技術，能夠讓 InnoSwitch 3 積體電路在滿載範圍內效率達到 95%，且在無散熱器的封閉適配器中實現最高 100W 的功率。

Power Integrations 管道行銷總監 Trevor Hiatt 稱：“GaN 技術正在引領電力電子行業的變革，需要具備 PowiGaN 效率和集成水準的應用數量正在增加。Digi-Key 能夠接觸到全球範圍的工程人員，這對於我們為任何規模的客戶提供支援而言是非常有價值的。”