

提高 4H-SiC 蕭特基二極體和 MOSFET 的崩潰耐受性

■文：Microchip 子公司 Microsemi 元件設計工程師 Amaury Gendron-Hansen
Microchip 子公司 Microsemi SiC 技術開發總監 Avinash Kashyap
Microchip 子公司 Microsemi 元件 / 開發工程總監 Dumitru Sdrulla

半導體市場的最新趨勢是廣泛採用碳化矽 (SiC) 元件，包括用於工業和汽車應用的蕭特基二極體 (SBD) 和功率 MOSFET。與此同時，由於可供分析的現場資料有限，這些元件的長期可靠性成為一個需要解決的熱門議題。一些 SiC 供應商已開始根據嚴格的工業和汽車 (AEC-Q101) 標準來認證 SiC 元件，而另一些供應商不但超越了這些認證標準的要求，還能為惡劣環境耐受性測試提供資料。為了使 SiC 元件在任務和安全關鍵型應用中保持較高的普及率，應將這種認證和測試策略與特定的設計規則相結合來實現高崩潰的耐受性，這一點至關重要。

市場快速增長

SiC 元件的市場規模預計將在未來幾年加速增長，主要推動因素是運輸行業的電氣化。SiC 晶粒將成為車載充電器和動力傳動牽引系統等應用的模組中的基本元件。由於 SiC 崩潰擊穿的臨界電場較高，因此高壓 SiC 元件的外形比同類矽元件小得多，並且可以在更高的開關頻率下工作。SiC 的熱效能也十分出色，它不但擁有良好的散熱效能，還能在高溫下工作。實際上，最高工作溫度通常可達 175 °C，但很少超過 200 °C，主要限制在組裝程序 (焊接金屬和封裝材料)。SiC 元件本質上比矽元件更高效，使用 SiC 晶粒可以大幅減少模組中單個晶粒的

數量。

隨著 SiC 元件從利基市場轉向主流市場，相較於大規模生產之前這種爬坡式的效應及相關的主要挑戰正逐漸被克服。為輕鬆實現這種轉變，製造廠正在建立可與現存 Si 生產線共用工具的 SiC 生產線。這種安排可有效降低 SiC 晶粒的成本，因為這樣做可與 Si 生產線分擔成本。隨著晶圓供應商大幅度提高產能，近來在晶圓供貨方面的限制已不再是問題。由於 4H-SiC 欄底和外延生長的不斷改進，現在可提供晶圓缺陷密度極低且高良率的 6 英寸晶圓。根據電氣參數測試可知，晶圓品質越高，SiC 元件的產量就越高。

但請務必記住，由於這些元件僅僅上市幾年，因此其現場可靠性資料十分有限。此外，由於 SiC 元件自身也面臨著一系列挑戰，因此其認證比矽元件的認證困難得多。在 SiC 元件中，反向偏置條件下的電場高出將近一個數量級。如果不採用適當的設計規則，這種高電場很容易損壞柵極氧化層。SiC 柵極氧化層介面附近的陷阱密度也高得多。結果是，由於陷阱帶電，因此老化測試期間可能會出現不穩定性。一直以來，我們都專注於提高長期可靠性，而取得的成果也令人欣慰，最近的報告顯示元件已通過嚴格的工業和汽車 (AEC-Q101) 標準認證。

除此之外，SiC 供應商也已開始採取下一步行動，即為惡劣環境耐受性測試提供資料。

惡劣環境耐受性測試

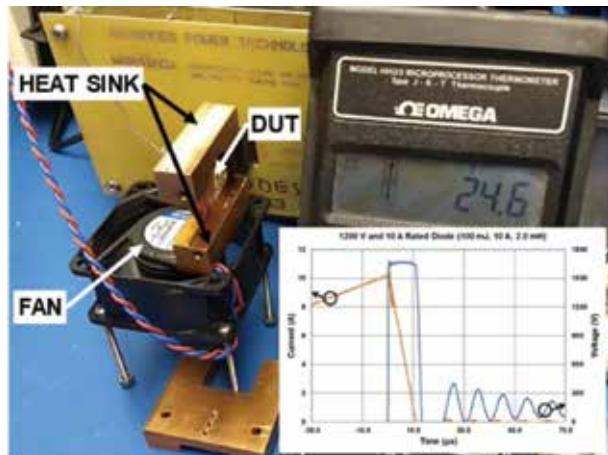
作為範例，Microchip 透過子公司 Microsemi 在其適用於 700V、1200V 和 1700V 電壓節點的 SiC SBD 和 MOSFET 上進行了惡劣環境耐受性測試。測試表明，高水準的非箝位元感應開關 (UIS) 耐受性對於保證元件的長期可靠性至關重要。同時還表明，在 UIS 測試期間，高瞬態電流流過反向偏置元件，並驅動其進入崩潰擊穿狀態。在高電流和高電壓的共同作用下，會產生大量熱量且溫度急劇上升。耐用功率 MOSFET 的局部最高溫度可達到 500°C，遠高於典型溫度額定值。

UIS 的耐受性與生產線前端和後端的外延品質和製造工藝密切相關。即使外延中的微小晶體缺陷或與工藝相關的缺陷也可能構成薄弱環節，導致元件在 UIS 測試期間過早失效。這就解釋了為什麼對產品系列耐受性的全面分析中應當包含單脈衝 (single-pulse) 和重複 UIS(RUIS) 測試。

單脈衝測試用作篩選測試，用於識別 UIS 耐受性較低的元件。為了保證產品資料手冊中的 UIS 額定值，所有元件在交付給客戶之前都應經過測試。不過，元件在現場投入使用期間可能會經歷多次 UIS 事件。為了分析逐漸磨損的特性，需要重複測試。要深入分析特性，應對元件施加大量脈衝，常見做法是 100,000 次衝擊。

在 UIS 脈衝期間，被測元件中的電流連續降低，而電壓基本保持恒定，但會因熱效應而略微變化

圖 1：UIS 脈衝期間的 RUIS 測試設置以及電流和電壓的波形



化（圖 1）。UIS 脈衝的能量由脈衝開始時的最大電流和負載的電感定義。在測試過程中，通過改變電感值來調節能量。最大電流保持恒定；它等於 SBD 的正向電流額定值，也等於 MOSFET 的漏極電流額定值的三分之二。

RUIS 測試具有特定的約束條件，主要目的是防止一個脈衝與下一個脈衝的溫度發生積聚。在施加新脈衝之前，務必確保元件溫度接近環境溫度。在圖 1 所示的測試設置中，使用熱電偶感測器監視元件的溫度，並調整脈衝重複頻率以獲得恒定的讀數。為了有助於冷卻元件，應將其安裝在散熱器上風扇下方的位置。

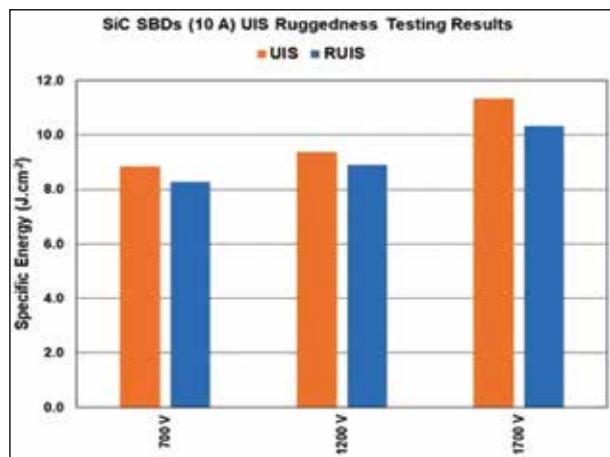
可實現高崩潰耐受性的元件設計

除了採用適當的測試過程之外，一流的 UIS 耐受性還需要使用下面的一組設計規則：

- 高壓端接設計有足夠高的固有擊穿電壓，以確保有效區域首先進入崩潰狀態。在這種情況下，能量會分散到整個有效區域上，而不是在狹窄的端接中，後一種情況會導致過早失效。
- MOSFET 的 JFET 區域中的電場遮罩對於保護柵極氧化層非常關鍵。應當謹慎優化用於界定 JFET 區域的 P 型摻雜阱的設計和注入方案，以便提供足夠的遮罩而不會嚴重影響導通狀態電阻。
- 利用具有高導熱率的鈍化材料為熱量通過晶粒的頂部耗散提供了路徑。

使用這些規則設計的蕭特基二極體和功率 MOSFET 在惡劣環境耐受性測試中均表現良好。對 SBD 的測試持續到單脈衝和重複 UIS 失效為止，同時還監視了多個直流參數。這項測試的結果表明，元件的順向電壓和逆向洩漏電流十分穩定，而逆向擊穿電壓則略有增加，這可歸因於 SiC 上表面附近的自由載流子俘獲 (free carriers trapping)。即將失效之前的脈衝能量如圖 2 所示。UIS 耐受性隨元件額定電壓的增大而提高。鑑於大部分熱量在外延區域產生，這種趨勢不難解釋。隨著外延厚度因額定電壓的增大而增加，每單位體積產生的熱量會減少，

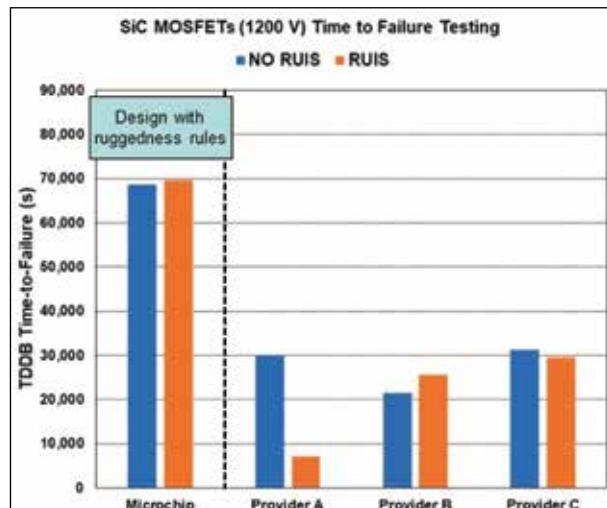
圖 2：700V、1200V 和 1700V SiC SBD 失效前每個活動區域的比能



這反過來會降低元件中的溫度。由於重複測試的原因，UIS 的耐受性會系統性降低，但程度很小。與單脈衝 UIS 相比，差異小於 10%。多個 UIS 脈衝沒有強累加效應，預計 SBD 在現場投入使用期間將保持高耐受性。

MOSFET 惡劣環境耐受性特性分析應重點關注柵極氧化層的長期可靠性，這無需對元件施壓至失效。作為替代，可使用由 100,000 個能量相對較低的脈衝組成的重複測試。舉例來說，Microsemi 1200V/40 mΩ MOSFET 使用崩潰耐受性規則進行設計，通過 100 mJ 脈衝進行測試，其單脈衝 UIS 額定值為 2.0J。大多數直流參數不受影響；不過，由於該測試對柵極氧化層施壓，因此會觀察到柵極洩漏的適度增加。為了確定長期可靠性是否受到損害，我們對元件施加了隨時間變化的介電擊穿。圖

圖 3：四家供應商提供的 1200V MOSFET 的 TDDB 失效時間



3 報告了對各種元件的柵極施加 50 μA 直流電流時的失效時間，具體包括使用公司的雪崩耐受性規則開發的 Microsemi SiC 元件以及其他三家領先供應商提供的元件。

堅持採用 SiC

在工業和汽車市場中採用 SiC 元件時，需滿足嚴格的長期可靠性要求。滿足這些要求的最佳策略是使產品通過汽車 AEC-Q101 標準認證，並對尚未標準化的極端環境耐受性測試進行特性分析。通過應用設計規則來實現高雪崩耐受性同樣十分重要。這些措施一起使用時，不僅有助於確保 SiC 元件在快速普及的道路上繼續前進，同時還能提供這些應用所需的長期可靠性。 CTA

COMPOTECHAsia 檢書

每週一、三、五與您分享精彩內容

<https://www.facebook.com/lookcompotech>