

輕鬆建構交流和直流資料 擷取訊號鏈

■作者：Wasim Shaikh / ADI 應用工程師
Srikanth Nittala / ADI 首席技術專家

簡介

類比數位轉換器 (ADC) 中的採樣會產生混疊和電容反沖問題，為此，設計人員使用濾波器和驅動放大器來因應，但這又帶來了一系列相關挑戰。尤其是在中等頻寬應用中，實現精密直流和交流性能面臨挑戰，使得設計人員最終不得不降低系統目標。

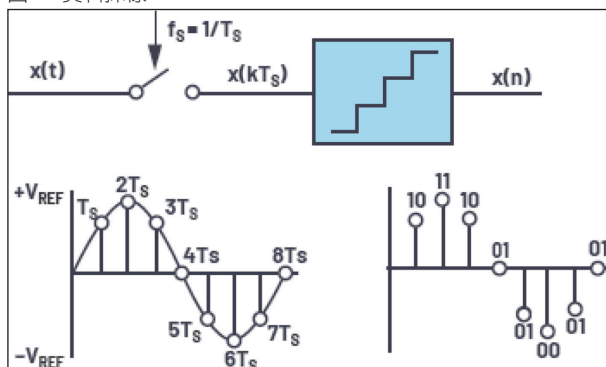
本文將介紹連續時間 Σ - Δ ADC 及透過簡化訊號鏈來有效解決採樣問題。採用這種方法無需使用抗混疊濾波器和緩衝器，並可解決與額外元件相關的訊號鏈失調誤差和漂移問題。進而可縮小解決方案尺寸，簡化設計，並改善系統的相位匹配和整體延遲。

本文還將連續時間轉換器與離散時間轉換器進行了比較，並著重介紹使用連續時間 Σ - Δ ADC 的系統優勢和存在的限制。

採樣基本原理

資料數位化包含採樣和量化兩個基本過程，

圖 1：資料採樣。



如圖 1 所示。採樣是第一步，其中使用採樣頻率 f_s 將連續時間可變類比訊號 $x(t)$ 轉換為離散時間訊號 $x(n)$ 。最終得到以 $1/T_s$ ($f_s = 1/T_s$) 間隔的訊號。

第二步是量化，將這些離散時間樣本值估算為一個有限可能值，並用數字代碼表示，如圖 1 所示。這種量化為一組有限值的操作會導致數位化誤差，稱為量化雜訊。

採樣過程也會導致混疊，可以看到有輸入訊號折返以及採樣保持時鐘頻率周圍出現諧波。奈奎斯特準則要求採樣頻率必須至少是最高訊號頻率的兩倍。如果採樣頻率小於最大類比訊號頻率的兩倍，將會出現一種稱為“混疊”的現象。

為了理解混疊在時域和頻域中的含義，首先可先來看看圖 2 所示的單訊號音正弦波採樣訊號的時域表示。在本例中，採樣頻率 f_s 不是 f_a 的至少 2 倍，只是稍微高於類比輸入頻率 f_a ，因此不符合奈奎斯特準則。請注意，實際樣本圖案會產生較低頻率 $f_s - f_a$ 的混疊正弦波。

這種情況的相應頻域表示如圖 3 所示。

奈奎斯特頻寬定義為從 DC 到 $f_s/2$ 的頻譜。該

圖 2：混疊：時域表示。

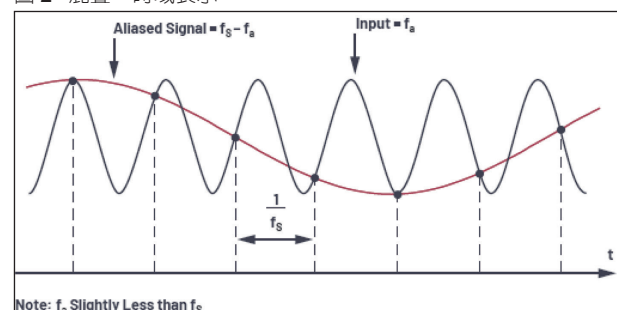
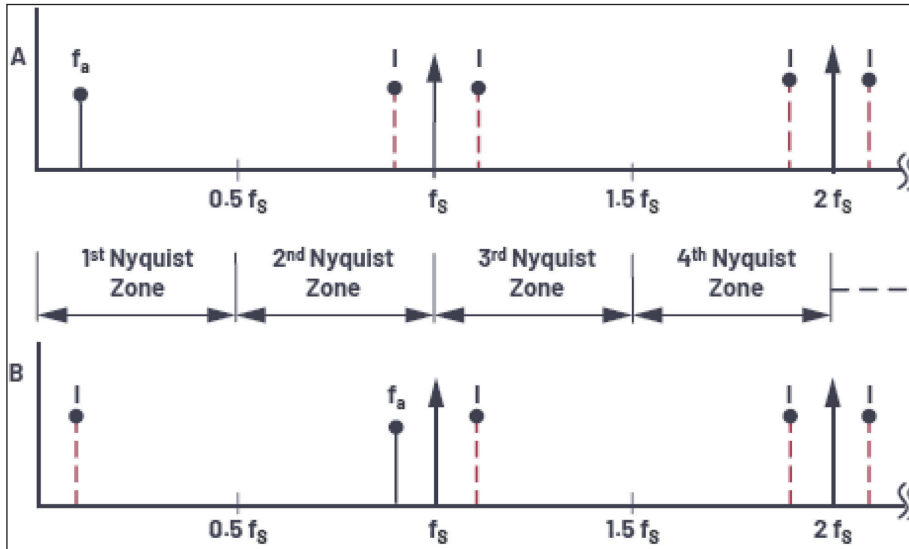


圖 3: 混疊: 頻域表示。



頻譜可細分為無數個奈奎斯特區，每個區的寬度為 $0.5f_s$ 。在實際應用中，可以將理想採樣器用 ADC 後接 FFT 處理器來代替。FFT 處理器僅提供 DC 到 $f_s/2$ 範圍內的輸出；即第一奈奎斯特區出現的訊號或混疊。

如果採用理想的脈衝採樣器，在 f_s 頻率下對 f_a 頻率的單頻正弦波進行採樣（見圖 1）。另外假定 $f_s > 2f_a$ 。採樣器的頻域輸出顯示，每個 f_s 倍數頻率附近均會出現原始訊號的混疊或鏡像；即 $|\pm Kf_s \pm f_a|$ 頻率處， $K = 1, 2, 3, 4$ 等。

接下來，我們考量第一奈奎斯特區之外的訊號（圖 3）。訊號頻率僅略小於採樣頻率，就是圖 2 中時域表示的情形。注意，即使訊號位於第一奈奎斯特區之外，其鏡像（或混疊） $f_s - f_a$ 仍位於該區內。回到圖 3，很明顯的，如果任何鏡像頻率 f_a 處出現干擾訊號，那麼也將會出現在 f_a ，因而會在第一奈奎斯特區內產生雜散頻率成分。

解決挑戰，實現精密性能

對於高性能應用，系統設計人員需要解決採樣過程導致的量化雜訊、混疊和開關電容輸入採樣問題。兩種類型的精密 ADC 都採用基於開關電容的採樣技術建構，這兩種 ADC 分別是業界常見的逐

次漸近暫存器 (SAR) 和 $\Sigma - \Delta$ ADC。

量化雜訊

在理想的奈奎斯特 ADC 中，ADC 的 LSB 大小將決定進行類比數位轉換時帶到輸入中的量化雜訊。這些量化雜訊都分佈在 $f_s/2$ 頻寬範圍內。為了解決量化雜訊問題，首先需要採用過採樣技術，即以大幅高於奈奎斯特頻率的速率對輸入訊號進行採樣，以提高訊噪

比 (SNR) 和解析度 (ENOB)。過採樣期間，選擇使用的採樣頻率為奈奎斯特頻率的 N 倍 ($2 \times f_{IN}$)，因此必須讓相同的量化雜訊分佈在 N 倍奈奎斯特頻率範圍內。這也會放寬對抗混疊濾波器的要求。過採樣速率 (OSR) 定義為 $f_s/2f_{IN}$ ，其中 f_{IN} 是目標訊號頻寬。一般來說，對 ADC 進行 4 倍過採樣可額外提供 1 位元解析度，或增加 6 dB 的動態範圍。提升過採樣速率可降低整體雜訊並增加動態範圍 (DR)，因為過採樣為 $\Delta DR = 10 \log_{10} OSR$ ，單位為 dB。

過採樣可以與整合數位濾波器和抽取功能一起使用和實現。 $\Delta - \Sigma$ 型 ADC 基本過採樣調製器對量化雜訊進行整形，使其大部分出現在目標頻寬以外，從而增加低頻下的整體動態範圍，如圖 4 所示。然後，數位低通濾波器 (LPF) 濾除目標頻寬以外的量化雜訊，抽取器降低輸出資料速率，使其回落至奈奎斯特速率。

雜訊整形是另一種用於降低量化雜訊的技術。在 $\Sigma - \Delta$ ADC 中，在迴路濾波器之後的迴路內使用低解析度（一位至五位）量化器。DAC 用作回饋，

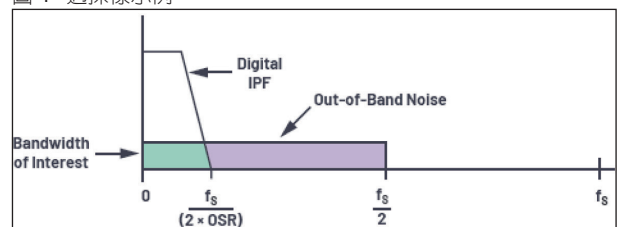
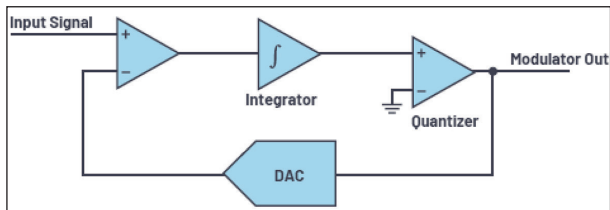


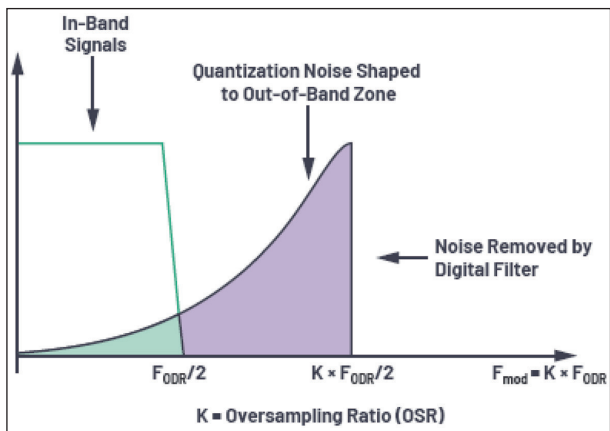
圖 5: 雜訊整形。



用於提取輸入中的量化訊號，如圖 5 所示。

積分器將累加量化誤差，將量化雜訊整形至更高頻率，然後使用數位濾波器進行濾波。圖 6 所示為典型的 $\Sigma-\Delta$ ADC 輸出 $x[n]$ 的功率譜密度 (PSD)。雜訊整形斜率取決於迴路濾波器的階數 $H(z)$ (見圖 11)，每十倍頻程為 $(20 \times n)$ dB，其中 n 表示迴路濾波器的階數。 $\Sigma-\Delta$ ADC 透過結合使用雜訊整形和過採樣，可實現頻內高解析度。頻內頻寬等於 $f_{ODR}/2$ (ODR 表示輸出資料速率)。透過提高迴路濾波器的階數或提高過取樣速率可以獲得更高的解析度。

圖 6: 過採樣和雜訊整形圖。

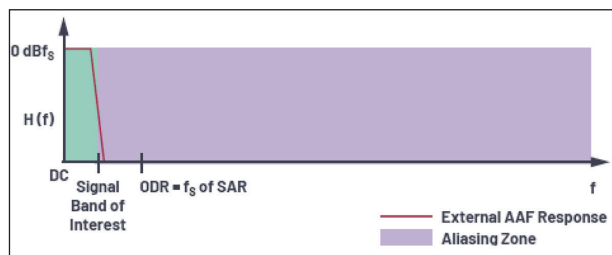


混疊

為了解決高性能應用中的混疊，可使用更高階的抗混疊濾波器來避免任何數量的混疊。抗混疊濾波器是一款低通濾波器，其頻寬會限制輸入訊號，並確保訊號中不含可以折返的目標頻寬以外的頻率分量。濾波器性能將取決於帶外訊號與 $f_s/2$ 的接近程度和所需的衰減量。

對於 SAR ADC，輸入訊號頻寬和採樣頻率之間的差距並不大，所以我們需要使用更高階的濾波器，這要求採用更複雜、更高階的濾波器設計，且

圖 7: 混疊要求。



功率更高，失真更大。例如，如果採樣速度為 200 kSPS 的 SAR 的輸入頻寬為 100 kHz，則抗混疊濾波器需要抑制 >100 kHz 的輸入訊號，以確保不會產生混疊。這就需要使用極高階的濾波器。圖 7 顯示了陡峭的需求曲線。

如果選擇使用 400 kSPS 採樣速度來降低濾波器的階數，則需要抑制 >300 kHz 的輸入頻率。提高採樣速度會增加功率，如果實現雙倍速度，需要的功率也會翻倍。由於採樣頻率遠高於輸入頻寬，因此以功率為代價進一步提高過採樣會進一步放寬抗混疊濾波器的要求。

在 $\Sigma-\Delta$ ADC 中，以更高的 OSR 對輸入過採樣，由於採樣頻率遠高於輸入頻寬，因而放寬了抗混疊濾波器的要求，如圖 8 所示。

圖 8: $\Sigma-\Delta$ 架構中的抗混疊濾波器要求。

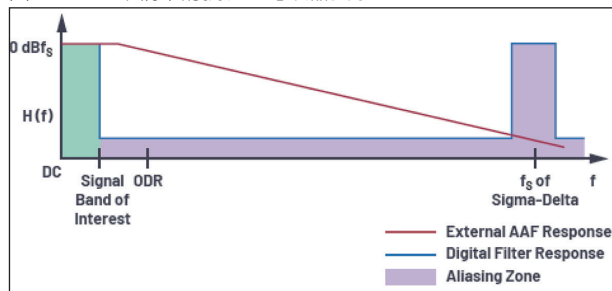
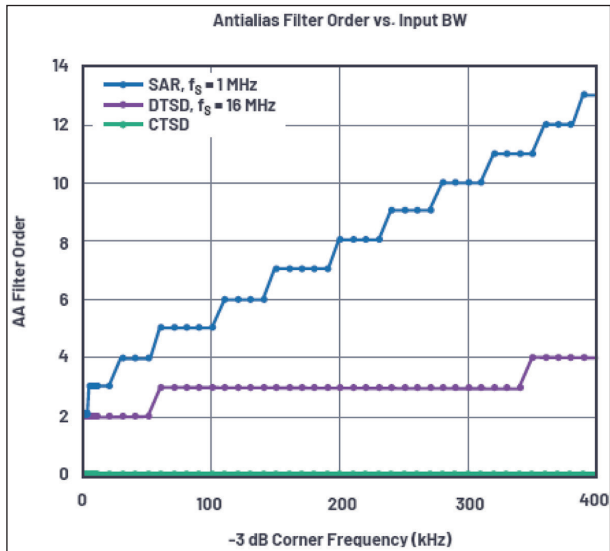


圖 9 顯示了 SAR 和離散時間 $\Sigma-\Delta$ (DTSD) 架構中 AAF 的複雜程度。如果我們使用 100 kHz -3 dB 輸入頻寬在採樣頻率 f_s 下實現 102 dB 衰減，則 DTSD ADC 將需要使用二階抗混疊濾波器；而採用 SAR ADC 時在 f_s 下獲得相同衰減，則需要使用五階濾波器。

對於連續時間 $\Sigma-\Delta$ (CTSD) ADC，它本身具有衰減功能，所以我們無需使用任何抗混疊濾波器。這些濾波器對系統設計人員來說都是難題，他

圖 9: 各種架構的 AAF 濾波器要求。



們必須優化這些濾波器，以便在目標頻帶內提供衰減，並且盡可能提供更高的抑制性能。它們還會增加許多其他誤差，例如失調、增益、相位誤差和系統雜訊，進而降低其性能。而且，高性能 ADC 本身是差分式，所以我們需要使用雙倍數量的無源元件。要在多通道應用中實現更好的相位匹配，訊號鏈中的所有元件也必須匹配。因此，需要使用公差更嚴格的元件。

開關電容輸入

開關電容輸入採樣取決於電容上採樣輸入的建立時間，因此在開關採樣開關時，需要充電 / 放電瞬態電流。這稱為輸入反沖，要求使用支援這些瞬變電流的輸入驅動放大器。此外，要求在採樣時間結束時建立輸入，而且採樣輸入的精度決定 ADC 的性能，意味著驅動放大器需要在反沖事件後快速穩定建立。因此需要使用支援快速建立並能吸收開關電容操作反沖的高頻寬驅動器。在開關電容輸入中，每當採

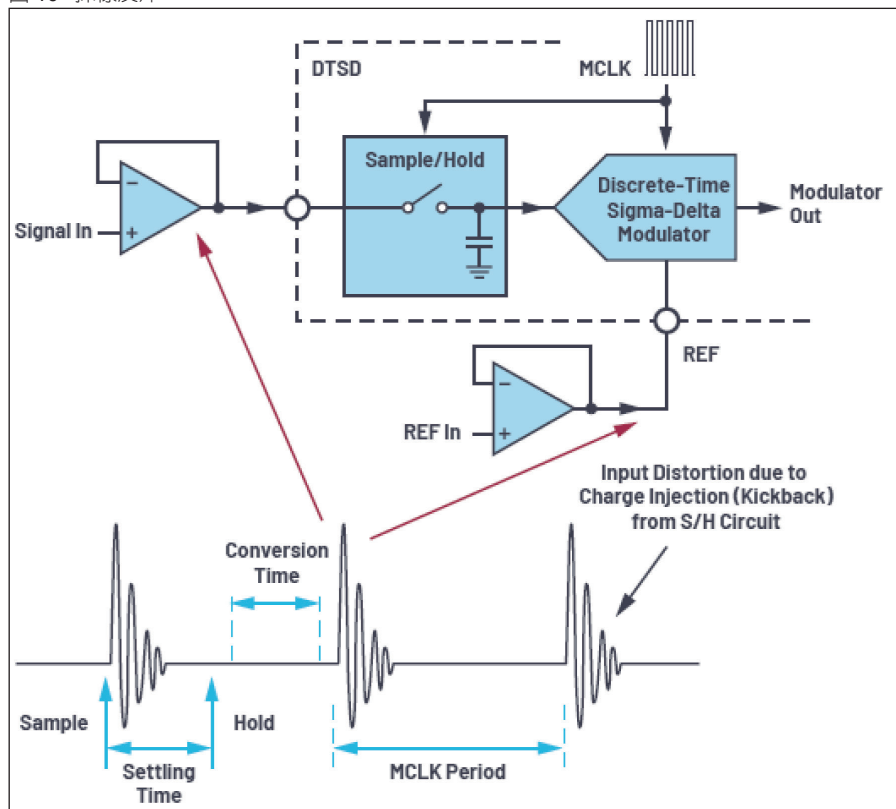
樣開啓，驅動器必須立即為保持電容提供電源。只有當驅動器具備足夠的頻寬能力時，才能及時提供這種電流激增。由於開關寄生，採樣時驅動器上會出現反沖。如果反沖在下一次採樣前未能穩定下來，會導致採樣誤差，從而影響 ADC 輸入。

圖 10 顯示了 DTSD ADC 上的反沖。例如，如果採樣頻率為 24 Mhz，那麼資料訊號需要在 41 ns 內建立。因為基準也是一個開關電容輸入，所以基準輸入針腳上也需要一個高頻寬緩衝器。這些輸入訊號和基準電壓緩衝器也會增加雜訊，使訊號鏈的整體性能下降。此外，輸入訊號驅動器的失真分量 (在 S&H 頻率附近) 會進一步提高抗混疊要求。對於開關電容輸入，採樣速度的變化會導致輸入電流變化。這可能導致重新調諧系統，以減少驅動 ADC 時驅動器或前一級產生的增益誤差。

連續時間 Σ - Δ ADC

CTSD ADC 是另一種 Σ - Δ ADC 架構，利用

圖 10: 採樣反沖。



過採樣和雜訊整形等原理，但提供另一種實施採樣的方法，具有顯著的系統優勢。

圖 11 將 DTSD 架構和 CTSD 架構進行了比較。可以看到，DTSD 架構在迴路之前對輸入採樣。迴路濾波器 $H(z)$ 在時間上是離散的，並使用開關電容

圖 11: 離散時間和連續時間調變器框圖。

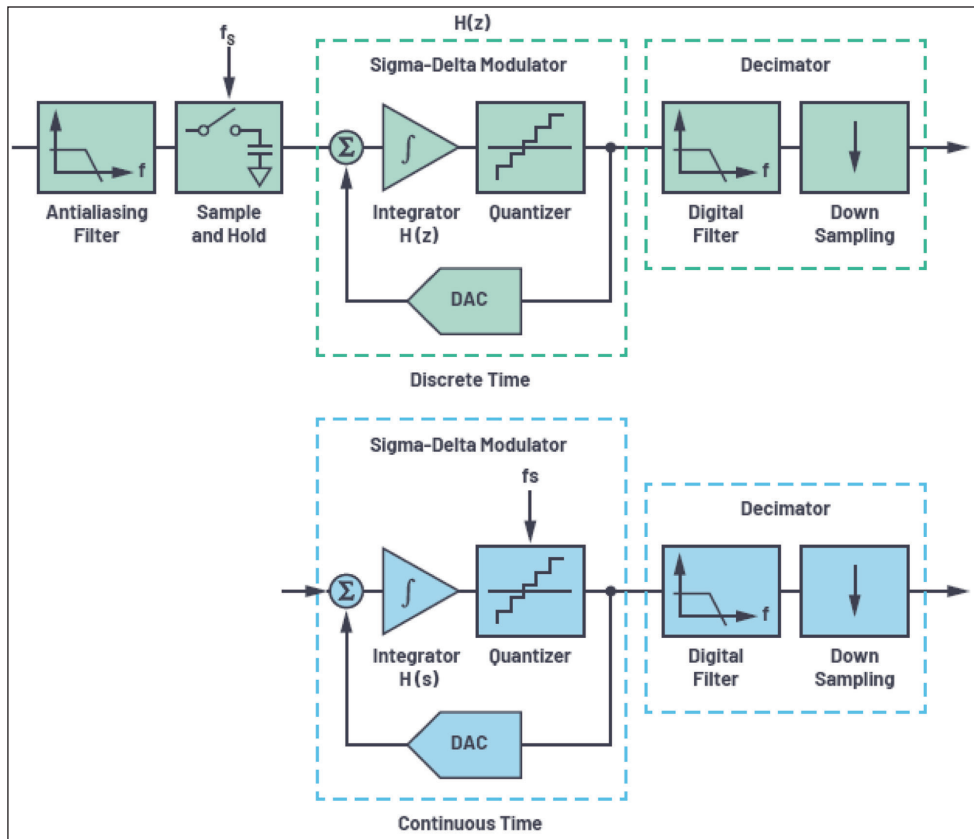
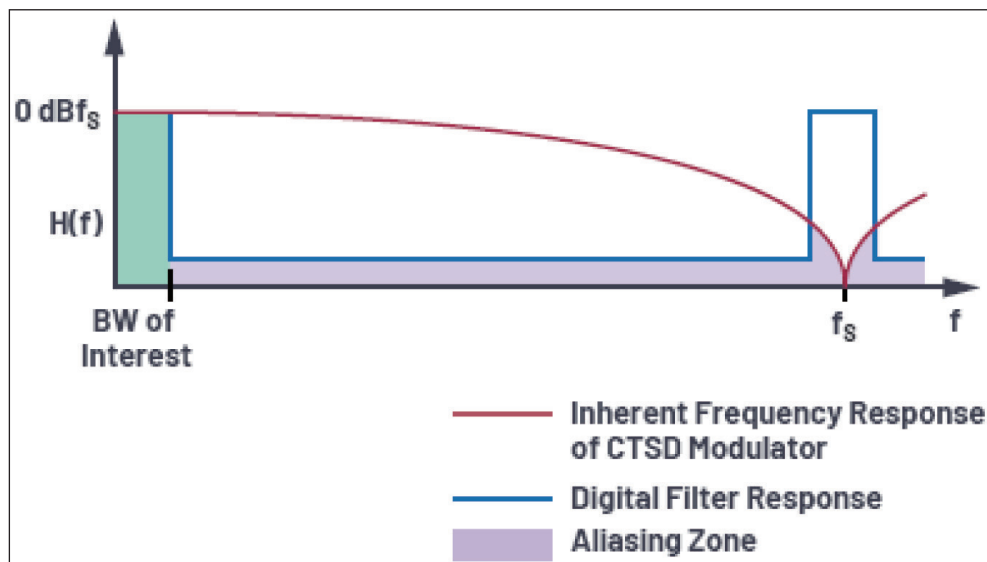


圖 12: CTSD 調製器的頻率回應。



積分器實現。回饋 DAC 也是基於開關電容。由於進行輸入採樣會導致 f_s 中產生混疊問題，所以對輸入採樣之前需要在輸入端使用抗混疊濾波器。

CTSD 未在輸入端配置採樣器，而是在迴路內的量化器上採樣。迴路濾波器使用連續時間積分器

實現了時間連續性，回饋 DAC 也是如此。與量化雜訊受到整形一樣，因採樣導致的混疊也會被整形。由此得出了幾乎無採樣混疊的 ADC，使其自成其類。

CTSD 的採樣頻率是固定的，這與 DTSD 不同，後者的調製器採樣頻率可以輕鬆擴展。此外，CTSD ADC 對抖動的容忍程度也低於開關電容 ADC。現成的晶體或 CMOS 振盪器為 ADC 提供本地低抖動時脈，有助於避免在隔離狀態下傳輸低抖動時脈，並降低 EMC。

CTSD 具有兩大優勢，它本身具有混疊抑制能力，並且為訊號和基準提供阻性輸入。

固有的抗混疊能力

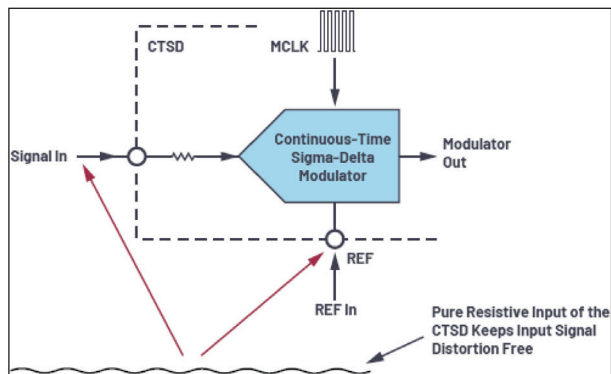
把量化器移到迴路內會產生固有的混疊抑制。如圖 12 所示，輸入訊號在採樣前通過迴路濾波器，在量化器上產生的折返（混疊）誤差也會經此濾波器去除。訊號和混疊誤差與 $\Sigma - \Delta$

迴路具有相同的雜訊傳遞函數，並且在 $\Sigma - \Delta$ 架構中實施與量化雜訊相似的雜訊整形。因此，CTSD 迴路的頻率回應自然會抑制約為採樣頻率整數倍的輸入訊號，充當抗混疊濾波器的作用。

阻性輸入

與採樣保持配置相比，在訊號和基準輸入中採用阻性輸入會更易於驅動。提供恒定阻性輸入時，不會產生反沖，可以完全移除驅動器。輸入不會產生失真，如圖 13 所示。而且因為輸入阻抗恒定不變，也無需因增益誤差重新調諧系統。

圖 13: CTSD 的輸入建立。



即使 ADC 提供單極性電源，類比輸入也可能是雙極性的。因此無需在雙極前端和 ADC 之間實施電平轉換。ADC 的直流性能可能與輸入電阻現在具有輸入共模相關電流和輸入電流時的情況不同。

基準負載也具有阻性，可以減少開關反沖，因此無需使用單獨的基準電壓緩衝器。低通濾波器的電阻可以在片上，以便隨片上電阻負載一起跟蹤（因為它們的材料可能相同），以減少增益誤差溫度偏移。

CTSD 架構並非新生事物，但工業和儀器儀錶市場的大趨勢要求在更高頻寬下具有直流和交流精度性能。此外，客戶更喜歡適用於大部分解決方案的單一平台設計，以幫助他們縮短上市時間。

CTSD 架構相對於其它類型 ADC 具有多方面優勢，成為高性能音訊和蜂巢式手機射頻前端等眾多應用的首選。這些優勢包括更容易整合和功耗更低，但更重要的是，使用 CTSD 能夠解決多個重要的系統問題。由於存在許多技術缺陷，CTSD 的使

用以前局限於音訊 / 頻寬和較低的動態範圍。因此，高精度、高性能 / 中等頻寬應用的主流解決方案一直是高性能奈奎斯特速率轉換器，例如逐次漸近型 ADC 和過採樣 DTSD 轉換器。

然而，ADI 公司最近取得的技術突破能克服之前的許多限制。AD7134 是首款基於 CTSD 的高精度直流至 400 kHz 頻寬 ADC，可以實現更高的性能規格，同時提供直流精度，進而能夠解決高性能儀器儀錶應用中的多個關鍵的系統級問題。AD7134 也整合了一個非同步採樣速率轉換器 (ASRC)，能夠透過 CTSD 的固定採樣速度，以不同的資料數率提供資料。輸出資料速率可以不受調變器採樣頻率影響，且可以確保成功使用 CTSD ADC 實現不同細微性的輸送量。還可以在細微性級別靈活改變輸出資料速率，從而支援使用者使用相干採樣。

AD7134 的訊號鏈優勢

無混疊

固有的混疊抑制消除了對抗混疊濾波器的需求，由此減少了組件數量，且使解決方案尺寸更小。更重要的是，與抗混疊濾波器相關的性能問題都不復存在，例如下降、失調、增益誤差、相位誤差，以及系統中的雜訊等。

低延遲訊號鏈

抗混疊濾波器會根據抑制需求顯著增加訊號鏈的整體延遲。移除濾波器可以完全消除這種延遲，並在吵雜的數控迴路應用中實施精密轉換。

出色的相位匹配

無需在系統級配備抗混疊濾波器，使多通道系統的相位匹配性能得到了大幅提升。非常適合要求提供通道間低失配的應用，例如振動監測、功率測量、資料擷取模組和聲吶等。

可靠抵抗干擾

因為本身具有濾波功能，所以 CTSD ADC 不

受任何系統級干擾，以及 IC 內部干擾影響。對於 DTSD ADC 和 SAR ADC，則必須注意減少 ADC 採樣時的干擾。此外，因為本身具有濾波功能，所以電源線路也不會受干擾。

阻性輸入

因為具備恒定的阻性類比輸入和基準輸入，所以完全無需再使用專用的驅動器。此外，所有與性能相關的問題，例如失調、增益、相位誤差和系統雜訊誤差等都不復存在。

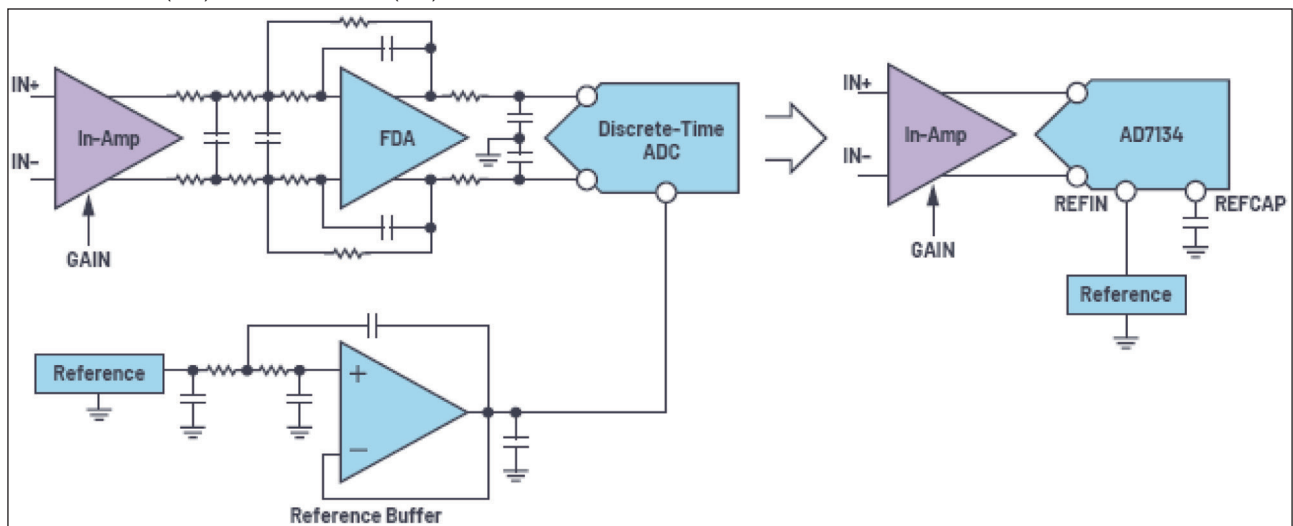
易於設計

因為設計元件的數量大幅減少，所以實現精密性能的難度也大大降低。從而可縮短設計階段，加快產品上市，簡化 BOM 管理，並提高可靠性。

尺寸

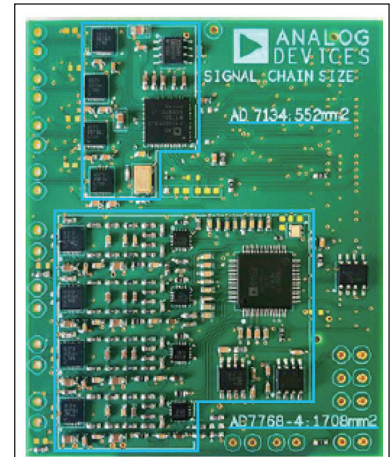
無需使用抗混疊濾波器、驅動器和基準緩衝器，使系統电路板的尺寸大幅減小。可以使用儀器儀錶放大器來直接驅動 ADC。對於 AD7134，因為它只是一個差分輸入 ADC，所以可以使用差分儀錶放大器（例如 LTC6373）作為驅動器。圖 14 中比較了離散時間訊號鏈和連續時間訊號鏈。實驗結果顯示，與等效離散時間訊號鏈相比，連續時間訊號鏈

圖 14：離散時間（左）訊號鏈和連續時間（右）訊號鏈比較。



可以節省 70% 的面積，因而非常適合高密度多通道應用。

圖 15：離散時間訊號鏈和連續時間訊號鏈尺寸比較。



結論

AD7134 可以輕鬆實現設計導入，大幅縮小系統尺寸，簡化訊號鏈設計，提高系統的可靠性，並縮短整

體上市時間，且不會降低精密儀錶應用的性能參數要求。

參考資料

- Kester, Walt. “MT-002：奈奎斯特準則對資料採樣系統設計有何意義。”ADI 公司，2009 年。
- Pavan, Shanti. “連續時間 $\Delta \Sigma$ 調製器使用開關電容回饋 DAC 實施混疊抑制。”IEEE 電路與系統論文集 I：正式論文，第 58 卷第 2 期，2011 年 2 月。
- Schreier, Richard、Gabor C. Temes. 瞭解 $\Sigma - \Delta$ 資料轉換器。John Wiley and Sons，2005 年。

CTA