

在嵌入式視覺系統設計中使用 FPGA 支援 MIPI

■文：萊迪思半導體公司 供文

過去幾年裡，嵌入式視覺應用大量湧現，包括從相對簡單的智慧視覺門鈴到執行隨機拾取和放置操作的複雜的工業機器人，再到能夠在無序、地形不斷變化的環境中導航的自主移動機器人 (AMR)。快速採用嵌入式視覺技術的行業包括汽車、消費電子、醫療、機器人、安防 / 監控以及大量工業應用。

如今，嵌入式視覺正逐漸應用於人工智慧 (AI) 和機器學習 (ML) 系統中，用來分析圖像和視頻流、檢測 / 識別人和物體以及從看到的景象中提取資訊，便於採取下一步行動 (關於 AI、ANN、ML、DL 和 DNN 的常見問題 1)。

本文首先介紹了當今嵌入式視覺設計一些趨勢。然後探討了現場可程式化邏輯閘陣列 (FPGA) 在嵌入式視覺系統中的應用。最後討論了使用萊迪思 (Lattice) 半導體的 CrossLink FPGA 創建嵌入式視覺系統。

嵌入式視覺的發展趨勢

推動嵌入式視覺設計的主要趨勢有：高解析度和高頻寬的需求持續增長，系統中視覺感測器和顯

示器的數量與日俱增，以及小尺寸和低功耗的要求不斷湧現。此外，將人工智慧 (AI) 和機器學習 (ML) 功能加入嵌入式系統也是大勢所趨，尤其是添加到靠近視覺感測器的本地端。

嵌入式視覺系統的另一個趨勢是介面標準的數量和種類不斷增長。表 1 列出了一些最常見的介面類別型。其中用於“模組內部”(inside the box)的標準(如設備內部)通常要求驅動幾公分到幾十公分大小的設備，而“模組之間”(box-to-box)的介面可能需要在幾米到幾百米甚至更大的設備間驅動視覺資料。

MIPI 簡介

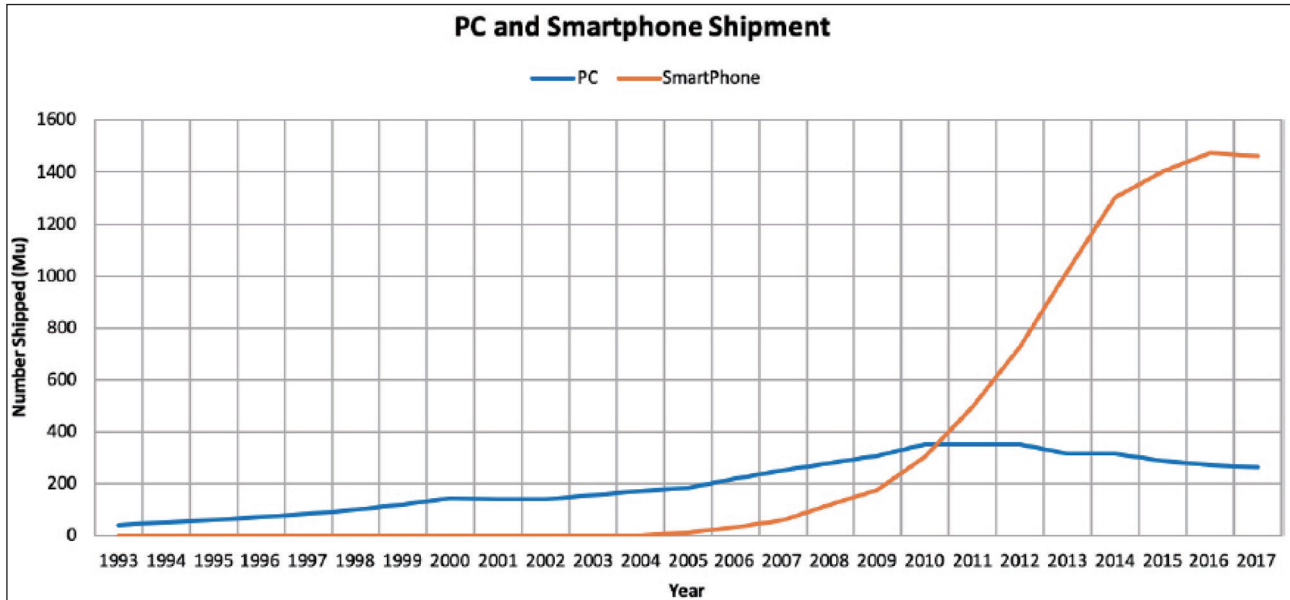
嵌入式視覺應用中 MIPI 的使用日益增多，尤其是 CSI-2 (攝影機 / 感測器) 和 DSI (顯示器) 協議，兩者均採用被稱之為 D-PHY 的 PHY。在頻寬和介面長度方面，MIPI 位於於 OpenLDI 和 eDP/DP (eDisplay Port 和 Display Port) 之間。

MIPI 聯盟是一家在全球擁有 250 名企業會員的國際組織。ARM、英特爾 (Intel)、諾基亞 (Nokia)、三星 (Samsung)、意法半導體 (STMicroelectronics)

表 1：常見影像介面

	嵌入式 (模組內部)				模組之間		
介面	RGB	OpenLDI	MIPI	eDP/DP	HDMI	USB	GigE
協議	Parallel	OpenLDI	CSI-2/DSI	DP	HDMI	USB	GigE
PHY	CMOS	LVDS	D-PHY	8b10b SERDES	8b10b TMDS	8b10b SERDES	8b10b SERDES

圖 1：PC 和智慧手機出貨量



資料來源：萊迪思半導體和產業分析師

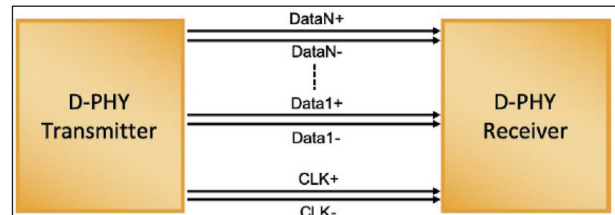
和德州儀器 (Texas Instruments) 於 2003 年創建 MIPI 聯盟，彼時 MIPI 是“行動產業處理器介面”的英文首字母縮略詞。然而，如今該組織的各類規範不僅適用於處理器互連，更能滿足一台設備上全部介面需求，所以 MIPI 不僅僅是首字母縮略詞，而是已經作為單獨的名稱使用。

為了瞭解更多有關 MIPI 流行的背景資訊，我們不妨回顧一下 1990 年代中期個人電腦 (PC) 剛開始流行的時期 (圖 1)。當時的 PC 使用的介面是外部元件互連標準 (PCI) 和通用序列匯流排 (USB)。這些低成本的 PCI 和 USB 技術隨後被各類不同的產品採用。

MIPI CSI-2 和 DSI-2 協議也是如此，它們最初用於智慧手機。自從 2007 年發佈首款 iPhone 以來，智慧手機急速增長，遠遠超過 PC。這推動了規模經濟，低成本的攝影機、顯示器和處理器元件開始湧現，它們開始廣泛用於各類非智慧手機應用和市場。(本文中的“處理器”可能是指 SoC 晶片、ASSP 和應用處理器等元件)

MIPI 採用的 D-PHY 介面 (如圖 2 所示) 使用一個差動時鐘和一到四個差動數據通道，支援的速度為 80 Mbps 到 2.5 Gbps。

圖 2：MIPI D-PHY 介面



MIPI 介面支援兩種運行模式：高速 (HS) 和低速 (LP)。該介面在發送器和接收器之間主要是單向傳輸，但是在某些低速通信情況下，能夠從接收器向發送器傳輸。

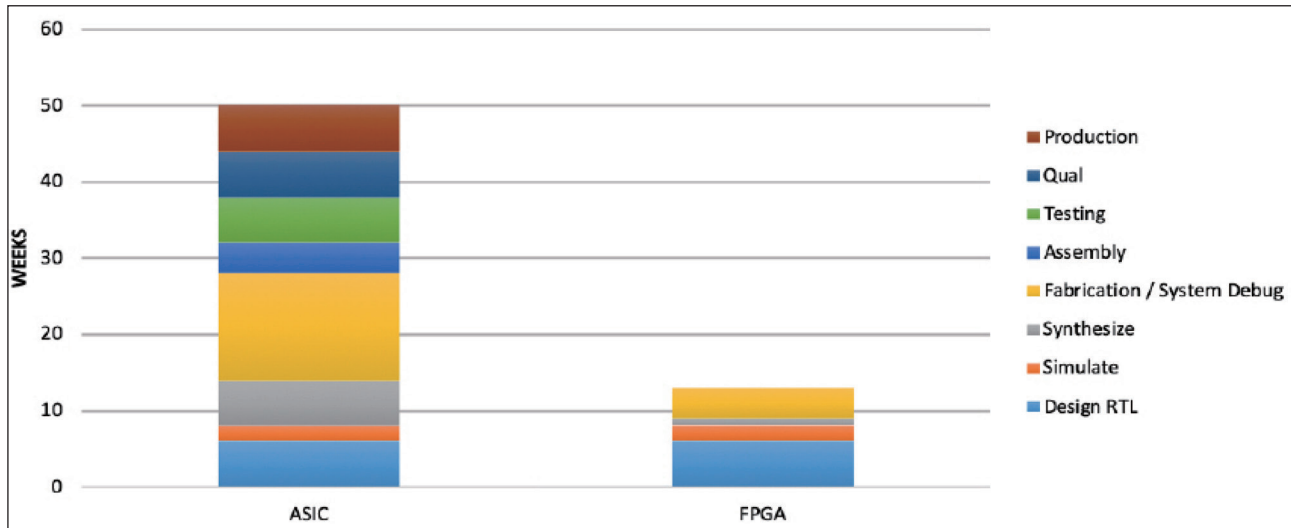
在嵌入式視覺設計中使用 FPGA

嵌入式視覺設計的一個重要特徵是其架構通常需要不斷調整以適應各種規範的變化，這就讓 FPGA 成為實現這類設計的理想選擇。

一個主要的考慮因素就是 ASIC/ASSP 和 FPGA 設計開發週期的差別，使用 FPGA 來實現設計 (圖 3)，可加快產品上市 (從而快速盈利)。

中型 ASIC/ASSP 從設計到量產其開發週期要將近一年。此外，由於設計規範不斷發生變化，期間還存在諸多風險 (在嵌入式視覺設計中非常常見)，再加之 ASIC/ASSP 的設計流程大多錯綜複雜，

圖 3：使用 FPGA 加速產品上市和盈利



這就意味著某個流程出現耽擱，會對其他流程產生連鎖的負面反應。

若採用 FPGA 實現設計，設計人員可採用經過市場檢驗的硬體，在現場重新配置，應對任何設計規範的變更。

從設計人員的角度來看，開發週期的最初階段（即在抽象的 RTL 階段捕獲設計）都是相同的，其餘步驟要麼相似，要麼所需時間和資源更少，要麼根本不需要。因此使用 FPGA 的總體優勢是在大約三分之一的開發時間內實現設備的正常工作。

從歷史角度看，一些嵌入式系統的設計人員認為 FPGA 是大尺寸、高功耗的元件，僅僅用於資料中心、通訊中心、醫學成像以及軍事等大型應用。

這些傳統的 FPGA 通常有幾十萬 LUT，功率高達 50-100 W，封裝尺寸可達 55 x 55 mm，通

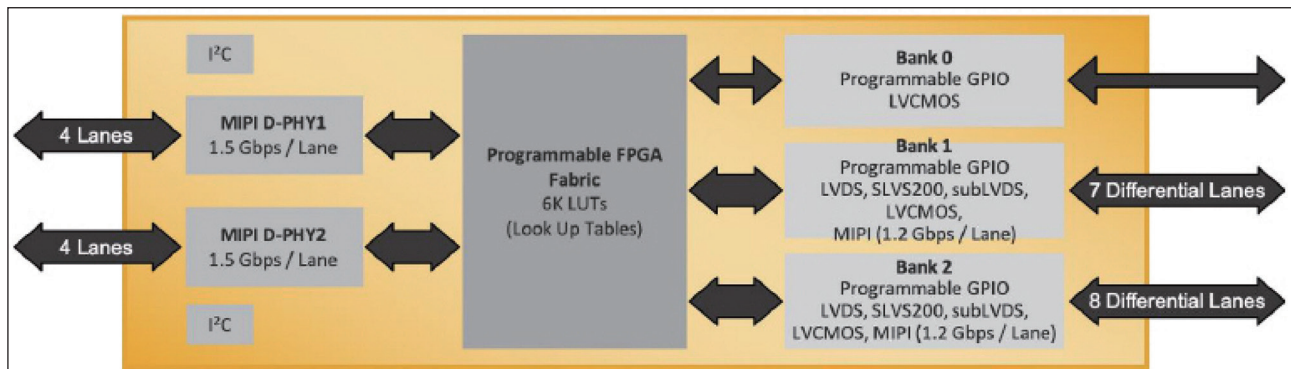
常配置散熱片。然而還有一些專門實現特定功能的 FPGA 產品，專注於要求小尺寸和低功耗的應用。例如萊迪思半導體提供這類小尺寸（從 10 x 10 mm，功耗 1 W 到 1.4 x 1.4 mm，功耗僅為 1 mW）的 FPGA 產品，滿足那些要求小尺寸和高能效應用的需求。

與小型 ASIC/ASSP 相比，這些功能導向的 FPGA 更容易快速開發、使用更靈活。此外，由於大多數通用 FPGA 旨在應用於工業和汽車等多個市場，它們通常都支援商用和工業溫度環境。而 ASIC/ASSP 大多被開發用於消費電子產品，對此類溫度環境的支援不太普遍。

CrossLink FPGA 簡介

萊迪思半導體主要提供四種 FPGA 產品系列：

圖 4：用於嵌入式視覺的 CrossLink FPGA 包括硬核 MIPI D-PHY，優化性能和設計



ECP、MachXO、iCE 和 CrossLink。ECP 系列包括了設計人員所一般認為的“傳統”FPGA——主要針對互連和加速應用的通用元件。MachXO FPGA 具有數百個可程式化輸入 / 輸出 (I/O)，非常適合需要 GPIO 擴展、介面橋接和電源管理功能的各類應用。iCE 系列是尺寸最小的超低功耗 FPGA，最小型號封裝尺寸僅為 1.4 mm x 1.4 mm，提供 18 個 I/O。

尤其值得一提的是針對高速影像和感測器應用進行了優化的 CrossLink FPGA。CrossLink FPGA 通過硬核 PHY 增強了其傳統的可程式化架構，提供業界最快的 MIPI D-PHY 橋接解決方案，支持高達 12 Gbps 和 4K UHD 解析度 (圖 4)。此外，CrossLink 元件提供 2.46 x 2.46 mm 的 WLCSP 小型封裝和 0.4 mm、0.5 mm 和 0.65 mm 球間距的 BGA 封裝。

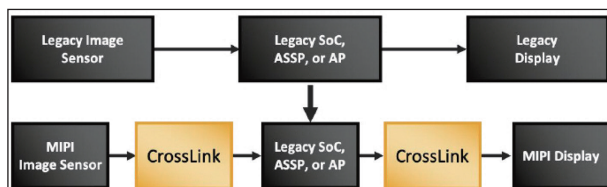
CrossLink FPGA 提供兩個 4 通道 MIPI D-PHY 收發器，每個 PHY 速率達 6 Gbps，還提供 15 個可程式化源同步 I/O 對，通過 LVDS、SLVS200、subLVDS、LVCMOS 和 OpenLDI(OLDI) 等介面標準實現攝像機和顯示器互連。此外，這些可程式化 I/O 可實現每通道速率最高 1.2 Gbps 的“軟 MIPI”介面，而 LVCMOS 可用於在本地實現並行 / RGB 介面。

應用案例

CrossLink FPGA 的應用包括感測器橋接、感測器複製、感測器聚合、顯示器橋接和顯示分割。這裡的“橋接”是指將視訊訊號從一種介面標準轉換為另一種。

在現有控制器上使用 MIPI 感測器和顯示器：一個典型的案例就是現有系統的 SoC、ASSP 或 AP

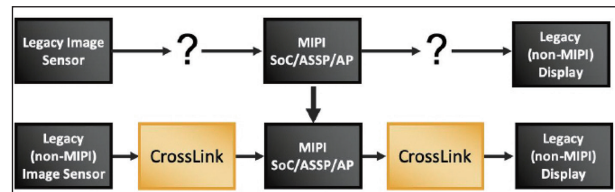
圖 5：使用 CrossLink FPGA 讓現有的 SoC、ASSP、AP 相容 MIPI 感測器和 / 或顯示器



不支持 MIPI，但是設計人員希望在保留原有處理器 (及代碼) 的同時對系統進行升級，新增更為高效、低功耗、基於 MIPI 的感測器和 / 或顯示器 (圖 5)。

在現有感測器和顯示器上使用 MIPI 控制器：當設計人員的 SoC、ASSP、AP 支持 MIPI，但是又希望使用原本的非 MIPI 感測器和顯示器系統時，也會面臨同樣的問題。工業領域的許多圖像感測器和顯示器都採用 LVDS、SUBLVDS 或平行介面。此外，許多傳統的感測器採用的是全域快門而非捲簾快門。這就推動了對更為複雜的橋接解決方案的需求。

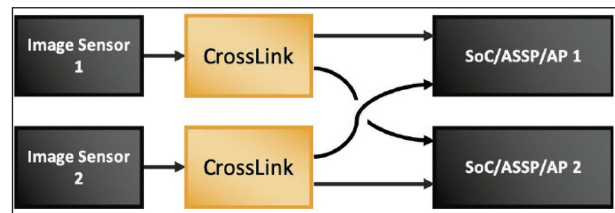
圖 6：使用 CrossLink FPGA 讓 MIPI 介面的 SoC、ASSP、AP 相容現有的非 MIPI 感測器 / 或顯示器



感測器資料複製：該應用的一個典型案例是，對安全性要求高的應用需要進行資料備份 (如智慧汽車)，因此來自感測器的影像輸入可能需要分成兩個資料流程，饋送到兩個單獨的處理器中 (和許多其他介面標準一樣，MIPI 是點對點的，因此不能將單個感測器直接連接多個處理器)。

這類應用的思路是，如果其中一個處理器發生故障，必須要有資料備份。此外，如果有多個感測器，每個感測器的資料流程都可以被拆分並饋送到多個處理器。當然，感測器複製可與橋接功能結合使用。圖 7 展示了一種可能的配置場景。

圖 7：使用 CrossLink FPGA 在對安全性要求高的系統中實現感測器資料複製



顯示器分割：當我們需要獲取由系統處理器生成的視訊訊號，並將該信號拆分連接到多個顯示器時，就需要用到顯示器分割的功能。它可以與橋接

功能結合使用。圖 8 展示了一種可能的配置場景。

感測器聚合：最後，我們來談談感測器聚合應用。正如本文以上所述，這一應用得以發展是因為系統中添加了越來越多的圖像感測器。問題在於某些處理器的感測器輸入數量有限，因此我們需要某

圖 8：使用 CrossLink FPGA 實現顯示器分割

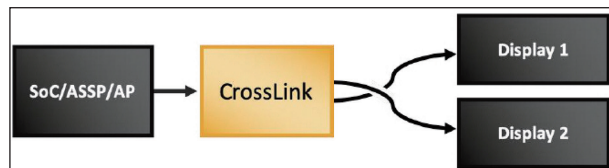


圖 9：使用 CrossLink FPGA 實現感測器聚合

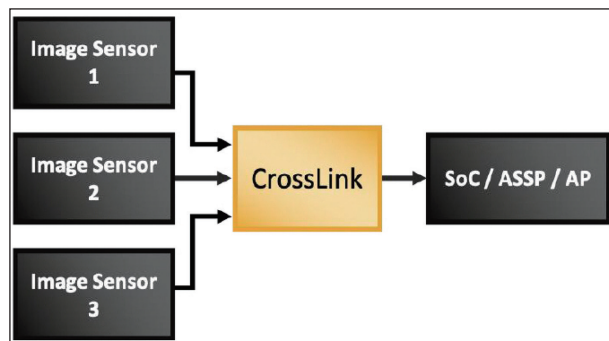


圖 10：作出架構方面的決定

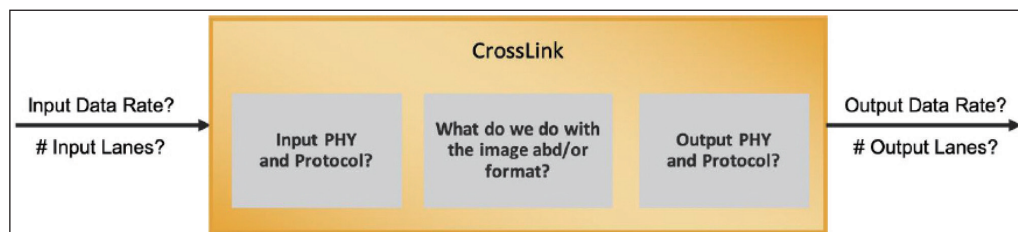


表 2：計算資料速率

解析度	畫面更新率 (Hz)	像素時鐘 (MHz)	顏色深度 (位)	總數率 (Mbps)	通道數量	通道速率 (Mbps)
HD (1280 x 720p) (1650 x 750)	60	74.25	10	742.50	1	742.50
			12	891	1	891
FHD (1920 x 1080p) (2200 x 1125)	60	148.50	8	1188	1	1188
			10	1485	2	742.50
UHD (3840 x 2160p) (4400 x 2250)	30	297	8	2376	2	1188
			10	2970	4	742.50
			12	3564	4	891
	60	594	8	4752	4	1188

* 可程式設計 I/O 的最大頻寬為 1.2 Gbps。

種方式來聚合來自多個感測器的資料。

當然，與感測器複製和顯示器分割一樣，感測器聚合也可以和橋接功能一起使用。

使用 CrossLink FPGA 進行設計

使用 CrossLink FPGA 進行設計時，要先問自己一些基本的問題，然後順著答案設計基本架構。例如，你打算使用什麼 PHY 和協定來輸入輸出影像訊號 (圖 10)？

這些決定大多和你所選擇的感測器和顯示器類型有關 (或者因為沒得選擇不得不使用這些類型)。還有一些影響因素就是即將使用的 SoC/ASSP/AP 處理器類型。反過來，對於上述問題的答案也會引導你思考如何處理圖像及其格式，包括是否要進行複製、聚合和拆分等操作。此外，一旦決定了輸入和輸出資料速率，就可以結合 PHY 和協議的選擇來決定你的設計要求多少輸入和輸出通道。

做出架構決策後，就可以根據下表來計算資料速率。例如，假設你選擇 60 Hz 畫面更新率，色深

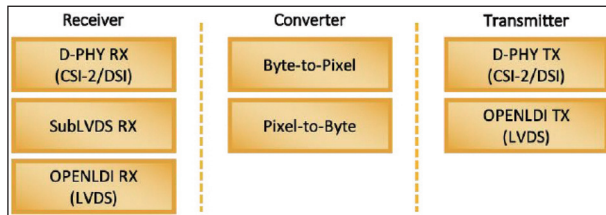
為 10 位元的全高清 (FHD) 信號 (也稱為 “RAW10”)，如表 2 所示。

我們通常認為 FHD 的解析度為 1920 x 1080 圖元，但實際解析度為 2200 x 1125，因為需要在行和幀之間添加消隱期。計算資料速率的公式為：總速率 = 水平時脈 * 垂直行數 * 畫面更新率 * 每像素位元數。在我們的範例中，這意味著總資料速率為 2200 x 1125 x 60 x

10 = 1485 Mbps (1.485 Gbps)。由於 CrossLink 可程式化 I/O 的最大頻寬為 1.2 Gbps，所以需要使用兩條通道，每條通道的速率為 742.5 Mbps。

CrossLink FPGA 可使用眾多影像模組化 IP，

圖 11：CrossLink 影像模組化 IP



平行介面僅在本地支持

圖 12：使用 CrossLink 實現 SubLVDS 到 MIPI CSI-2 的橋接

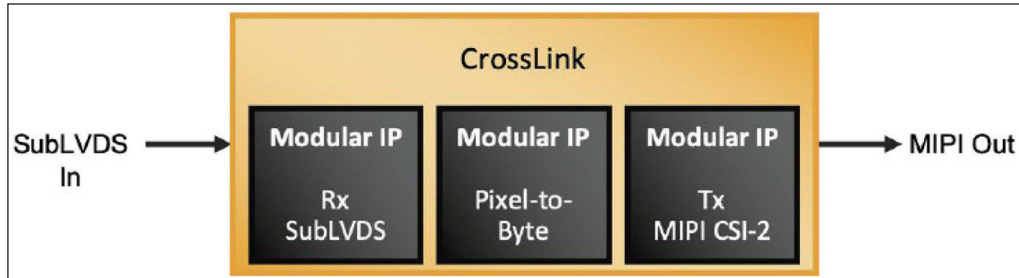


圖 13：使用 CrossLink 的像素轉位元組 IP 模組將 RAW10 轉換為 MIPI CSI-2

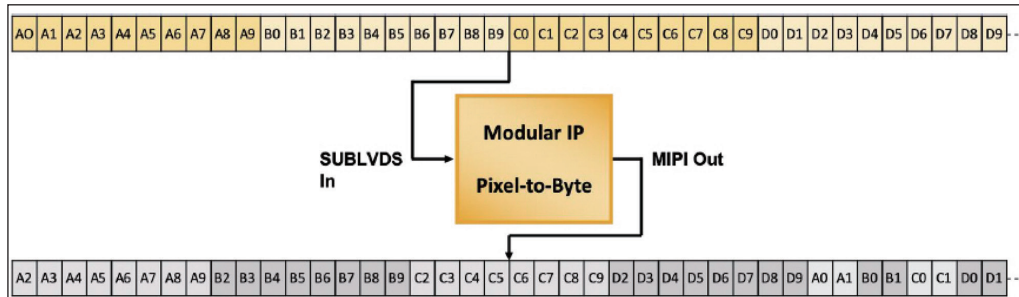
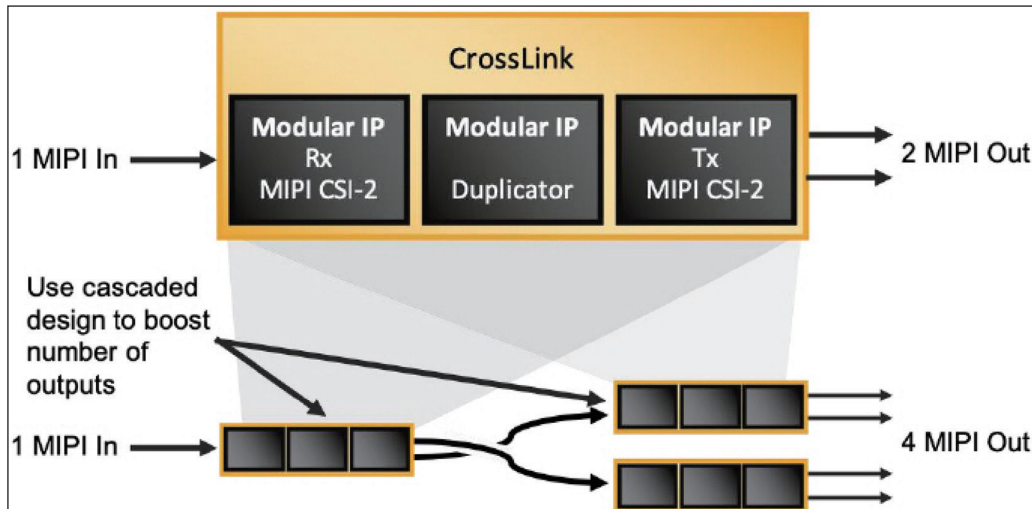


圖 14：MIPI 感測器複製案例



這些 IP 可免費使用，主要包括接收影像資料 (Rx)、發送影像資料 (Tx) 和時脈域轉換等 (參見圖 11)。

大多數設計都使用多個 IP 模組作為構建模組，然後設計人員通過 RTL 對模組進行加強。

一些設計人員看到這張圖可能會有這樣的疑問：當 CSI-2 是用來接收攝影機感測器的資料時，為什麼還要 MIPI CSI-2 發送器。同樣，當 DSI 被用於將資料傳輸到顯示幕時，為什麼還要 MIPI DSI 接收器。答案當然是可能需要執行複製、拆分和 / 或橋接功能。

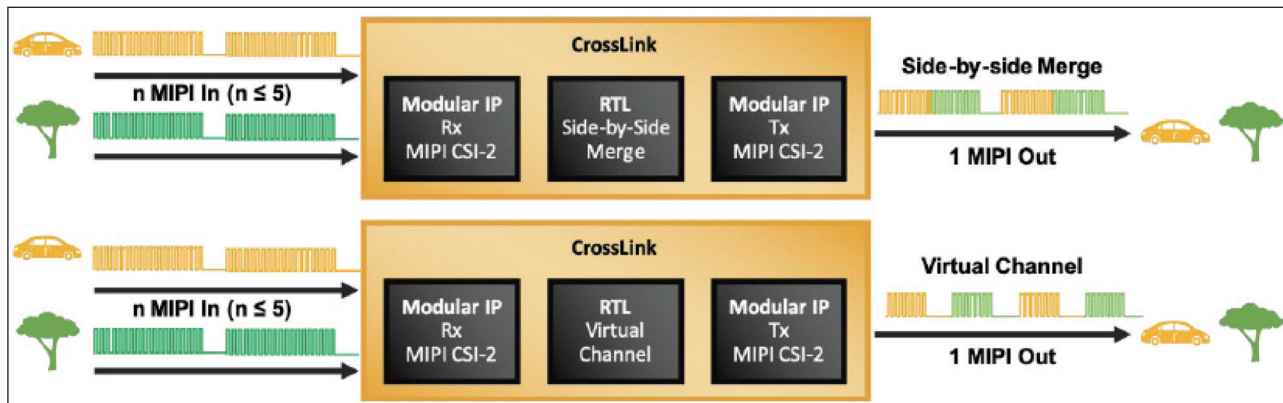
讓我們來看一個簡單的 SubLVDS 轉 MIPI

CSI-2 橋接案例。在此案例中，我們將使用 SubLVDS 接收器模組，像素到位元組轉換模組和 MIPI CSI-2 發送器模組 (圖 12)。

使用像素到位元組轉換的原因在於 LVDS 和 MIPI 格式的不同。假設 SubLVDS 輸入的色深為 10 位元 (RAW10)。而 MIPI 格式是基於 8 位元資料包。因此我們需要確定共同的位元長，即兩者的最小公倍數，這個案例中就是 40 位元 (圖 13)。

接下來我們來看一下 MIPI 感測器複製的案例。該應用使用了 MIPI CSI-2 接收器和 MIPI CSI-2 發送器。當 MIPI 幀經過 CrossLink 元件

圖 15：MIPI 感測器聚合案例



時，我們需要在接收和發送器之間用 RTL 代碼來複製 MIPI 幀。如果需要更多輸出，則可以使用多個 CrossLink FPGA 級聯來實現。

另一個常見的設計要求就是聚合多個視頻感測器資料流程。圖 15 展示了兩種場景：左右合併和虛擬通道。

兩個例子均為兩個 MIPI 輸入和一個 MIPI 輸出。實際上，Crosslink FPGA 能夠支持多個（最多 5 個）MIPI 輸入。當有兩個輸入時，輸出資料速率為輸入資料速率的兩倍。

在左右合併的案例中，輸出為線對線合併的圖像。

虛擬通道的概念在 MIPI 標準中已有定義。MIPI 是一種基於資料包的協定，也就是說每個資料包都包含了標頭檔和有效資料。在虛擬通道的案例

中，我們為每個輸出資料包打上標籤，然後交給下游的 SoC/ASSP/AP 負責。現階段大多數處理器還無法處理虛擬通道，但是這種方法有望在不久的將來大行其道。

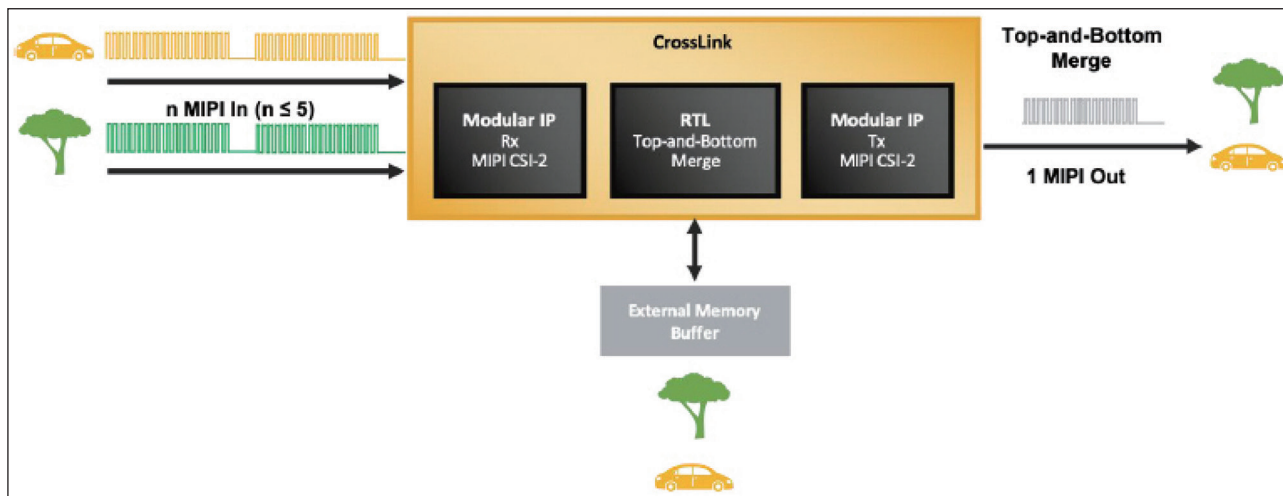
感測器聚合應用的另一種形式就是上下合併。在此情形下，從設計的角度來看，簡單地讓資料傳輸過去肯定行不通。而是要在通過 MIPI 發送器輸出之前存儲至少一幀圖像。因此選擇要存儲的幀數和外部緩存的大小就需要另作設計上的考量了。

這裡需要注意的是，一旦我們加入外部緩存，除了執行上下合併操作外，還可以進行其他影像處理操作，如旋轉和 / 或鏡像。

設計流程

設計流程由以下幾個要素構成（上標數位對應

圖 16：MIPI 感測器聚合上下合併案例



文末的參考來源)：

- RTL 設計²
- IP 庫³
- 模擬²
- 綜合²
- 硬體開發平臺^{4,5}
- 系統調試²
- 額外資源⁶

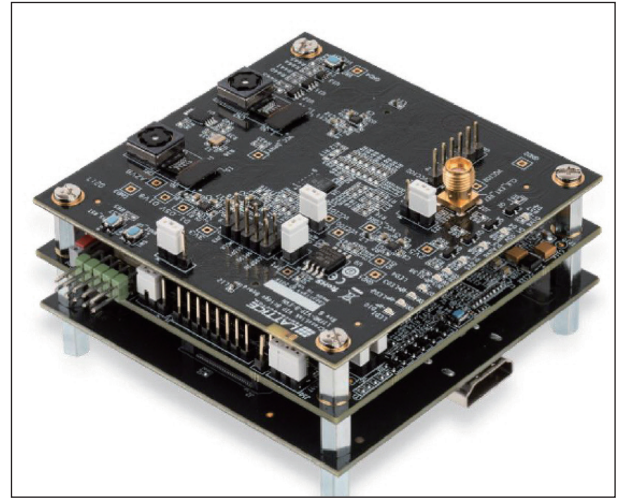
你可以使用 Lattice Diamond 運行 RTL 代碼、模擬和綜合設計。選擇適當的 CrossLink 元件後即可啟動項目。你可以在萊迪思 Clarity 這個 IP 函數庫中找到之前討論過的所有 CrossLink 影像模組化 IP。只需要在 Clarity 介面選擇要使用的 IP 模組，將其拖放到設計中即可。

Lattice Reveal 能助你為設計除錯。Reveal 具有兩個方面的功能：Reveal Inserter 和 Reveal Analyzer。Inserter 可以定義除錯信號產生器，而 Analyzer 可以將微型邏輯分析器嵌入到設計中，你可以指定觸發條件和要監測的信號。

這些訊號產生器和分析器包含在配置位元流中，位元流已載入到 CrossLink 元件中。可以使用整合的信號分析器顯示結果 (圖 17)。

萊迪思還提供多種硬體開發板，包括 LIF-

圖 18：萊迪思影像介面平臺 (VIP)

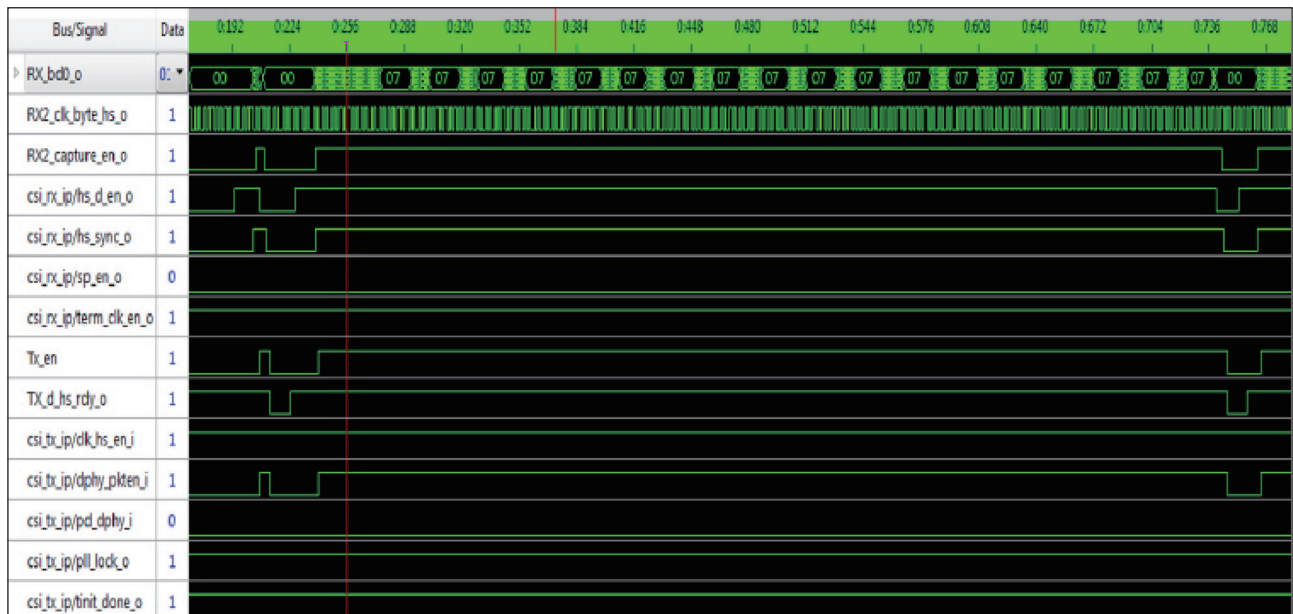


MD6000 主控連接板，該板搭載 CrossLink 晶片以及用於連接各類感測器、顯示器和 SoC/ASSP/AP 器件的連接器。

還有影像介面平臺 (VIP)，它由三塊開發板組成：具有兩個圖像感測器的 Crosslink VIP 輸入橋接板，用作圖像訊號處理器的 ECP5 VIP 板和可用於顯示輸出結果的 HDMI VIP 輸出板 (圖 18)。

你還可以選擇其他的開發板，包括 HDMI VIP 輸入板、DisplayPort VIP 輸入板、DisplayPort VIP 輸出板和 USB3-GbE VIP I/O 板。萊迪思提供各類

圖 17：萊迪思 Reveal 整合的除錯信號分析器截圖



開發板，助您探索和開發基於 CrossLink FPGA 的嵌入式視覺應用。

最後，萊迪思還提供三套參考設計，展示了下列應用的各個方面：

■ N：1MIPI CSI-2 虛擬通道聚合⁷

■ MIPI DSI/CSI-2 轉 OpenLDI LVDS 介面橋接⁸

■ SubLVDS 轉 MIPI CSI-2 圖像感測器橋接⁹

小結

過去幾年裡嵌入式視覺應用極速發展。嵌入式視覺系統的設計人員面臨的挑戰包括：對高解析度和高頻寬的需求持續增長，系統中視覺感測器和顯示器的數量與日俱增，以及小尺寸和低功耗的要求不斷湧現。此外，將人工智慧 (AI) 和機器學習 (ML) 功能加入嵌入式系統也是大勢所趨，尤其是添加到靠近視覺感測器的本地端。

萊迪思低功耗 CrossLink FPGA 專為高速影像和感測器應用優化。該元件在強化其傳統可程式化架構的基礎上，增加了硬核 PHY，可提供業界最快的 MIPI D-PHY 橋接解決方案。

萊迪思的產品組合包括了晶片、IP、參考設計、

開發套件和軟體工具，能為嵌入式視覺的設計人員提供靈活的解決方案，如更新介面的標準、高效的影像訊號處理以及硬體加速等。

參考資料

¹ <https://www.clivemaxfield.com/fundamentals-ai-anns-ml-dl-and-dnns/>

² <http://www.latticesemi.com/en/Products/DesignSoftwareAndIP/FPGAandLDS/LatticeDiamond>

³ http://www.latticesemi.com/view_document?document_id=52211

⁴ <http://www.latticesemi.com/en/Products/DevelopmentBoardsAndKits/EmbeddedVisionDevelopmentKit>

⁵ <http://www.latticesemi.com/en/Products/DevelopmentBoardsAndKits/CrossLinkLIFMD6000MasterLinkBoard.aspx>

⁶ <http://www.latticesemi.com/en/Products/FPGAandCPLD/CrossLink>

⁷ <http://www.latticesemi.com/en/Products/DesignSoftwareAndIP/IntellectualProperty/ReferenceDesigns/ReferenceDesign04/Nto1>

⁸ <http://www.latticesemi.com/en/Products/DesignSoftwareAndIP/IntellectualProperty/ReferenceDesigns/ReferenceDesign03/MIPIIDSI2OpenLDILVDS>

⁹ <http://www.latticesemi.com/en/Products/DesignSoftwareAndIP/IntellectualProperty/ReferenceDesigns/ReferenceDesign04/SubLVDS2MIPICSI2ImageSensorBridge> CTA

資策會攜手國內中小企業發表《數位轉型化育者》專書

因應數位科技與數位經濟的快速發展趨勢，財團法人資訊工業策進會（資策會）自 2018 年起便確立以「數位轉型的化育者 (Digital Transformation Enabler)」為新價值定位。為此，資策會特別在邁入 41 週年之際，日前正式公開集結 30 個「本土企業」的變革案例，出版《數位轉型化育者》專書，並秉持著協助各界數位轉型的公益角度，善盡社會責任，對外公開電子書 Qrcode，免費提供下載。

資策會執行長卓政宏特別強調，選擇免費公開此書讓所需的企業下載，希望透過分享 Know how 的方式，吸引更多業者共同加速創新變革的推動。未來資策會將持續精進本書所提及之案例，歡迎各界先進專家給予指導及建議，與大家齊心共襄盛舉。期盼由單一企業個案（點），擴展到領域產業（線），進而複製至上中下游產業形成生態系（面），來協助臺灣全面推動數位轉型。

數位轉型是持續性的工作，而推動數位轉型需要企業主的決心、資源的投入，甚至涉及企業組織與文化的改變，資策會將協同產官學研各界，建構完善的供給與需求機制，和中小企業並肩作戰，協助業者在產業價值鏈重塑過程中，找到一個核心的價值定位，進而塑造一個正向的良性循環的生態環境，促進各行各業加速創新與數位轉型，提升產業整體競爭力，創造更多商機。

專書免費下載網址：https://www.iii.org.tw/Publish/DTSPages.aspx?fm_sqno=86