

使用帶有片上高速網路的 FPGA 的八大好處

■文：Achronix 半導體公司 供文

引言

自從幾十年前首次推出 FPGA 以來，每種新架構都繼續在採用 bit-wise 的佈線結構。雖然這種方法一直是成功的，但是隨著高速通信標準的興起，總是要求不斷增加片上匯流排位元寬，以支援這些新的資料速率。這種限制的一個後果是，設計人員經常花費大量的開發時間來嘗試實現時序收斂，犧牲性能來為他們的設計佈局佈線。

傳統的 FPGA 佈線基於整個 FPGA 中水準和垂直方向上運行的多個獨立分段互連線 (segment)，在水準和垂直佈線的交叉點處帶有開關盒 (switch box) 以實現通路的連接。通過這些獨立段和開關盒可以在 FPGA 上構建從任何源到任何目的地的通路。FPGA 佈線的這種統一結構為實現任何邏輯功能提供了極大的靈活性，可用於 FPGA 邏輯陣列內的任何資料路徑位元寬。

儘管在 FPGA 中的按位來佈線非常靈活，但其缺點是每個段都會給任何給定的信號通路增加延遲。需要在 FPGA 中進行長距離傳輸的信號會導致分段之間的連接延遲，從而降低了功能的性能。按位佈線的另一個挑戰是擁塞，它要求信號路徑繞過擁塞，這會導致更多的延遲，並造成性能的進一步降低。

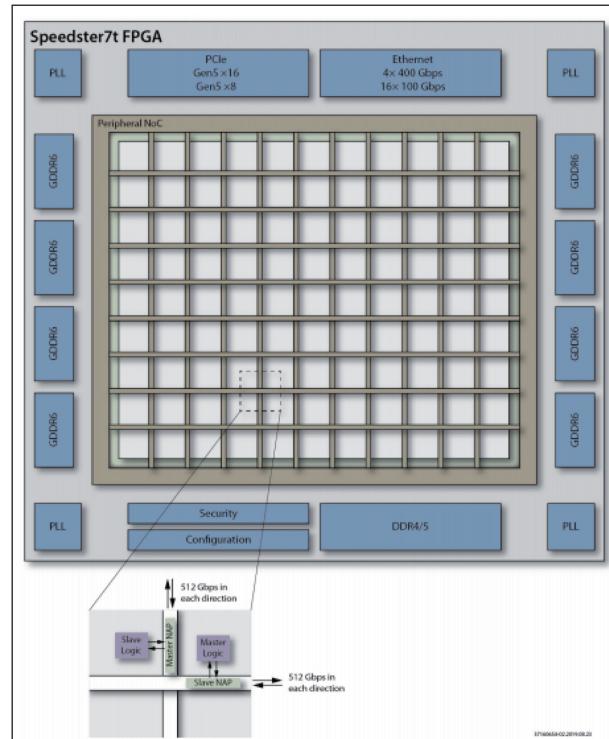
Achronix 將此挑戰視為一個開發全新架構的機會，以消除傳統 FPGA 的設計挑戰並提高系統性能。Achronix 的解決方案是在傳統分段式 FPGA 佈線結構之上，再為其全新的 Speedster7t FPGA 系列器件創建一個革命性的二維 (2D) 高速片上網路

(NoC)。Speedster7t NoC 連接到所有片上高速介面：400G 乙太網、PCIe Gen5、GDDR6 和 DDR4 / 5 的多個埠。

NoC 的內部由一組行和列組成，它們在整個 FPGA 邏輯陣列中將網路資料流程量從水準和垂直方向上進行分發。主 NAP 接入 (NAP) 點和從 NoC 接入點位於 NoC 的每一行和每一列交叉的位置。這些 NAP 可以是 NoC 和可程式設計邏輯陣列之間的源或目的地。

Speedster7t 的 NoC 似乎只對 FPGA 內部的佈線匯流排有所說明；但是，這種新型架構可以顯著

圖 1：Speedster7t 的片上網路 (NoC) 和介面



提高設計人員的工作效率，實現全新的設計功能，並提供了輕鬆實現密集型資料處理應用的能力。下面列舉了在效率提高、設計變更和性能提升方面最顯著的八種應用場景。

在整個 FPGA 的邏輯陣列中簡化高速資料分發

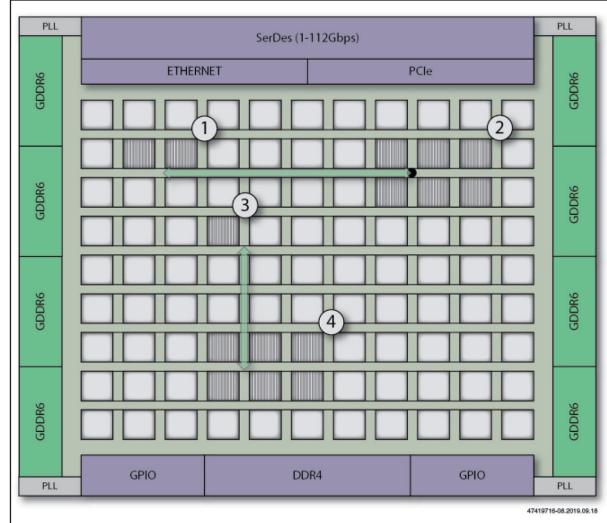
在傳統的各種 FPGA 架構中，對連接到 FPGA 的片外記憶體以及與之相連的外部高速資料來源進行雙向的讀 / 寫操作，需要資料在 FPGA 邏輯架構中經過一條較長且分段的路由路徑。這種制約不僅限制了頻寬，而且還會消耗在邏輯陣列中的使用者設計所需的佈線資源，這給 FPGA 設計人員在時序收斂方面帶來了挑戰，尤其是其他邏輯功能對器件利用率提高的時候。

使用 Speedster7t 的 NoC 將資料從外部源傳輸到 FPGA 和記憶體，比使用傳統的 FPGA 架構完成同樣的工作要容易得多。Speedster7t NoC 增強了 FPGA 陣列中傳統的可程式設計互連，其中的 NoC 就像一個疊加在城市街道系統上的高速公路網路。雖然 Speedster7t FPGA 中傳統的、可程式設計互連矩陣仍然適用於較慢的本地資料流程量，但 NoC 可以處理更具挑戰性的、高速的資料流程。

NoC 中的每一行或每一列都被實現為兩個 256 位的、以 2 GHz 固定時脈速率運行的單向資料通道。行具有東 / 西通道，列具有北 / 南通道，從而允許每個 NoC 行或列可以同時處理每個方向上 512 Gbps 的資料流程量。總而言之，這些通道可以通過編寫簡單的 Verilog 或 VHDL 代碼，在 FPGA 陣列中傳輸大量的資料，這些代碼支援 FPGA 與 NAP 通信並連接到 NoC 高速公路網路上。

下圖顯示了 NoC 中各個點之間的資料傳輸。點 1 和點 2 的邏輯分別產生實體了一個水準 NAP。NAP 可以發送和接收資料，但是每個單獨的資料流程都只是朝向一個方向。類似地，點 3 和點 4 的邏輯產生實體了一個垂直 NAP，並且可以在彼此之間發送資料流程。

圖 2：NoC 上跨過器件邏輯陣列的資料流程

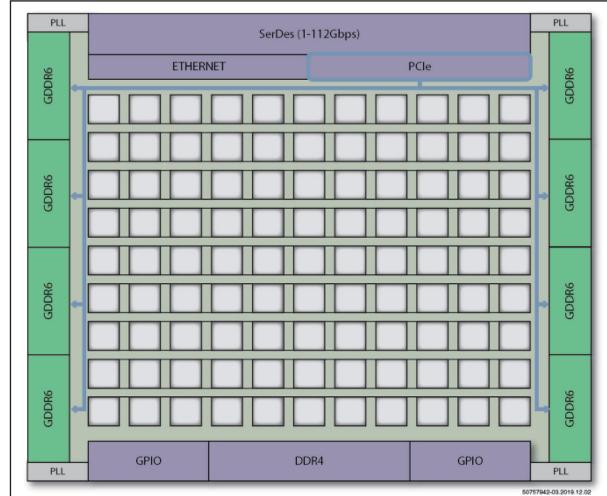


自動將 PCIe 介面連接到記憶體

在現在的 FPGA 中，設計人員在將高速介面連接至連有 FPGA 的記憶體件進行讀寫時，必須考慮在器件內由於連接邏輯、進行佈線、以及輸入和輸出信號的位置而產生的延遲。為了實現基本的介面功能，在設計過程中構建一個簡單的存儲介面通常就要花費大量的時間。

在 Speedster7t 架構中，將嵌入式 PCIe Gen5 介面連接到已連接的 GDDR6 或 DDR4 記憶體這項工作，可由週邊 NoC 自動處理，不需要設計人員編寫任何 RTL 來建立這些連接。由於 NoC 連接到所有的週邊 IP 介面，因此設計人員在將 PCIe 連接到

圖 3：將 PCIe 直接連接到 GDDR6 介面



GDDR6 或 DDR4 的任何一個記憶體介面時，都具有極大的靈活性。在下面的示例中，NoC 能夠提供足夠的頻寬，以持續支援 PCIe Gen 5 通信流連接到 GDDR6 記憶體的任意兩個通道。這種高頻寬連接無需消耗任何 FPGA 邏輯陣列資源即可實現，並且設計所需時間幾乎為零。使用者只需要啓用 PCIe 和 GDDR6 介面即可在 NoC 上發送事務。

在獨立的 FPGA 邏輯陣列模組上實現安全的局部重新配置

與其他基於靜態隨機存取記憶體 (SRAM) 的 FPGA 一樣，Speedster7t FPGA 必須在通電時進行配置。Speedster7t FPGA 具有一個片上 FPGA 配置單元 (FCU)，用於管理 FPGA 的初始配置和任何後續的局部重新配置。FCU 還被連接到 NoC，從而在配置 FPGA 時提供了更高的靈活性。使用 NoC 將配置位元流傳輸到 Speedster7t FCU，可以使用以前不可用的新方法來對 FPGA 進行配置。

在器件配置之前，Speedster7t NoC 可用於某些讀 / 寫事務：PCIe 至 GDDR6、PCIe 至 DDR4、最後是 PCIe 至 FCU。一旦 PCIe 介面被設置好，FPGA 就可以通過 PCIe 介面接收配置位元流 (bitstream)，並將其發送給 FCU 以配置器件的其餘部分。一旦到達 FCU，配置位元流被寫入 FPGA 可程式設計邏輯以配置器件。在器件被配置完成後，設計人員可以靈活地重新配置 FPGA 的某些部分 (局部重新配置)，以增加新的功能或提高加速性能，而無需關閉 FPGA。

新的局部重新配置位元流可以通過 PCIe 介面發送到 FCU，來重新配置器件的任何部分。當部分器件被重新配置時，通過在所需的區域中產生實體一個 NAP 與 NoC 進行通信，任何進出新配置區域的資料都可以在 Speedster7t1500 器件中被輕鬆訪問。NoC 消除了傳統 FPGA 局部重新配置的複雜性，因為使用者不必擔心圍繞現有邏輯功能進行佈線並影響性能，也不必擔心由於該區域中的現有邏輯而無法訪問某些器件的引腳。該功能節省了設計人員

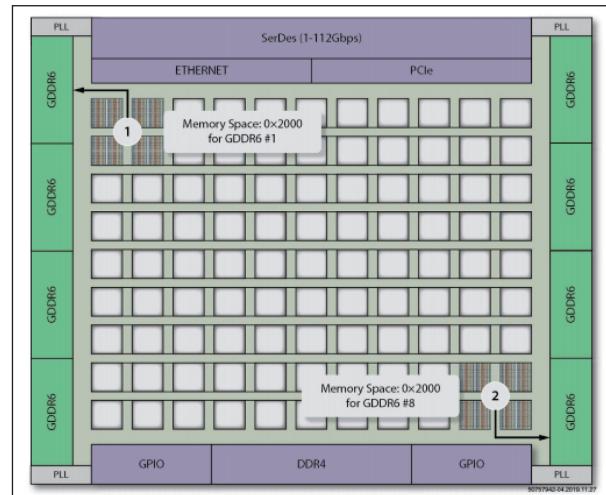
的時間，並在使用局部重新配置時提供了更大的靈活性。

此外，局部重新配置允許設計人員在工作負載變化時調整器件內的邏輯。例如，如果 FPGA 正在對輸入的資料執行壓縮演算法，並且不再需要壓縮，則主機 CPU 可以告訴 FPGA 重新配置，並載入經過優化的新設計以處理下一個工作負載。在器件仍處於運行狀態時，局部重新配置可以在邏輯陣列集群 (cluster) 級別上獨立完成。一個聰明的用例是開發一個具有自我感知的 FPGA，該 FPGA 通過使用一個軟 CPU 來監測器件操作以即時啓動局部重新配置，來關閉邏輯從而節省功耗，或在 FPGA 架構中添加更多加速器模組，以臨時處理大量的輸入資料。這些功能為設計人員提供了前所未有的配置靈活性。

輕鬆支援硬體虛擬化

Speedster7t NoC 通過利用 NAP 及其 AXI 介面，為設計人員提供了在單個 FPGA 中創建虛擬化安全硬體的獨特能力。將可程式設計邏輯設計直接連接到 NoC 只需要在邏輯設計中產生實體一個 NAP 及其 AXI4 介面即可。每個 NAP 還具有一個相關的位址轉換表 (ATT)，該表將 NAP 上的邏輯位址轉換為 NoC 上的物理位址。NAP 的 ATT 允許可程式設計邏輯模組使用本地位址，同時將 NoC 定向事

圖 4：使用 Speedster7t NoC 實現硬體虛擬化



務映射到 NoC 全域存儲映射所分配的位址。此項重新映射功能可以以多種方式使用。例如，它可以用於允許加速引擎的所有相同副本使用基於零的虛擬定址，同時將資料流程量從每個加速引擎發送到不同的物理存儲位置。

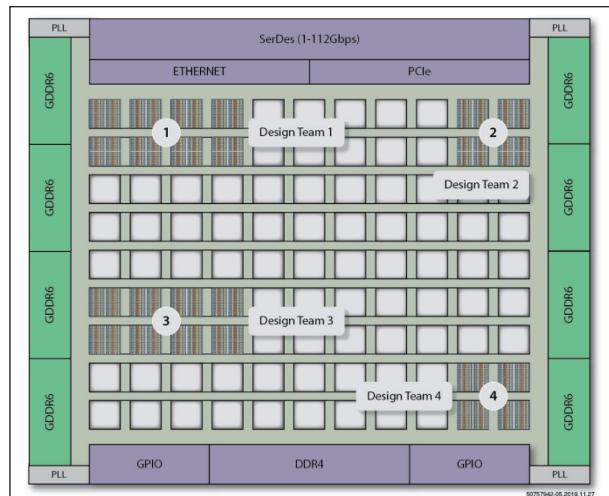
每個 ATT 條目還包含一個訪問保護位，以防止該節點訪問被禁止的位址範圍。該功能提供了一種重要的進程間安全機制，可防止同時在一個 Speedster7t FPGA 上運行的多個應用或多個任務干擾分配給其他應用或任務的存儲模組。這種安全機制還有助於防止由於意外、偶然甚至是故意的存儲位址衝突而導致系統崩潰。此外，設計人員可以使此方案阻止邏輯功能訪問整個存放裝置。

簡化團隊協同設計

基於團隊的協同化 FPGA 設計並不是一個新的概念，但是底層架構和佈線依賴於 FPGA 的其他部分，從而使得實現這個簡單概念非常具有挑戰性。一旦一個團隊完成了設計的一部分，另一個設計其他部分的團隊在嘗試訪問設備另一端的資源時，通常會遇到挑戰，因為需要在已經完成的設計部分進行佈線。同樣，對一部分已進行設計佈線的 FPGA 的區域或大小進行更改，可能會對所有其他 FPGA 設計模組產生連鎖影響。

使用 Speedster7t NoC，可以將設計模組映射

圖 5：致力於開發同一個 FPGA 的多個設計團隊

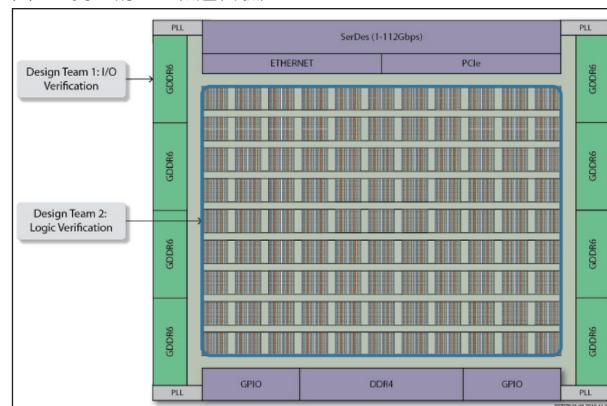


到 FPGA 的任何部分，並且可以對資源配置進行更改，而不會影響其他 FPGA 模組的時序、佈局或佈線。由於器件中所有的 NAP 都支援每個設計模組無限制地訪問 NoC 進行通信，因此使得基於團隊的設計成為可能。因此，如果一個設計的某個部分在規模上有所增大，只要有足夠的 FPGA 資源可用，資料流程就會由 NoC 自動管理，從而使設計人員不必擔心是否滿足時序，以及對其他團隊成員正在進行的設計的其他部分可能帶來的後續影響。

通過獨立的介面和邏輯驗證加快設計速度

Speedster7t NoC 的另一個獨特功能是支持設計人員獨立于使用者邏輯去配置和驗證 I/O 連接。例如，一個設計團隊可以驗證 PCIe 至 GDDR6 的介面，而另一個設計團隊可以獨立地驗證內部邏輯功能。這種獨立操作之所以能夠實現，是因為 NoC 的週邊部分連接了 PCIe、GDDR6、DDR4 和 FCU，而不會消耗任何 FPGA 資源。這些連接可以在不使用任何 HDL 代碼的情況下進行測試，從而可以同時獨立地驗證介面和邏輯。該功能消除了驗證步驟之間的依賴關係，並實現了比傳統 FPGA 架構更快的總體驗證速度。

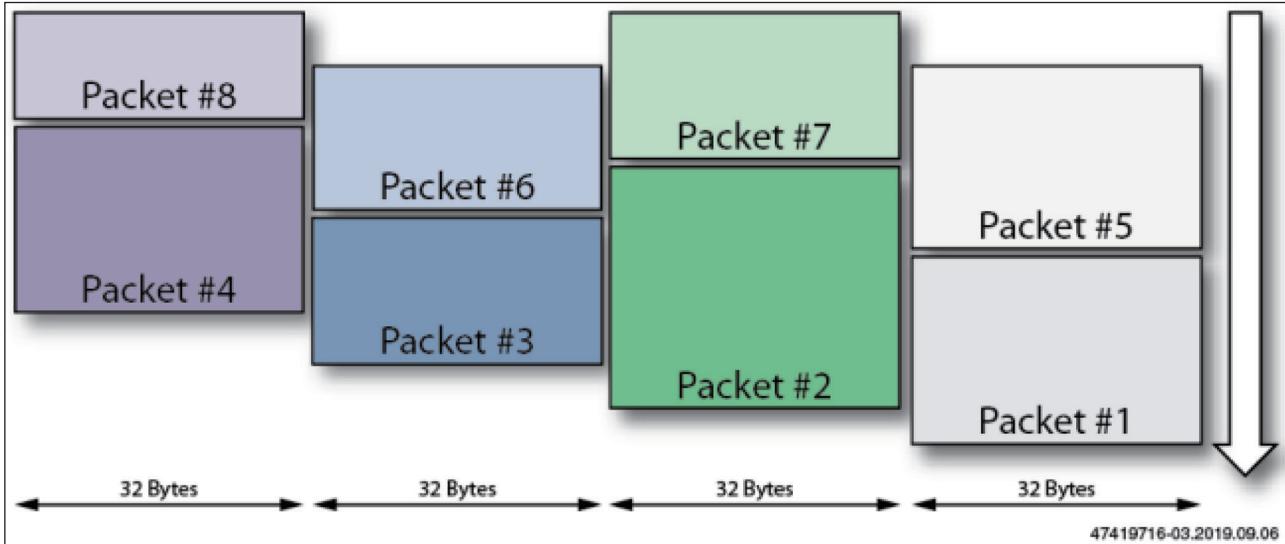
圖 6：獨立的 I/O 和邏輯驗證



採用封包模式 (Packet Mode) 簡化 400 Gbps 乙太網應用

在 FPGA 中實現高速 400 Gbps 乙太網資料通

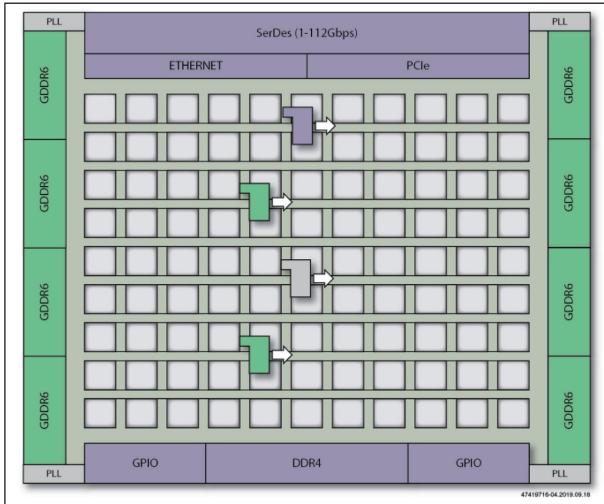
圖 7：封包模式下的資料匯流排重排



路所面臨的挑戰是找到一種能夠滿足 FPGA 性能要求的匯流排元寬。對於 400G 乙太網，全頻寬運行的唯一可行選擇是運行在 724 MHz 的 1,024 位元匯流排，或運行在 642 MHz 的 2,048 位元匯流排。如此寬的匯流排難以佈線，因為它們在 FPGA 架構內消耗了大量的邏輯資源，即使在最先進的 FPGA 中也會在這樣的速率要求下產生時序收斂挑戰。

但是，在 Speedster7t 架構中，設計人員可以使用一種稱為封包模式 (packet mode) 的新型處理模式，其中傳入的乙太網流被重新排列為四個較窄的 32 位元組資料包，或者四條獨立的以 506 MHz 頻率運行的 256 位元匯流排。這種模式的優點包括：

圖 8：使用分組模式的 400 Gbps 乙太網

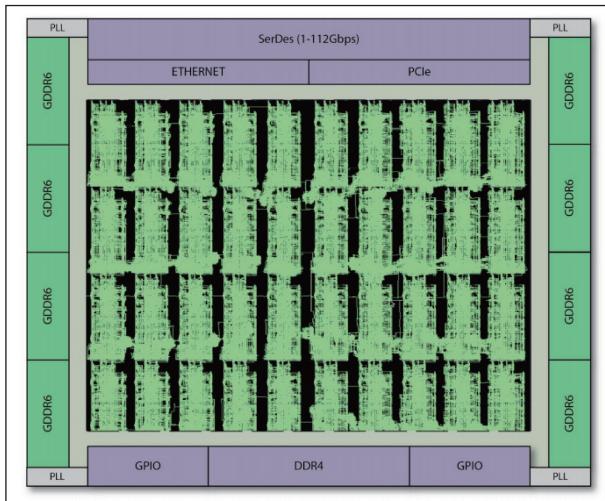


當資料包結束時減少了位元組的浪費，並且可以平行傳輸資料，而不必等到第一個資料包完成後才開始第二個資料包的傳輸。Speedster7t FPGA 架構的設計旨在通過將乙太網 MAC 直接連接到特定的 NoC 列，然後使用用戶產生實體的 NAP 從 NoC 列連接到邏輯陣列中，從而啓用分組模式。使用 NoC 列，資料可以沿著該列被發送到 FPGA 架構中的任何位置，以便進一步處理。使用 ACE 設計工具配置封包模式，可大大簡化使用者設計，並在處理 400 Gbps 乙太網資料流程時提高了效率。

降低邏輯佔用並提高整體 FPGA 性能

與以前的傳統 FPGA 相比，Speedster7t NoC 具有更大的靈活性和更簡單的設計方法。一個潛在的好處是 NoC 會自動減少給定設計所需的邏輯量，設計可以使用 NoC 代替 FPGA 邏輯陣列來進行模組間佈線。ACE 設計工具自動管理將設計單元連接到 Speedster7t NoC 的複雜性，因此設計人員無需編寫 HDL 代碼即可實現生產率。這種方法簡化了實現時序收斂的耗時挑戰，同時又不會由於 FPGA 邏輯陣列內的佈線擁塞而降低整體應用性能。NoC 還可以在不犧牲 FPGA 性能的情況下提高器件利用率，並且可以顯著增加可用於計算的查閱資料表 (LUT) 數量。

圖 9：一個帶有 40 個二維卷積模組實例的 Speedster7t 器件



為了強調這一優勢，我們創建了一個支援二維輸入圖像卷積的示例設計。每個模組都使用 Speedster7t 機器學習處理器 (MLP) 和 BRAM 模組，每個 MLP 在一個週期內執行 12 次 int8 乘法。將 40 個二維卷積模組連結在一起，以利用器件中幾乎所有可用的 BRAM 和 MLP 資源。總共有 40 個二維卷積示例設計實例並行運行，使用了 94% 的 MLP、97% 的 BRAM、但僅使用了 8% 的 LUT。在總的可用 LUT 中，其餘 92% 的 LUT 仍可被用於其他功能。

隨著更多的實例被內置於器件中，單個單元模組的最高頻率 (FMAX) 不會降低。該設計能夠保持性能，因為進出每個二維卷積模組的資料可以直接

從連接到 NoC 的 NAP 訪問 GDDR6 記憶體，而無需通過 FPGA 邏輯陣列進行佈線。

結論

Speedster7t NoC 實現了 FPGA 設計過程的根本轉變。Achronix 是第一家實現二維片上網路 (2D NoC) 的 FPGA 公司，該 2D NoC 可以連接所有的系統介面和 FPGA 邏輯陣列。這種新型架構使 Achronix 公司的 FPGA 特別適用於高頻寬應用，同時顯著提高了設計人員的生產率。由於 NoC 管理了 FPGA 中設計的資料加速器和高速資料介面之間的所有網路功能，因此設計人員只需要設計其資料加速器並將其連接到 NAP 原語即可。ACE 和 NoC 負責其他所有事務。通過使用 NoC，FPGA 設計人員將受益於：

- 在整個 FPGA 邏輯陣列中簡化高速資料分發
- 自動將 PCIe 介面連接到記憶體
- 在獨立的 FPGA 邏輯陣列模組上實現安全的局部重新配置
- 輕鬆支援硬體虛擬化
- 簡化團隊化設計
- 通過獨立的介面和邏輯驗證加快設計速度
- 採用分組模式簡化 400 Gbps 乙太網應用
- 降低邏輯佔用並提高整體 FPGA 性能 

ANSYS 推出「模擬藝術」影像競賽 尋找展現工程模擬超能力的優質影像

Ansys 慶祝成立 50 周年，特別舉辦首屆「模擬藝術 (Art of Simulation)」影像競賽，頌讚其客戶和學生群體的成就。該競賽將聚焦於引人注目的優質模擬設計，並展現 Ansys 用戶如何運用模擬作為虛擬超能力，打造新一代創新產品。

Ansys 邀請使用者繳交運用 Ansys 模擬解決方案創造的設計，這些設計涵蓋物理關鍵領域的 16 個類別，包含流體、電磁、光學、系統、3D 設計、結構、半導體、嵌入式、多物理場等。Ansys 評審委員會將在各類別的參賽作品中挑選前十名進入準決賽。這些作品將進入第二輪投票，讓全球 Ansys 用戶都能根據作品的獨特性、模擬應用實用性、以及其視覺衝擊性，在線上投票選出優勝者。

優勝影像將於 Ansys 網站、新聞中心和社群頻道展示，亦可能運用於未來 Ansys 的數位活動與 Ansys 刊物內。優勝者將獲得肯定其成就的卓越獎杯和數位獎章。

參賽者可於美東標準時間 2020 年 6 月 10 日至 10 月 2 日下午 5 點前繳交擷取的高畫質模擬影像。群衆公開投票時間為美東標準時間 2020 年 10 月 19 日上午 8 點至 11 月 13 日下午 5 點。得獎者將於 2020 年 12 月初收到通知。

完整報名和參賽資格資訊請參閱：<https://www.ansys.com/other/art-of-simulation>