

一種直接測量運算放大器 輸入差分電容的方法

■ 作者：Glen Brisebois / ADI 訊號處理部門應用工程師
Arthur Alfred Roxas /
線性產品及解決方案部門產品應用工程師

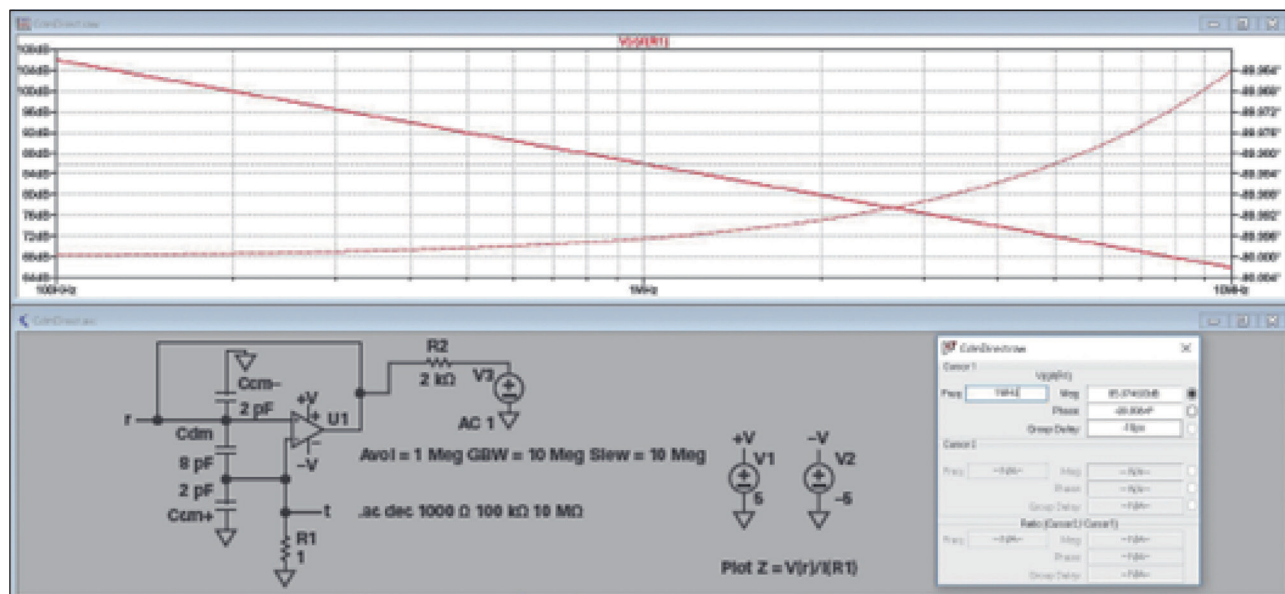
簡介

輸入電容可能會成為高阻抗和高頻運算放大器 (op amp) 應用的一個主要規格。值得注意的是，當光電二極體的結電容較小時，運算放大器的輸入電容會成為雜訊和頻寬問題的主導因素。運算放大器的輸入電容和回饋電阻在放大器的響應中產生一個極點，從而影響穩定性並增加較高頻率下的雜訊增益。因此，穩定性和相位餘裕可能會降低，輸出雜訊可能會增加。實際上，以前的一些 C_{DM} (差模電容) 測量技術依據的是高阻抗反相電路、穩定性分析以及雜訊分析。這些方法可能會非常繁瑣。

在諸如運算放大器之類的回饋放大器中，總

有效輸入電容由 C_{DM} 與負輸入共模電容 (或對地的 C_{CM-}) 並聯組成。 C_{DM} 難以測量的原因之一，是運算放大器的主要任務是防止兩個輸入不相關。與測量 C_{DM} 的難度相比，直接測量對地的正輸入共模電容 C_{CM+} 相對容易一些。在運算放大器的同相針腳上放置一個較大的串聯電阻並施加正弦波或噪音源，就可以使用網路分析儀或頻譜分析儀來測量由運算放大器輸入電容而產生的 -3 dB 的頻率響應。假定 C_{CM+} 和 C_{CM-} 相同，特別是對於電壓回饋放大器。但是，這些年來，測量 C_{DM} 變得日益困難；運算放大器的固有特性會迫使其輸入相等，從而自舉 C_{DM} ，因此所使用的各種不同的技術都無法令人滿

圖 1：直接測量 LTspice 中的 C_{DM} 阻抗。繪製 $V(r)/I(R1)$ 曲線以獲得阻抗。在本例中，在 1 MHz 頻率下， -89.996° 時 Z 為 $19.89437\text{ k}\Omega$ ($10^{(85.97/20)}$)，利用公式 $C = 1/(2\pi \times Z \times \text{Freq})$ ， Z 正好為 8 pF 。



意。當輸入被強制分開並進行電流測量時，輸出將試圖進行對抗。檢測 C_{DM} 的傳統方法是間接測量，該方法依賴於相位裕度的降低，且因並聯使用 C_{CM-} 等其他電容而變得更複雜。

我們希望待測運算放大器能夠像客戶平時的使用法一樣，在閉迴路條件下正常運行並執行功能。建議的一種可行方法是分離輸入並進行輸出削波，但是這可能會使內部電路無法工作（取決於運算放大器拓撲），因此實測電容可能無法反映實際工作電容。在這種方法中，不會對輸入進行過度分離，以避免輸入級的非線性以及過多的輸出擺幅或削波。本文將介紹一種簡單直接的 C_{DM} 測量方法。

測量 C_{DM} 的新方法

我們決定只使用增益為 1 的緩衝電路，並使用電流源激勵輸出和反相輸入。輸出和反相輸入將僅在運算放大器允許的範圍內變動。在低頻下，輸出的變動很小，因此透過 C_{DM} 的電流會很小。而在過高頻率下，測試可能會無效，況且結果也沒有幫助。但在中頻下，運算放大器的增益頻寬會下降，但不至於太低，輸出變動仍可提供足夠大的電壓激勵和可測量之通過 C_{DM} 電流。

LTspice 的本底雜訊幾乎不受限制，因此可以進行簡單的測試模擬，如圖 1 所示。當發現該技術在 LTspice 中相當準確有效後，接下來的問題，就是「我是否能在現實世界中獲得足夠的 SNR 以進行良好的測量？」

該相位角幾乎等於 -90° ，這表明阻抗是容性的。

2 pF 共模電容不會破壞測量，因為 C_{CM-} 不在路徑中，且 $1/(2 \times \pi \times \text{Freq} \times C_{CM+}) \gg 1 \Omega$ 。

挑戰：找到合適的設備和實際測試設定

如圖 1 所示，將 2 k Ω 電阻串聯在運算放大器的輸出端，以將激勵從電壓源轉換為

電流源。這將允許節點“r”中存在小電壓（它不會與在運算放大器的同相針腳中所看到的電壓相差太遠），並將導致小電流流入待測 C_{DM} 的輸入端之間。當然，現在的輸出電壓很小（由待測元件 (DUT) 進行緩衝），而且 C_{DM} 中的電流也很小（在本模擬中為 57 nA），因此在工作台上使用 1 Ω 電阻進行測量將很困難。LTspice.ac 和 LTspice.tran 模擬沒有電阻雜訊，但現實世界中的 1 Ω 電阻具有 130 pA/ $\sqrt{\text{Hz}}$ 的雜訊，從我們預期的 57 nA 電容電流中只能產生 57 nV 訊號。進一步的模擬說明了，採用 50 Ω 或 1 k Ω 代替 R1，並不會使目標頻寬範圍內頻率下流入 C_{CM+} 的損耗電流過大。為了獲得比簡單電阻更好的電流測量技術，可使用跨阻放大器 (TIA) 來代替 R1。TIA 輸入會連接到運算放大器的同相針腳，在該針腳上需要電流，同時電壓固定為虛擬對地以消除 C_{CM-} 中的電流。事實上，這正是 Keysight/Agilent HP4192A 等四埠阻抗分析儀的實現方式。HP4192A 可以在 5 Hz 至 13 MHz 的頻率範圍內進行阻抗測量。市場上採用相同阻抗測量技術的一些新設備，包括具有 10 Hz 至 120 MHz 範圍的 E4990A 阻抗分析儀和具有 20 Hz 至 2 MHz 範圍的精密 LCR 表（如 Keysight E4980A）。

如下面圖 2 測試電路所示，由於阻抗分析儀內部的 TIA，運算放大器的同相針腳保持虛擬對地狀態。正因如此， C_{CM+} 的兩個端子都被視為處於地電位，因此不會影響測量。DUT 的 C_{DM} 兩端產生的小電流將流經 TIA 的回饋電阻 R_f ，然後由內部電壓表進行測量。

任何使用自動平衡電橋 1 阻抗測量方法的四埠

圖 2： C_{DM} 測試電路。

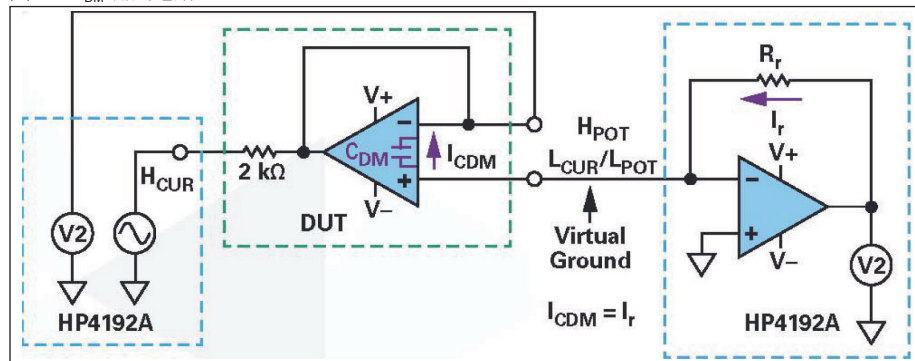
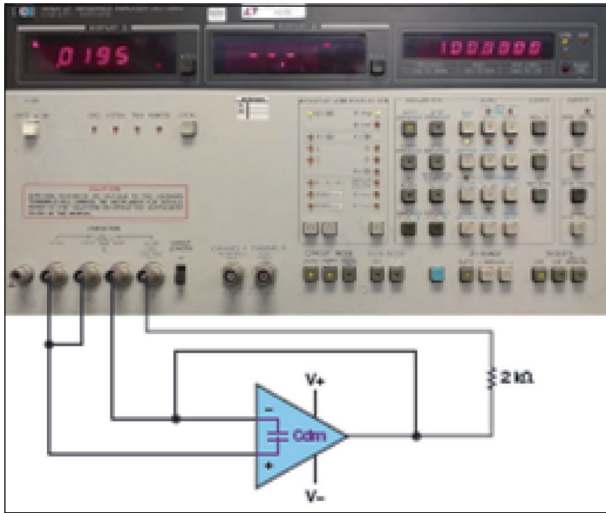
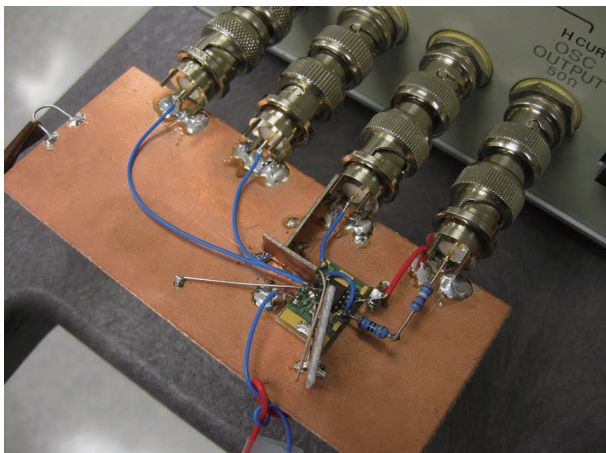


圖 3：C_{DM} 直接測量方法的測試設置。

設備都是測量 C_{DM} 的合適選擇。它們設計為從內部振盪器產生正弦波，該內部振盪器以零為中心點，具有正負擺幅，可用於雙電源供電。如果運算放大器 DUT 由單電源供電，則應調整偏置功能，以使訊號不會發生對地削波。圖 3 中使用了 HP4192A，並顯示了與 DUT 的詳細連接。

圖 4 顯示了確切的測試設置，以使電路板和連線對 C_{DM} 的寄生電容貢獻極小。任何通用電路板均可用於低速運算放大器，而高速運算放大器則需要更嚴格的 PCB 板佈局。垂直接地的銅分隔板能確保輸入端和輸出端看不到與 DUT CDM 平行的其他場路徑。

圖 4：HP4192A 設置電路板演示。右側為通過 2 kΩ 的激勵和電壓回讀。所用 DUT 是貼於 LB2223 實驗板上的 8 針腳 SO 封裝的 LT1792。TIA 位於 HP4192A 內部的左側。



結果與討論

首先，在測量電路板的板電容時沒有使用 DUT。圖 4 所示電路板的測量條件是 16 fF 電容且沒有 DUT。這是一個相當小的電容，可以忽略不計，因為通常 C_{DM} 的預期值為幾百至幾千 fF。

使用這種新的 C_{DM} 測量技術可以測量大多數 JFET 和 CMOS 輸入型運算放大器。為了進一步說明該方法，可以測量低雜訊精度 JFET 運算放大器 LT1792 為例，下表列出了在一定頻率範圍內的阻抗 (Z)、相位角 (θ)、電抗 X_S 和 C_{DM} 的計算值。當相位角為 -90° 時，阻抗表現為純容性。

表 1：電源為 ±15 V 時，LT1792 在不同頻率下的阻抗測量

頻率	Z (kΩ)	θ	X _S (kΩ)	C _S = C _{DM} = 1 / (2 × π × X _S × Freq) (pF)
500 kHz	33	-89°	-32.9	9.7
600 kHz	27	-90°	-26.9	9.8
700 kHz	22.6	-90°	-22.6	10
800 kHz	19.65	-90°	-19.7	10.1
900 kHz	17.4	-90°	-17.4	10.2
1 MHz	15.64	-89.9°	-15.6	10.2
2 MHz	7.76	-89.8°	-7.76	10.25
3 MHz	5.1	-90°	-5.1	10.4
4 MHz	3.74	-90°	-3.74	10.6
5 MHz	2.92	-90°	-2.92	10.9

上述表 1 提供了在 500 kHz 至 5 MHz 頻率範圍內的測量結果。在該頻率範圍內的相位接近於純容性 (相位角為 -89° 至 -90°)。同時，電抗 X_S 決定了總輸入阻抗，即 Z ≈ X_S。CDM 的計算平均值約為 10.2 pF。最高測量頻率為 5 MHz，因為該元件頻寬僅可達 5.6 MHz。更低頻率下的結果變得非相干。推測這是由於運算放大器的行為使輸出電壓降低，C_{DM} 電流迅速消滅，同時 X_S 阻抗在低頻時變大。

還應在每個階躍頻率處檢查運算放大器的輸出，以確保它不會被阻抗分析儀產生的訊號過驅。來自 HP4192A 的該訊號幅度可在 0.1 V 至 1.1 V 範圍內調節，這剛好足以在運算放大器的輸出中產生擺動，並使反相輸入針腳中的電壓位準略微發生變

動。圖 5 顯示了頻率為 800 kHz 時，運算放大器輸出端的峰峰值無失真訊號 (綠色訊號) 為 28 mV。2.76 V 峰對峰值幅度 (1 V rms) 的黃色訊號是直接

圖 5: 在 HP4192A“Osc”輸出埠和運算放大器輸出針腳探測到的輸出。

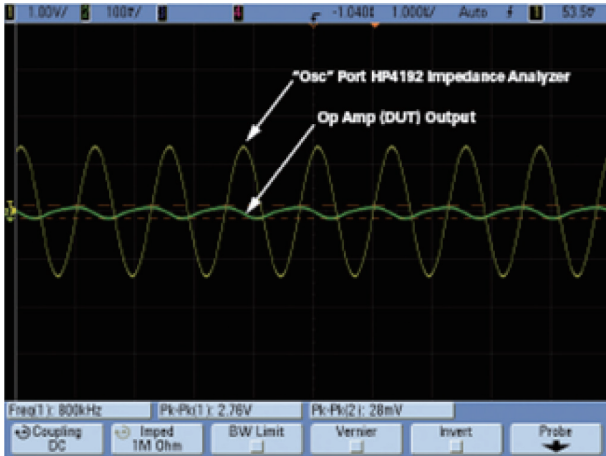


表 2: 電源為 ± 5 V 時, LT1792 在不同頻率下的阻抗測量

頻率	Z (k Ω)	θ	X_S (k Ω)	$C_S = C_{DM}$ (pF)
500 kHz	37	-90°	-37	8.6
600 kHz	30	-91°	-30	8.8
700 kHz	25.3	-91°	-25.2	9
800 kHz	22	-91°	-22	9
900 kHz	19.5	-91°	-19.5	9
1 MHz	17.5	-91°	-17.5	9.1
2 MHz	8.62	-92°	-8.62	9.2
3 MHz	5.6	-93°	-5.6	9.5
4 MHz	4.07	-94°	-4.07	9.8
5 MHz	3.14	-94°	-3.14	10.1

表 3: 電源為 ± 15 V 時, ADA4004 在整個頻率範圍內的阻抗測量

頻率	Z (k Ω)	θ	G_P (μ S)	B_P (μ S)	$C_P = C_{DM} =$ $B_P / (2 \times \pi \times \text{Freq})$ (pF)
500 kHz	29.4	-36°	27.5	20	6.4
600 kHz	27.2	-41°	27.6	24.1	6.4
700 kHz	25.3	-45.4°	27.6	28	6.4
800 kHz	23.5	-49°	27.9	32	6.4
900 kHz	22	-52°	28	35.7	6.3
1 MHz	20.7	-54.3°	28.1	39.3	6.3
2 MHz	12	-72.6°	24.9	79.4	6.3
3 MHz	7.8	-79.2°	24	126	6.7
4 MHz	5.8	-81.8°	24.5	171	6.8
5 MHz	4.7	-83.5°	24.2	212.7	6.8
10 MHz	2.5	-86°	28	319.5	6.3

從分析儀的振盪輸出埠探測得的。為求公平起見，可以任意決定不允許輸出失真，不論是對 DUT 還是對 HP4192A 檢波器。儘管該設定相對來說並不受探頭效應的影響，但在獲取阻抗和相位的實際資料時，已經將探頭移除。

我們進行了在不同電源電壓下測量 C_{DM} 的測試。 C_{DM} 對電源和共模電壓的依賴性會隨運算放大器的不同而有所不同；不同的拓撲和電晶體類型預計會導致高壓電源和低壓電源不同的結寄生效應。表 2 給出了電源穩定在 ± 5 V 範圍內 LT1792 的結果。 C_{DM} 的測量平均值為 9.2 pF，與採用 ± 15 V 電源時的結果 10 pF 相當接近。因此，可以得出的結論是，LT1792 的 C_{DM} 不會隨電源電壓的改變而發生顯著變化。這與其 C_{CM} 形成了鮮明的對比，後者會隨電源電壓發生顯著變化。

同時，雙極性輸入運算放大器幾乎與其 FET 同類產品一樣簡單。但是，由於它們與 C_{DM} 電流並聯，因此它們的高輸入偏置電流和電流雜訊較為明顯。此外，雙極性差分對輸入內在的固有差分電阻 R_{DM} 也與 C_{DM} 並聯。表 3 以低雜訊精密放大器 ADA4004 為例，顯示了其阻抗測量。顯然，相位並不表示純容性行為，因為它遠離 -90° 。儘管 4 MHz、5 MHz 和 10 MHz 頻率非常接近，但並聯等效阻抗 R_C 模型將適合本例，以便能夠從其他電阻中提取出 C_{DM} 。因此，表 3 顯示了在一定頻率範圍內的並聯電導 G_P 、電納 B_P 和 C_{DM} 的計算值，其中假定 C_P 等於 C_{DM} 。

根據表 3 的結果，可以估算出 ADA4004 的 C_{DM} 約為 6.4 pF。結果同時說明了在表 3 所示的整個頻率範圍內， C_{DM} 具有相當大的並聯電導 G_P ，並非純容性 C_{DM} 。測量顯示該雙極性運算放大器的實際輸入差分電阻約為 40 k Ω (1/25 μ S)。

註：我們嘗試了對其他類型運算放大器進行測量，例如零漂移運算放大器 (LTC2050) 和高速雙極性運算放大器 (LT6200)。結果非相干，推測原因是零漂移運算放大器中的開關偽現象，以及高速雙極性運算放大器中的

過大電流雜訊。

參考結論

測量 C_{DM} 並不困難。需要注意的一點是，HP4192A 以幅度和角度報告阻抗。電容讀數假定為簡單的串聯 RC 或並聯 RC，而運算放大器的輸入阻抗可能要複雜得多。電容讀數不應僅使用表面標稱值。每個運算放大器均具有各自的獨特情況。輸入阻抗由容性電抗主導的頻率範圍可能因設計而異。輸入級設計、所用元件和製程、米勒效應以及封裝都可能對差分輸入阻抗及其測量產生很大的整體貢獻。我們對 JFET 輸入運算放大器和雙極性輸入運算放大器進行了測量，展示了 C_{DM} 結果以及雙極性輸入運算放大器的 R_{DM} 結果。

參考文獻

1 Gustaaf Sutorius.“ 阻抗測量的挑戰和解決方案 ”，是德科技，2014 年 3 月。

特別感謝

Glen Brisebois 感謝 Brian Hamilton 提出這一個挑戰，感謝 Aaron Schultz 和 Paul Henneuse 的支持以及 Henry Surtihadi、Kaung Win、Barry Harvey 和 Raj Ramchandani 的意見。

Arthur Roxas 感謝 Paul Blanchard、Matt Duff、Jess Espiritu 和 Kristina Fortunado 提供與 Glen 一起完成該專案的機會。CTA

EV GROUP 與 INKRON 共同開發

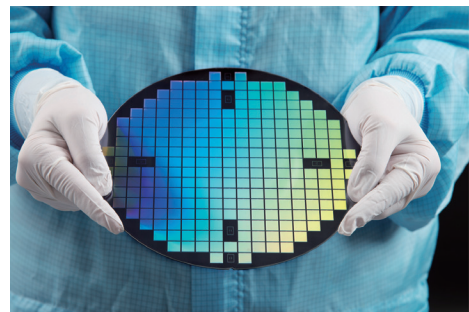
用於下一代光學元件的高折射率材料和奈米壓印微影製程技術

半導體市場的晶圓接合暨微影技術設備之領導廠商 EV Group (EVG) 宣布和致力於高低折射率塗層材料的製造商 Inkron，將為開發和生產高品質繞射光學元件 (DOE) 結構提供優化的製程和相符的高折射率材料。這些 DOE 結構包括用於擴增實境、混合實境、虛擬實境 (AR/MR/VR) 元件的波導管，以及在車用、消費性電子和商業應用中的先進光學感測元件，如光束分離器和光束擴散器。

此合作夥伴關係在位於 EVG 總部奧地利 St. Florian 的 NIL Photonics 技術處理中心內展開。EVG 的 NIL Photonics 技術處理中心為 NIL 供應鏈中的客戶和合作夥伴提供一個開放式的創新平台，其目的為縮短新創光學元件及其應用的開發週期和產品上市時間。

光學元件和組件的材料特性，對已封裝的光學元件整體效能及大小有極大影響。舉例來說，較高的折射率 ($RI \geq 1.9$ 以上) 可優化光萃取效能，進而顯著提升波導管可見視野，提供給 AR/VR 頭戴顯示器更逼真的體驗。高折射率材料還可以提供更高的光密度，使更有效率的繞射光學用於光束分離器 (例如臉部辨識的感測器)，如此未來的光學元件就可變得更小。高折射材料的附加優化可以改善膜的透明度，並減少霧度和散射，進而提供更好的對比度；而改善的樹脂穩定性可以滿足更嚴苛的熱要求，如車用方面的需求。

為 NIL 製程而調配的高折射率材料，有助於確保 NIL 製程投入量產。NIL 是一種已被驗證過的光學元件製造方法，因為它能夠在保有其經濟效益下，於量產中做出奈米級的結構，而且並不受限於特別的尺寸、形狀和複雜性。



圖：採用 Inkron 先進樹脂的 EVG 奈米壓印微影技術所壓印出的光學結構