

# 整合式收發器支援 實現小型相位陣列雷達平台

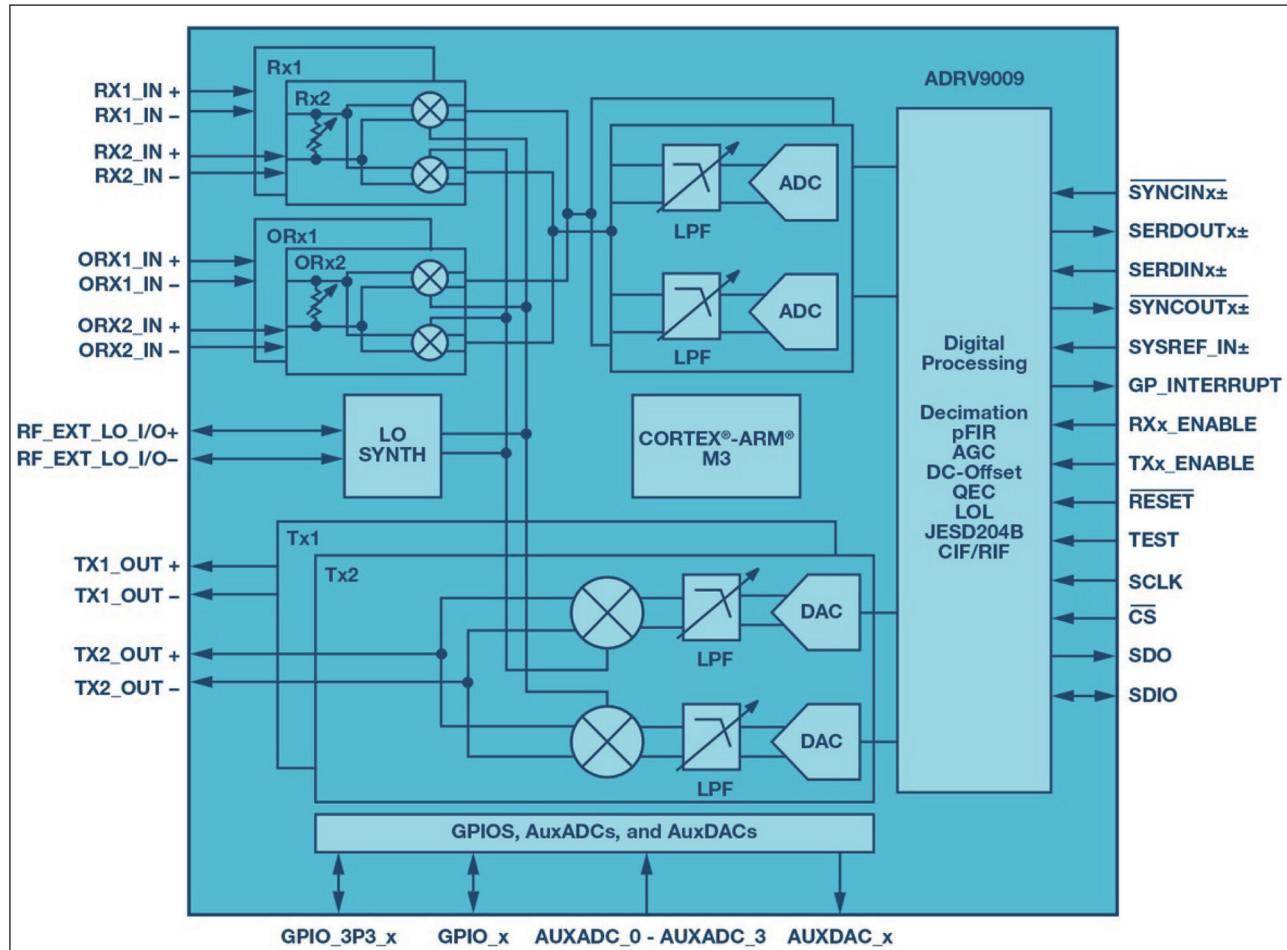
■作者：Mike Jones/ADI 航空航太和防務部首席電氣設計工程師  
Peter Delos/ADI 航空航太和防務部技術主管

## 摘要

相位陣列雷達系統利用多個發射和接收通道來實現正常運行。從前，這些平台在構造時都使用獨立的發射和接收積體電路 (IC)。這些系統在發射 (Tx) 電路的數位類比轉換器 (DAC) 和接收 (Rx) 電路的類

比數位轉換器 (ADC) 中分別使用單獨的晶片。這種區分使得許多系統尺寸龐大、成本高昂且功耗高，如此才能獲得所需的通道數量，進而發揮所需的功能。由於製造和校準過程複雜，這些系統通常也需要很長時間才能上市。但是，最近出現了一種利用

圖 1: ADRV9009 是將多種功能整合到單個 IC 中的整合式收發器示例。



整合收發器的方法，它將許多曾經被認為完全不同的功能融合到單個 IC 之中。這些 IC 助力實現了小尺寸、低功耗和低成本、具有高通道數量的相位陣雷達系統，且上市時間更短。

## 整合式收發器簡介

整合式收發器（例如圖 1 所示的收發器）將多種功能整合到單個 IC 上。例如，新型收發器將 DAC、ADC、本振（LO）頻率合成器、微處理器、混頻器，以及更多功能整合到  $12\text{ mm} \times 12\text{ mm}$  單晶片產品中。此外，該產品還整合了兩個接收通道和兩個發射通道，以及多個數位訊號處理（DSP）元件，以獲得系統所需的暫態頻寬。還提供一個應用程式介面（API），用於操作客戶平台上的收發器。晶片內前端網路可以用來實現增益和衰減控制，內建的初始化和追蹤校準常式則用於提供許多通訊和軍事應用所需的性能。

這些整合式收發器能夠透過注入一個稱為 REF\_CLK 的參考時脈訊號來創建發射器和接收器所需的所有時脈訊號。然後，由晶片內鎖相迴路（PLL）合成 DAC/ADC 採樣、LO 生成和微處理器時脈所需的所有時脈。如果內部 LO 相位雜訊不足以滿足客戶的應用需求，使用者可以選擇注入自己的低相位雜訊外部 LO。

來自元件的資料經由標準化的 JESD204b 多千兆串列資料介面進行卸載。這個介面支援同時接收和傳輸大量資料。新整合式收發器解決方案可以說明提供介面 IP，可協助客戶加快上市時間。如果需要確定性延遲和資料同步，使用者可以利用內建的多晶片同步（MCS）特性，並發出 SYS\_REF 訊號作為初始通道對齊序列（ILAS）的主時序基準。<sup>1</sup>

此外，可以利用內建的 RFPLL 相位同步特性，將發射或接收通道的 LO 相位設置為相對於主參考相位具備確定性。透過利用 MCS 和 RFPLL 相位同步特性，可以在初始化部件、頻率調諧，或者開關軟體上的無線電時複製相位對齊。圖 2 顯示了一個新型整合式收發器示例，該收發器提供決定性相位，且支援所有這些特性。

## 使用多個整合式收發器

如果系統需要兩個以上的接收器和兩個發射器，用戶仍然能使用多個整合式收發器，從因為單晶片接收和發射通道實現的小尺寸中獲益。該技術的示例如圖 3 所示。可以透過使用並髮型 SYS\_REF 脈衝來同時觸發所有 IC 的內部分壓器，從而同步多個整合式收發器。這些 SYS\_REF 脈衝可由時脈晶片或基頻處理器發出，附帶可編程延遲，該延遲是造成各 IC 之間的路徑長度不匹配的原因。跨

圖 2：內建 RFPLL 相位同步特性讓系統與主參考源之間呈確定性相位關係。

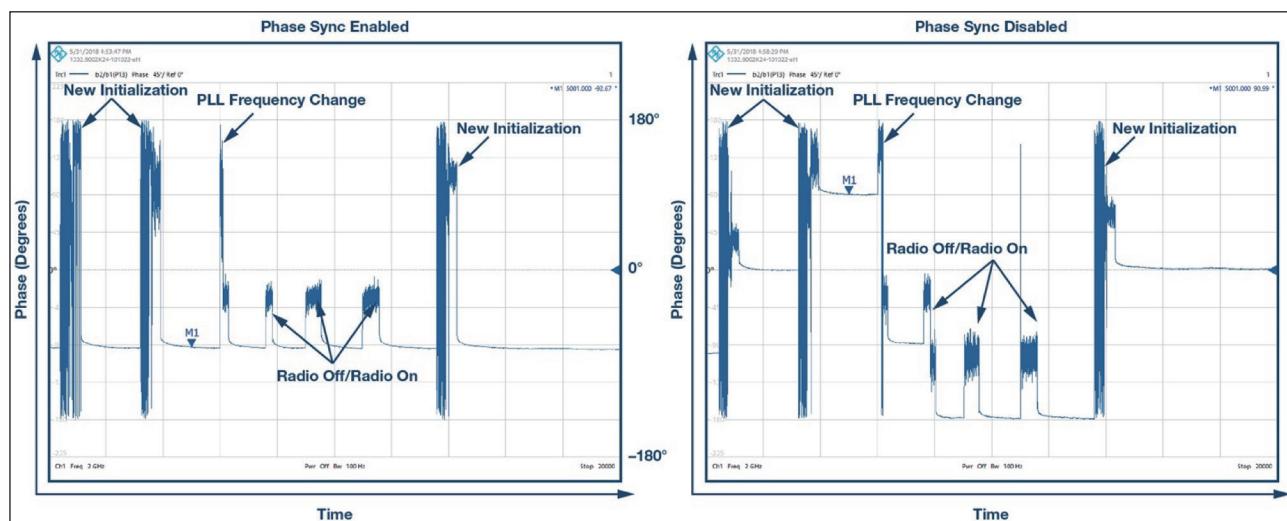
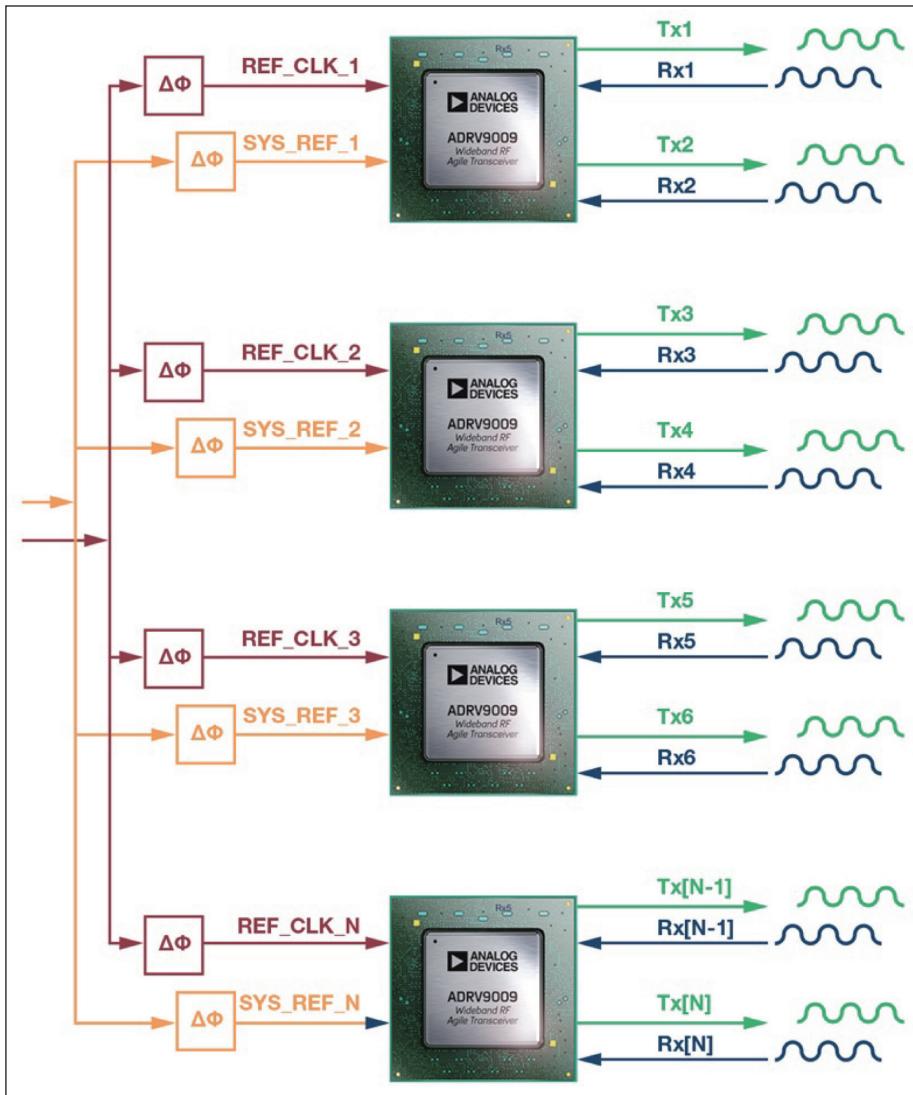


圖 3: 可使用多個整合式收發器來增加系統的通道數量。



多個晶片的資料路徑和多個 LO 都可以是確定性的。

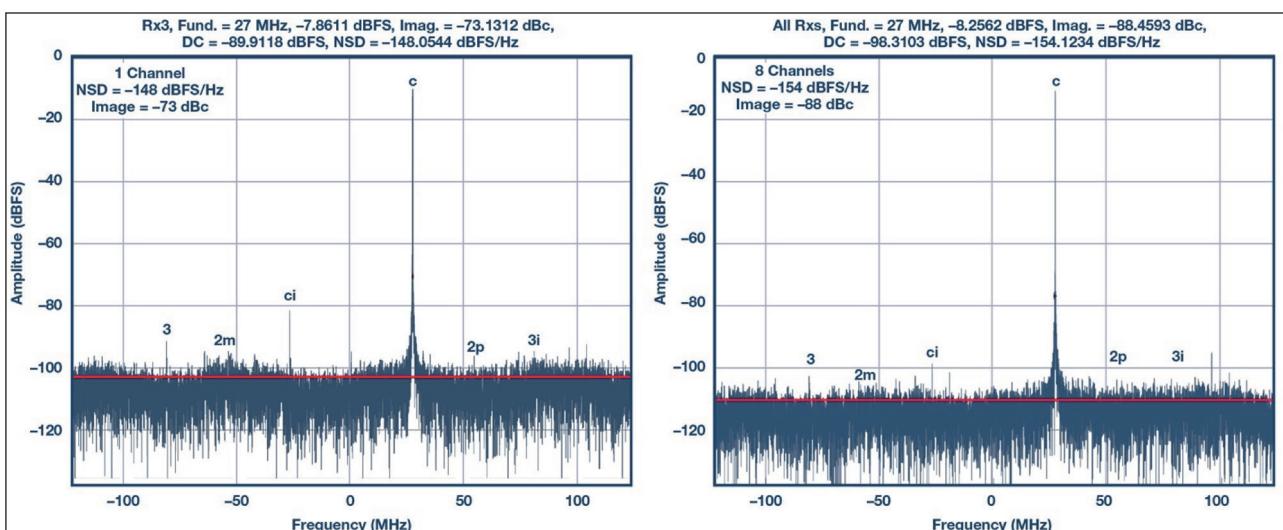
### 整合式收發器是支撐相位陣列雷達平台的中堅力量

透過使用同步整合式收發器來增加通道數量，讓這些元件成為支撐相位陣列雷達平台的中堅力量。結合相位和幅度對齊的發射和接收通道時，使用多個整合式收發器可以展示系統級的動態範圍、雜散和相位雜訊改善。

片內 DSP 特性，例如數控振盪器 (NCO) 和數位上變頻器，或者數位下變頻器 (DDC)，現在支援在單個 IC 內採用系統級雜散去相關方法。<sup>2</sup>

透過使用多個整合式收發器來組合收發器通道，用於展示系統級雜訊譜密度 (NSD) 和雜散性能都得到改善。此

圖 4: 使用 ADRV9009 整合式收發器來整合接收通道可以降低雜訊譜密度，並改善動態範圍。



舉透過降低系統的有效本底雜訊，同時維持通道的全部功能來改善相位陣雷達系統的動態範圍。圖 4 顯示了在整合多達 8 個整合式收發器接收通道，有效增加相位陣系統中的位元數之後得出的系統級測量結果。請注意，從一個通道增加到八個通道時，NSD 和計算得出的本底雜訊 (在各圖中用紅線表示) 將增加 6 dB。這是因為，雖然總共有 8 個通道，但是在用於創建這 8 個通道的 4 個整合式收發器中，只存在 4 個不同且不相關的 LO (也就是說，NLO = 4)。

因此實現了如下改善

$$NSD \text{ Improvement} = 10\log_{10}(N_{LO}) = 10\log_{10}(4) \approx 6 \text{ dB}$$

得出的結果與整合式收發器提供的實驗性結果相近。此外，多餘的成像頻率以不相關的方式聚合匯總，實現系統級雜散性能改善。隨著通道數量增加，性能會實現進一步的改善，進而實現了可擴展的系統。

此外，在對齊相位和整合多個整合式收發器通道之後，相位陣系統的相位雜訊可以得到改善。從圖 5 最上方的三條曲線顯示的測量結果可以看出，在利用 4 個整合式收發器 IC 的內部 LO 組合 8 個通道之後，相位雜訊性能得到了改善。再重複一遍，存在 4 個不同且不相關的 LO (也就是說，NLO = 4) 時，當從 1 個發射通道增加為 8 個發射通道時，相位雜訊會增加 6 dB。增加通道數量可以進一步增加相位陣雷達系統的相位雜訊。或者，可以將外部 LO 注入到由 NTRx 整合式收發器構成的每個子陣列中，並從子陣列層級改善初始相位雜訊 (如圖 5 中的藍色曲線所示)。但是，如此一來，該子陣列中的各元件因為都共用同一個 LO 源，就會互相關聯，所以無法自行在子陣列中提供通道聚合改善。對於圖 5 所示的外部 LO 相位雜訊資料，其中使用了一個 Rohde & Schwarz SMA100B 訊號發生器作為外部 LO 源。

整合的 DSP 特性 (例如 NCO、數位移相器和 DUC/DDC) 允許在數位域內實施基帶相移和頻率位移，進而允許在基於多通道、整合式收發器的相位

圖 5: 使用內部 LO 時，整合多個 ADRV9009 的發射通道可改善系統級相位雜訊性能。注入外部 LO 會改善子陣列的初始相位雜訊。

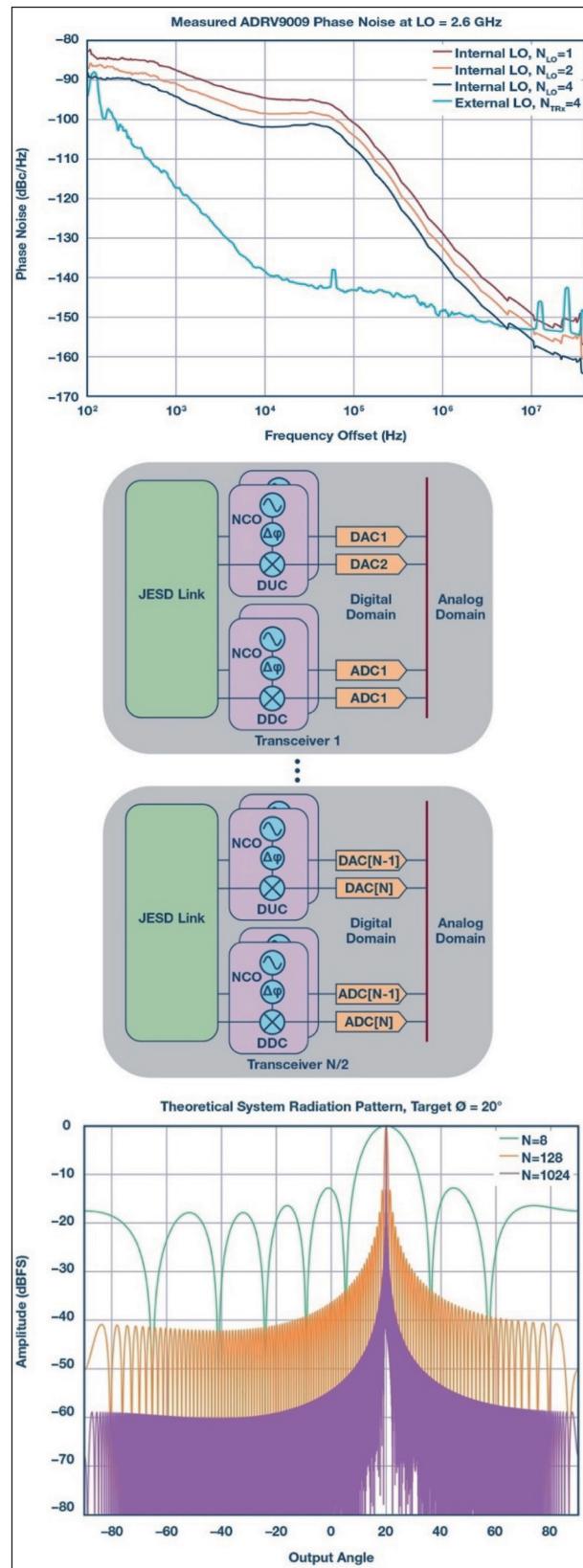
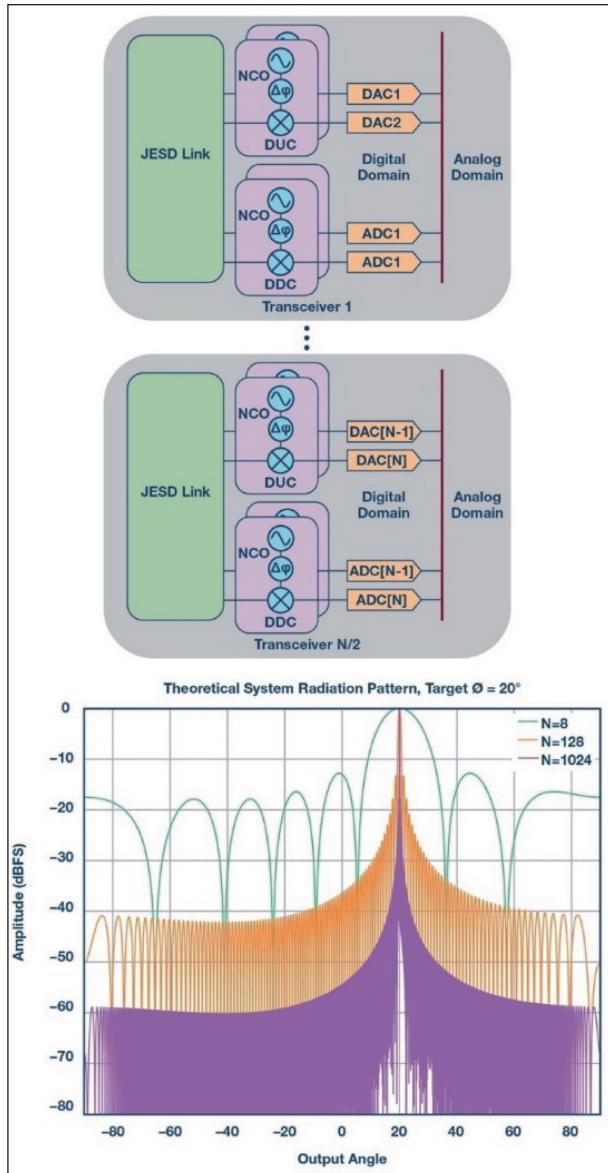


圖 6: DSP 特性現在可以利用晶片內 NCO 和 DDC/DUC 實現數位相移。增加通道數量，優化相移會使整合式收發器形成寬度變窄的波束。



陣雷達系統中實施數位波束成型。將多個功能整合到單個 IC 上之後，系統現在能夠在許多相關的相位陣應用中，利用整合式收發器實現天線點陣間隔。利用更多收發器來增加通道數量一般可以讓波束變窄，但會導致系統變大。但是，現在將多個功能整合到單個 IC 之後，系統變大的比例還是要小於過去。使用 MATLAB 類比輻射圖之後，圖 6 顯示通道數量從  $N = 23$  增加到  $N = 210$  時，波束如何變窄，理論波瓣幅度如何變深。實際的功率零點將在天線設計中表示。

## 結論

在單個 IC 中整合多個數位和類比功能可以實現更小型的相位陣雷達系統。這些系統支援實施數位波束成型和混合波束成型，具體取決於系統規格。已經證明使用 ADI 公司提供的 ADRV9009 可以實現系統級性能改善。這些整合式元件讓許多新系統能夠使用相同的硬體來運行多個應用。

## 參考資料

- 1 Harris, J. 什麼是 JESD204 標準，為什麼我們需要重視它？ADI 公司技術文章，MS-2374，1-4。2013 年 10 月。
- 2 Delos, P.、Jones, M.、Robertson, M. RF 收發器支援在數位波束成型相位陣內實施強制雜散去相關。ADI 公司技術文章。2018 年 8 月。 

**COMPOTECHAsia 檢書**

每週一、三、五與您分享精彩內容

<https://www.facebook.com/lookcompotech>