

Speedcore eFPGA 在汽車智慧化中的應用

■作者：Achronix 半導體供文

概述

無論一輛汽車它是 21 世紀 20 年代初的輔助駕駛汽車，即帶有用於資訊娛樂系統、傳動系統和自主駕駛輔助系統 (ADAS) 的智慧子網的汽車，還是未來 3 級 (Level 3) 及以上的自動駕駛汽車 (在車流中駕駛時只需最少的人力輔助)，網路化交通系統對硬體加速的需求正在迅猛增長。幾年前，由 nVIDIA，Mobileye 和其他以 CPU 為中心的供應商推出的汽車智慧模型都假設了一個集中式汽車網路，其中由帶有增強 DSP 功能的多核 RISC CPU 來管理一套專用的子網路。現在，關注點正在迅速轉向分散式汽車智慧化，其中包含帶有相關視覺系統的複雜相機，具有來自物聯網世界的感測器中樞架構的感測器子網路、以及用於車載資訊娛樂系統 (IVI) 和 ADAS 的附加子網路、以及傳動系統 / 動力系統子網路，共同協作來實現自動駕駛汽車功能。

雖然 Achronix 預計未來的傳統車輛和自動駕駛車輛最喜歡的架構都將是分散式架構，但是任何一種網路都需要比目前已經實

圖 1：汽車網路中預期的分散式運算架構



現的架構更多的後備協處理能力。汽車網路中預期的分散式運算架構將是異構的，需要從網路控制到利用深度學習節點的並行物件識別的混合計算資源。結果，豪華輔助駕駛汽車中目前 CPU 的基數多達 100 個，而在自動駕駛汽車中可能會增加到幾百個 CPU。感測器中樞將需要後備影像處理來實現扭曲和拼接效果；乙太網需要 IP 進行資料包過濾 / 監控，以及與傳統 CAN 和 FlexRay 網路的特殊橋接。在第一代汽車架構中使用整數個 CPU 和 GPU，將

遷移到需要可程式設計加速的高度專業化計算節點。

為了優化晶片面積和功率效率，在未來的汽車平臺上，相比固定功能的 SoC 或傳統的 FPGA，將 Speedcore 嵌入式 FPGA (eFPGA) 矽智慧財產權 (IP) 整合到 SoC 中以提供客戶可配置功能，是實現快速切換協處理的一個最佳選擇。要瞭解更多關於處理過程的演變，請參見 Achronix 白皮書 (WP008)：SoC 中的 eFPGA 加速 - 瞭解 Speedcore IP 設計流程。(www.achronix.com)

Speedcore eFPGA IP 在異構汽車資料處理中的獨特作用

Speedcore eFPGA IP 可以集成到 ASIC 或 SoC 中，以提供定制的可程式設計邏輯陣列。客戶指定他們的邏輯、記憶體和 DSP 資源需求，然後 Achronix 配置 Speedcore IP 以滿足他們的特定需求。Speedcore 查閱資料表 (LUT)、RAM 模組和 DSP64 模組可以像積木一樣進行組合，為任何給定應用創建最佳的可程式設計邏輯陣列。Speedcore eFPGA IP 在汽車網路整合方面提供獨特的優勢，無論是在現有設計中取代一個 FPGA 還是增強一個 ASIC。

■更高的性能 — 一個 eFPGA 通過寬闊的平行介面直接連接 (無 I/O 緩衝器) 到 ASIC，提供顯著更高的輸送量，延遲僅為個位數的時鐘週期。在需要對迅速變化的交通狀況進行即時回應時，延遲非常重要。

■更低的功耗：

■可程式設計 I/O 電路的功耗占獨立 FPGA 總功耗的一半。一個 eFPGA 直接連接到 SoC，完全消除了大型可程式設計 I/O 緩衝器，從而降低了功耗。

■一個 eFPGA 的面積可以根據最終應用的要求精確定制，並且可以調整工藝技術以實現性能和功耗的平衡。

■更低的系統成本：

■一個 eFPGA 的片芯佔用面積比等效的獨立 FPGA 小得多，這是

因為可程式設計 I/O 緩衝器，未使用的 DSP 和記憶體模組以及過度配置的 LUT 和寄存器都全部被移除。

■借助 Speedcore 定制模組，可將定制功能作為附加模組添加到 eFPGA 邏輯陣列中，並與傳統的 LUT、RAM 和 DSP 構建模組一起添加。這種高效的實施方式極大地降低了片芯尺寸面積，最大限度地降低了功耗，其總體結果就是，大大降低了系統成本。有關更多詳細資訊，請參閱 Achronix 白皮書 (WP009)：使用 Speedcore 定制模組來增強 eFPGA 功能。

■更高的系統可靠性和良率 — 將 FPGA 功能集成到 ASIC 中，可以提高系統級信號完整性，並消除了 PCB 上安裝一個獨立 FPGA 相關聯的可靠性和良率損失。

以 ADAS 為中心的處理模型

由於多個視覺處理系統的融合被認為是駕駛輔助和自動駕駛車輛的核心，所以先進駕駛員輔助系統 (ADAS) 在未來的汽車架構中保持了核心地位，即使被認為是管理者中的管理者的多核視覺處理器，也已經部分被取代了。涉及 DSP 和整數密集型任務兩者的圖像即時處理，最初被認為是從靜態相機或視頻圖像中提取資訊以確定物件類型、位置和速度的問題。隨著設計人員為自動駕駛車輛做準備，ADAS 處理器的角色已經擴展到包括視覺、紅

外、超聲波、雷射雷達 (LIDAR) 和雷達圖像的融合。在傳統的 SoC 和輔助處理器套件中，圖像預處理與 CPU 分開執行，並且必須通過一個或多個高速匯流排與 CPU 連接。即使 ADAS 架構的匯流排延遲得到改善，當輔助處理器在單獨的晶片實現時，也會付出延遲的代價。因此，將 eFPGA IP 與統一 ADAS 架構中的 CPU 相結合，以確保在快速變化的交通狀況中有視覺、紅外或雷達警報的快速回應，這是可以驗證的最有效的方式。

將多個感測器源與一個 ADAS 內核集成在一起，提供了 Speedcore IP 與一個 CPU 並行嵌入的一種理想應用場景。Speedcore IP 支援客戶將一個定制的可程式設計邏輯陣列嵌入到具有專用計算資源的標準化 ASIC 平臺中 (請參見圖 2)。在實踐中，這種集成化可以將從圖像源匯總的資料寫入 CPU 的緩存，而不是寫入獨立的 SDRAM。減少 CPU 的中斷意味著對移動中汽車視野裡的物體有更多的即時回應。

視覺處理器 (通常來自相機輸入的 2D 圖像，儘管已包括越來越多的 3D 圖像) 可以依靠多年來在邊緣提取、格式轉換、色彩平衡和解析度變化方面積累的圖形處理器研究。包括 Ceva 和 Synopsys 在內的一些處理器 IP 供應商，也在物件分類和識別中提升了卷積神經網路的價值。以 nVIDIA 為代表的，在這兩個領域都有經驗的 CPU 供應商，已經試圖在傳統的 CPU / GPU 任務與特定的神經網路模式識別引

擎之間取得平衡。對於汽車中的神經網路子架構，正從需要高精度浮點 DSP 的早期成熟架構遷移到能夠使用低精度 DSP 內核的自我培訓推理引擎，Speedcore DSP64 模組為新的深度學習架構提供了大量的開銷。對 ADAS 和視覺處理演變的一個共同認識是，即時汽車的態勢感知永遠不會有一個最佳的集中式 ADAS 處理器或 SoC。總是會有意想不到的協同處理和加速任務被添加到 ADAS 中心內核中。

任何 ADAS 處理器固有的兩項附加功能是感測器融合 / 中樞集成和網路轉換。前者涉及將來自各種感測器的資訊進行組合和關聯：包括 CMOS 圖像、紅外、雷射雷達和新興的小型化雷達等感測器。

網路轉換是指乙太網的骨幹絡與 CSI-2、FlexRay、CAN 甚至更早的網路通訊協定的介面。雖然未來的一個 ADAS SoC 確實可以集成一個感測器中樞或一個乙太網 MAC，但總是會有一些新興的功能，由 CPU 外部的週邊邏輯極好地提供。由於感測器被聚合並且網路在輸入到 CPU 之前在晶片內互連，所以通過減少暴露的介面來保持安全性是一個解決方案，同時通過片上集成來提高可靠性，對於許多這樣的任務而言將被證明是最佳的方案。

可程式設計能力在功能安全性中的作用

從駕駛輔助車輛到完全自動

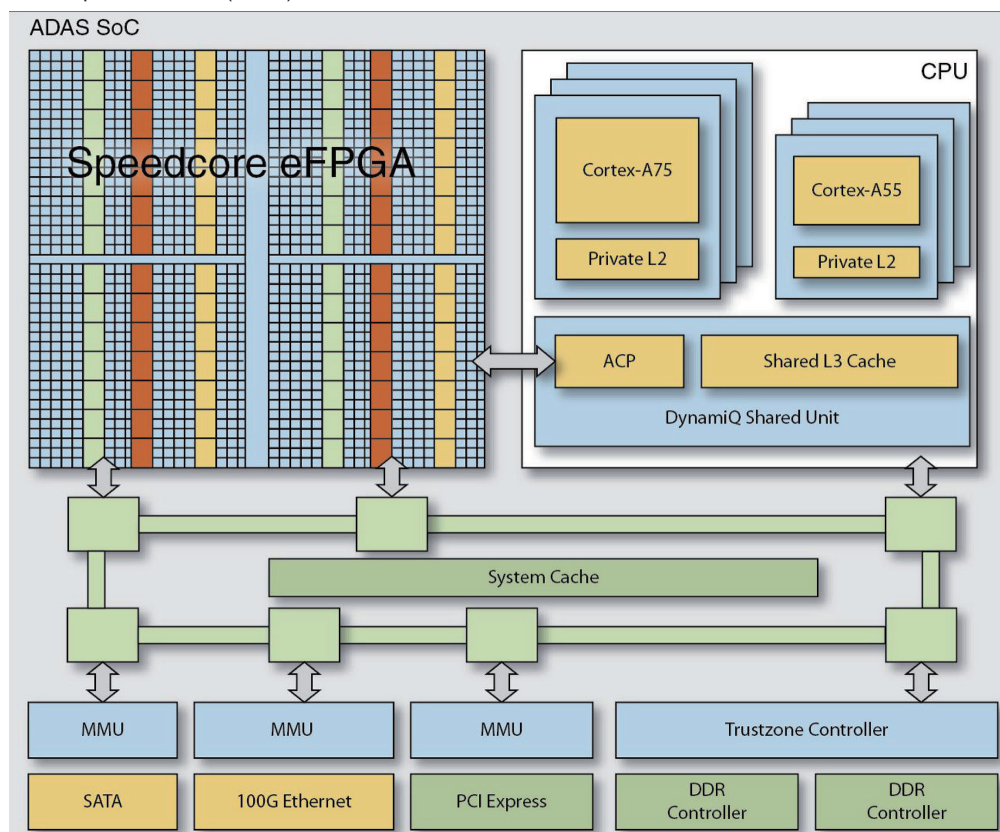
駕駛車輛的過渡已經提高了安全性在新車中的地位。網路對車輛的控制越多，越多的司機期望多級安全性以防止諸如引起了公眾高度關注的 2016 年特斯拉死亡事故這類事件。這種對於容錯安全性的驅動力促使業界頒佈了針對自動駕駛汽車領域的 ISO 26262 標準，它是作為電氣和電子系統 IEC 61508 通用功能安全性標準的衍生標準。

在 EDA 和 SoC 社群內的早期工作已經實現了 ISO 26262 方法體系的標準化，以確保 IP 中功能安全性。故障模式、效果和診斷分析 (FMEDA) 技術闡述了針對 IP 單元的功能和故障模式的標準規範，一個故障模式對產品功能的影響，自動診斷檢測故障的能力，設

計強度以及運行情況分集，包括環境壓力。一個強健的系統應該最大限度地提高 IP 單元的診斷覆蓋範圍，並通過適當處理安全的、檢測到的和未檢測到的故障來提供高度的功能安全性。

嵌入式 FPGA 由於其極度可程式設計化的特性，還可以增強車輛在作為系統時的安全性。除了主控車輛的“航行”功能之外，SoC 中的 eFPGA 還可以承載大量的硬體診斷功能，其運行速度比基於軟體的診斷快幾個數量級，大

圖 2：Speedcore 陣列 (左上) 連結到 CPU 子系統及記憶體集群



大增加了任何車載內置的自測故障覆蓋率 (BIST)。此外，它們以可程式設計方式說明汽車製造商更新已部署的系統，從而有助於 ISO 26262 安全性生命週期。以特斯拉車禍為例，如果事故的根本原因是硬體中託管的物件檢測演算法中有錯誤 (由於性能原因)，只要開發了修復程式，就可以將其推送到整個車隊。可以繞過漫長而昂貴的硬體開發和重新部署過程。

分散式控制意味著分散式智慧

由於攝像頭的安裝位置以及對局部感測器中樞的需求，汽車設計人員總是規劃在車體內採用了大量的分散式智慧。儘管如此，諸如 nVIDIA Tegra 等多核多執行緒處理器的早期支持者都認為，要把大部分智慧都集中在儀錶板中或者附近，儘管是為了高度並行的 CPU 工作於物件識別。現在，先進的 ADAS 在輔助駕駛汽車和三級自主駕駛汽車的完全自主性之間的模糊界限已經引起人們的注意，回到分散式智慧，其中 CPU、GPU 和神經網路處理器在車體內提供了多個管理和控制點。這種轉變意味著可程式設計架構的更多機會存在於全面覆蓋的 SoC 設計之外。

現在，ADAS 處理器市場每年增長超過 25%。這種增長是由於從自動緊急制動、換道輔助和自我調整巡航控制等功能開始，ADAS 功能已從豪華車輛轉移到中型和入門級車輛 - 這些功能將在

下個十年中期之前被普遍使用。與此同時，三級自動駕駛汽車將於 2018 年在諸如 BMW 豪華平臺上推出，而全自動五級汽車可能在 2022 年之前可供商業銷售。隨著自主駕駛平臺從三級發展到四級和五級，感測器中樞、攝像頭和雷射雷達 / 雷達設備將遍佈整個車輛，並且每個都需要本地控制。

這種控制模式在業界產業整合中已經清晰可見，如高通公司對恩智浦發起的收購、以及英特爾對 Mobileye 的收購，處理器領域將由那些致力於將開發生態系統引導至特定專業領域的大型供應商佔據主導地位 - 英特爾採用伺服器加機器學習模式，nVIDIA 機器學習模式，高通採用以蜂窩移動通信為中心的模式，增加了恩智浦 Cognivue 和 i.MX 處理器。例如 Ceva、Cadence / Tensilica、Synopsys / ARC 和 VeriSilicon 等 IP 開發人員將嘗試通過其在特殊處理器內核方面的專業技術來顛覆封閉模式。與此同時，如 Broadcom、Valens 和 Marvell 等網路專家將尋求圍繞乙太網骨幹網來定義汽車架構。

這樣的市場格局與企業網路演變成資料中心的時代有些相似。以處理器為中心的半導體供應商試圖定義一個完整的系統架構，但設計領域則展示了多樣化的 Wild-West 風格，其中用不同的邏輯套件來為一家元件供應商 (以及 OEM 或汽車製造商) 提供樣品從而創建特有的優勢。在這樣的

環境中，配置為 IP 的可程式設計邏輯 (如 Achronix 的 Speedcore eFPGA) 將扮演重要角色，不僅在近期輔助駕駛和自動駕駛汽車開發方面是這樣，而且在這兩種類型的車輛多年來的分散式處理器開發方面亦是如此。

Speedcore eFPGA IP 提供了其他優勢，例如通過寫入 CPU 緩存而不是片外記憶體來最大限度地減少 CPU 中斷。CAN 設計中所需的 BIST 電路通常占總 ASIC 電路的 10% 至 15%，由於支援 BIST 的電路可以在 eFPGA 內可程式設計，所以在許多情況下這些電路可以被省去。另外，eFPGA 可以提供片上探測功能來進行診斷。對於現有的基於 ASIC 的、無需更換 FPGA 的系統設計，Speedcore IP 所具有的靈活性將支援對新演算法進行程式設計，從而延長了現場已部署的 ASIC 的使用壽命。在 5G 蜂窩網路現有設計中使用 Speedcore IP 也將使該架構成為未來 V2X 通信介面的理想型選擇。

在未來的全自動和先進輔助駕駛車輛中，存在幾十個甚至數百個分散式 CPU。用於將汽車子網連接在一起的外設處理功能可由 ASIC、SoC 或傳統 FPGA 提供服務。但是，Speedcore eFPGA IP 的引入提供了傳統 FPGA 所不具備的，在延遲、安全性、頻寬和可靠性等方面的優勢。CTA