

鎖相迴路 (PLL) 基本原理

鎖相迴路 (PLL) 電路存在於各種高頻應用中，從簡單的時脈淨化電路到用於高性能無線電通信鏈路的本振 (LO)，以及向量網路分析儀 (VNA) 中的超快開關頻率合成器。本文將參考上述各種應用來介紹 PLL 電路的一些構建模組，以指導元件選擇和每種不同應用內部的權衡考慮，這對新手和 PLL 專家均有幫助。本文參考 ADI 公司的 ADF4xxx 和 HMCxxx 系列 PLL 和壓控振盪器 (VCO)，並使用 ADIsimPLL(ADI 公司內部 PLL 電路模擬器) 來展示不同電路性能參數。

■作者：Ian Collins / ADI 微波頻率生成部應用經理

基本配置：時脈淨化電路

鎖相迴路的最基本配置是將參考訊號 (FREF) 的相位與可調回饋訊號 (RFIN) F0 的相位進行比較，如圖 1 所示。圖 2 中有一個在頻域中工作的負反饋控制迴路。當比較結果處於穩態，即輸出頻率和相位與誤差檢測器的輸入頻率和相位匹配時，我們就可說 PLL 被鎖定。就本文而言，我們僅考慮 ADI 公司 ADF4xxx 系列 PLL 所實現的經典數位 PLL 架構。

該電路的第一個基本元件，是鑒頻鑒相器 (PFD)。PFD 將輸入到 REF_{IN} 的頻率和相位與回饋到 RF_{IN} 的頻率和相位進行比較。ADF4002 是一款可配置為獨立 PFD(回饋分頻器 N = 1) 的 PLL。因此，它可以與高品質壓控晶體振盪器 (VCXO) 和窄低通濾波器一起使用，以淨化高雜訊 REF_{IN} 時脈。

圖 1:PLL 基本配置

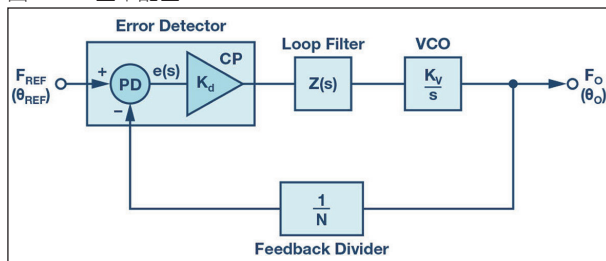
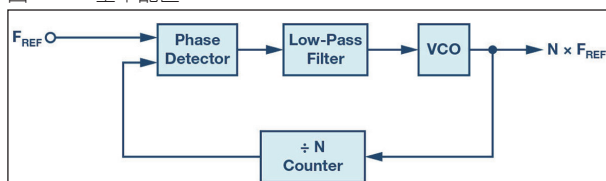


圖 2:PLL 基本配置



鑒頻鑒相器

圖 3. 鑒頻鑒相器

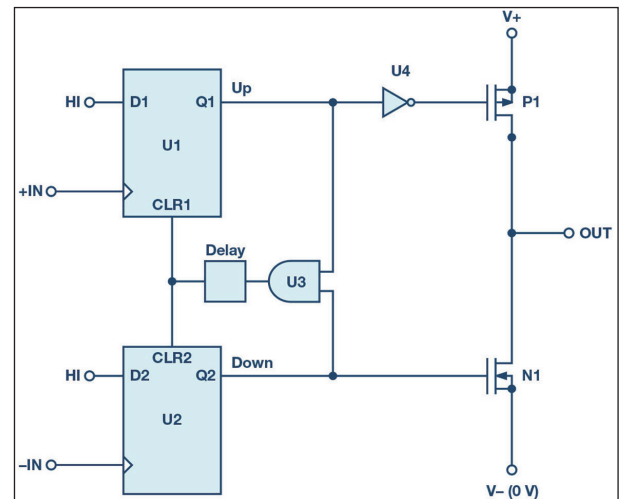


圖 3 中的鑒頻鑒相器 (Frequency discrimination phase detector) 將 +IN 端的 FREF 輸入與和 -IN 端的回饋訊號進行比較。它使用兩個 D 型觸發器和一個延遲元件。一路 Q 輸出使能正電流源，另一路 Q 輸出使能負電流源。這些電流源就是所謂電荷泵。

使用這種架構，下面 +IN 端的輸入頻率高於 -IN 端 (圖 4)，電荷泵輸出會推高電流，其在 PLL

圖 4:PFD 錯相和頻率失鎖

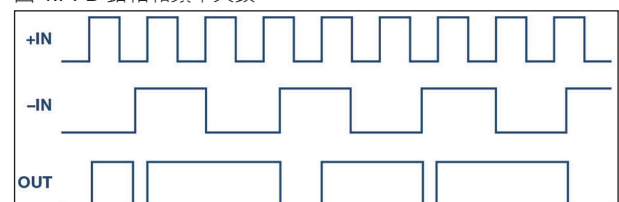
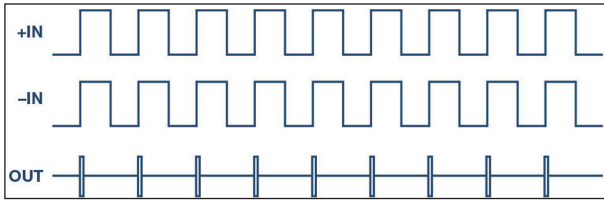


圖 5: 鑒頻鑒相器、頻率和鎖相



低通濾波器中積分後，會使 VCO 調諧電壓上升。如此，-IN 頻率將隨著 VCO 頻率的提高而提高，兩個 PFD 輸入最終會收斂或鎖定到相同頻率 (圖 5)。如果 -IN 頻率高於 +IN 頻率，則發生相反的情況。

回到原先需要淨化的高雜訊時脈例子，時脈、自由運行 VCXO 和閉迴路 PLL 的相位雜訊曲線可以在 ADIsimPLL 中建模。

從所示的 ADIsimPLL 曲線中可以看出，REFIN 的高相位雜訊 (圖 6) 由低通濾波器濾除。由 PLL 的

圖 6: 參考雜訊

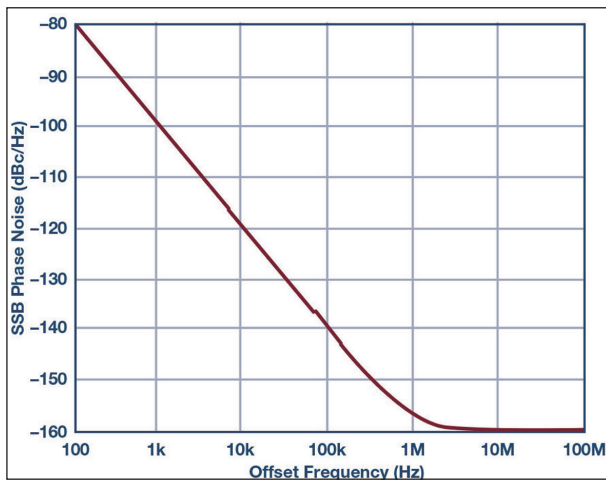


圖 7: 自由運行 VCXO

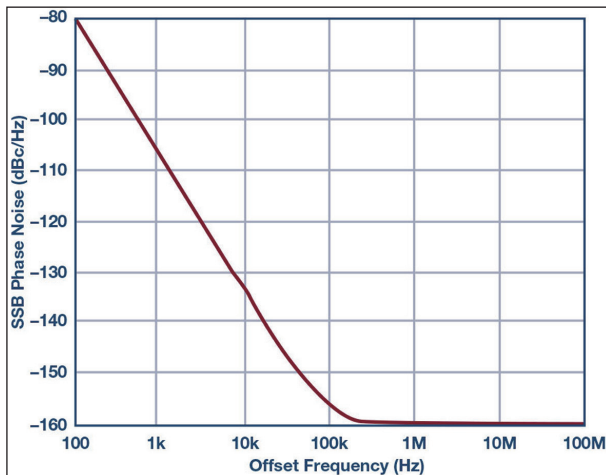
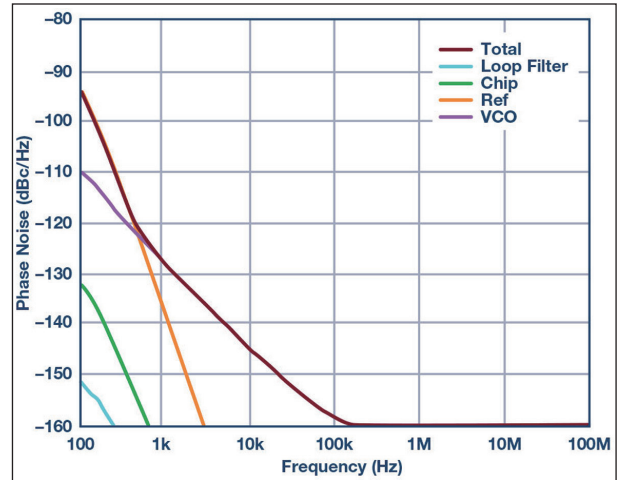


圖 8: 總 PLL 雜訊

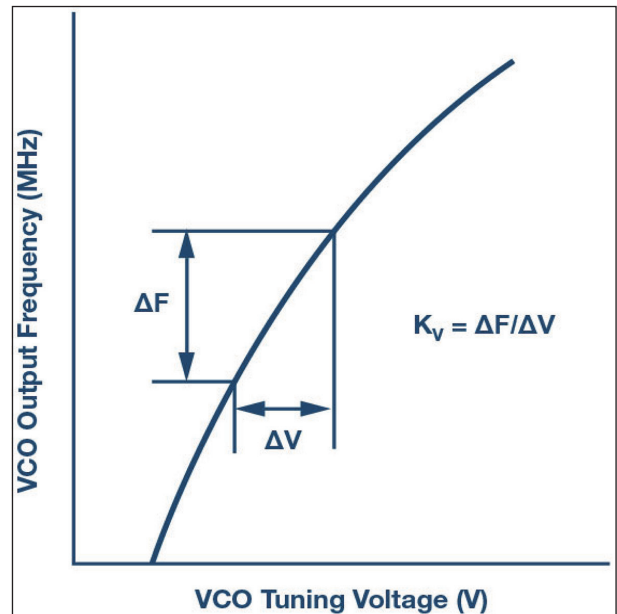


參考和 PFD 電路貢獻的所有頻內雜訊都被低通濾波器濾除，只在迴路路頻寬外 (圖 8) 留下低得多的 VCXO 雜訊 (圖 7)。當輸出頻率等於輸入頻率時，PLL 配置最簡單。這種 PLL 稱為時脈淨化 PLL。對於此類時脈淨化應用，建議使用窄頻寬 (<1kHz) 低通濾波器。

高頻整數 N 分頻架構

為了產生一系列更高頻率，應使用 VCO，其調諧範圍比 VCXO 更寬。這常用於跳頻或擴頻跳頻 (FHSS) 應用中。在這種 PLL 中，輸出是參考頻

圖 9: 壓控振盪器



率的很多倍。壓控振盪器含有可變調諧元件，例如變容二極體，其電容隨輸入電壓而改變，形成一個可調諧振電路，從而可以產生一系列頻率（圖 9）。PLL 可以被認為是該 VCO 的控制系統。

回饋分頻器用於將 VCO 頻率分頻為 PFD 頻率，從而允許 PLL 生成 PFD 頻率倍數的輸出頻率。分頻器也可以用在參考路徑中，這樣就可以使用比 PFD 頻率更高的參考頻率。ADI 的 ADF4108 就是這樣的 PLL。PLL 計數器是電路中要考慮的第二個基本元件。

圖 10: 理想 LO 頻譜

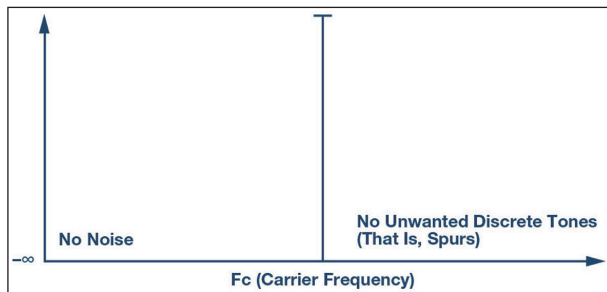


圖 11: 單邊頻相位雜訊

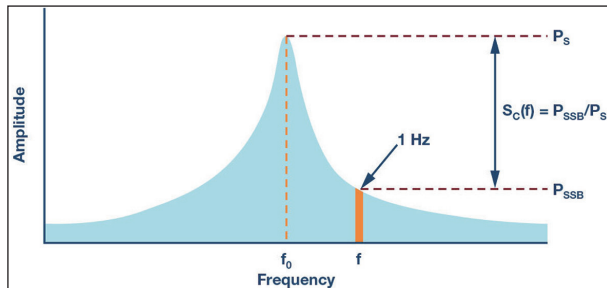
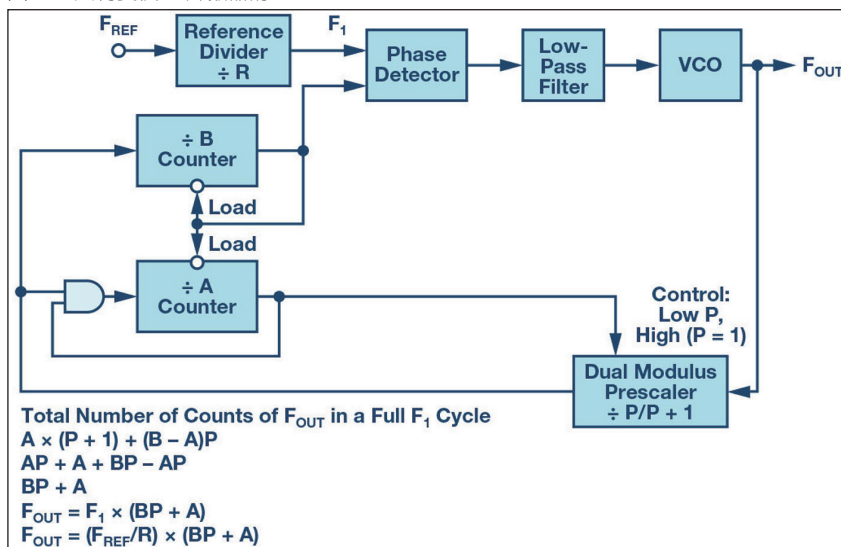


圖 12: 具有雙模 N 計數器的 PLL



PLL 的關鍵性能參數是相位雜訊、頻率合成過程中的多餘副產物或雜散頻率（簡稱雜散）。對於整數 N PLL 分頻，雜散頻率由 PFD 頻率產生。來自電荷泵的漏電流會調變 VCO 的調諧埠。低通濾波器可減輕這種影響，而且頻寬越窄，對雜散頻率的濾波越強。理想單音訊號沒有雜訊或額外雜散頻率（圖 10），但在實際應用中，相位雜訊像裙擺一樣出現在載波邊緣，如圖 11 所示。單邊頻相位雜訊是指在距離載波的指定頻率偏移處，1 Hz 頻寬內相對於載波的雜訊功率。

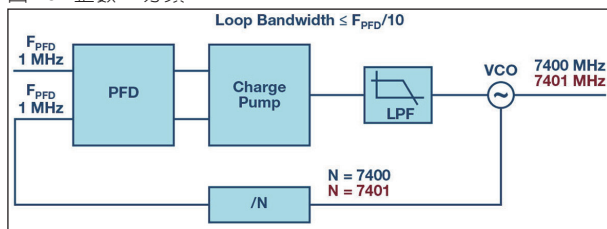
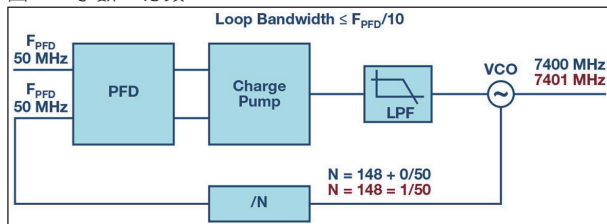
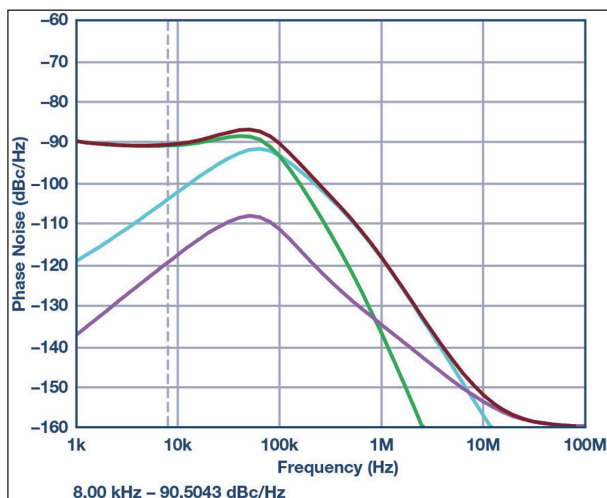
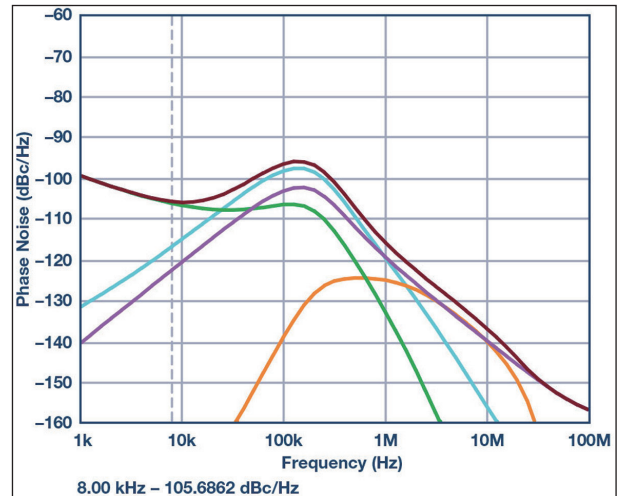
整數 N 和小數 N 分頻器

在窄頻應用中，通道間隔很窄（通常 <5MHz），回饋計數器 N 很高。透過使用雙模 P/P + 1 預分頻器，如圖 12 所示，可以利用一個小電路獲得高 N 值，並且 N 值可以利用公式 $N = PB + A$ 來計算；以 8/9 預分頻器和 90 的 N 值為例，計算可得 B 值為 11，A 值為 2。對於 A 或 2 個週期，雙模預分頻器將進行 9 分頻。對於剩餘的 (B-A) 或 9 個週期，它將進行 8 分頻，如表 1 所示。預分頻器一般利用較高頻率電路技術設計，例如雙極性射極耦合邏輯 (ECL) 電路，而 A 和 B 計數器可以接受這種較低頻率的預分頻器輸出，其可以利用低速 CMOS 電路製造，以減少電路面積和功耗。像 ADF4002 這樣的低頻淨化 PLL 省去了預分頻器。

表 1: 雙模預分頻器操作

N Value	P/P + 1	B Value	A Value
90	9	11	2
81	9	10	1
72	8	9	0
64	8	8	0
56	8	7	0
48	8	6	0
40	8	5	0
32	8	4	0
24	8	3	0
16	8	2	0
8	8	1	0
0	8	0	0

頻內 (PLL 迴路濾波器頻寬內) 相位雜訊受 N 值直接影響, 頻內雜訊增幅為 $20\log(N)$ 。因此, 對於 N 值很高的窄頻應用, 頻內雜訊主要由高 N 值決定。利用小數 N 分頻合成器 (例如 ADF4159 或 HMC704), 可以實現 N 值低得多但仍有精細解析度的系統。這樣一來, 頻內相位雜訊可以大大降低。圖 13 至圖 16 說明了其實現原理。在這些示例中, 使用兩個 PLL 來生成適合於 5G 系統本振 (LO) 的 7.4 GHz 至 7.6 GHz 頻率, 通道解析度為 1 MHz。ADF4108 以整數 N 分頻配置使用 (圖 13), HMC704 以小數 N 分頻配置使用。HMC704 (圖 14) 可以使用 50 MHz PFD 頻率, 這會降低 N 值, 從而降低頻內雜訊, 同時仍然支援 1 MHz (或更小) 的頻率步長——可注意到性能改善 15 dB (在 8 kHz 偏

圖 13: 整數 N 分頻 PLL圖 14: 小數 N 分頻 PLL圖 15: 整數 N 分頻 PLL 頻內相位雜訊圖 16: 小數 N 分頻 PLL 頻內相位雜訊

移頻率處) (圖 15 與圖 16 對比)。但是, ADF4108 必須使用 1 MHz PFD 才能實現相同的解析度。

對於小數 N 分頻 PLL 務必要小心, 確保雜散不會降低系統性能。對於 HMC704 之類的 PLL, 整數邊界雜散 (當 N 值的小數部分接近 0 或 1 時產生, 例如 147.98 或 148.02 非常接近整數值 148) 最需要關注。解決方法是對 VCO 輸出到 RF 輸入進行緩衝, 以及 / 或者做精心的規劃頻率, 改變 REFIN 以避免易發生問題的頻率。

對於大多數 PLL, 頻內雜訊高度依賴於 N 值, 也取決於 PFD 頻率。從頻內相位雜訊測量結果的平坦部分減去 $20\log(N)$ 和 $10\log(F_{PFD})$ 得到品質因數 (FOM)。選擇 PLL 的常用指標是比較 FOM。影響頻內雜訊的另一個因素是 $1/f$ 雜訊, 它取決於元件的輸出頻率。FOM 貢獻和 $1/f$ 雜訊, 再加上參考雜訊, 決定了 PLL 系統的頻內雜訊。

用於 5G 通信的窄頻 LO

對於通訊系統, 從 PLL 角度來看, 主要規格有誤差向量幅度 (EVM) 和 VCO 阻塞。EVM 在範圍上與積分相位雜訊類似, 考慮的是一系列偏移上的雜訊貢獻。對於前面列出的 5G 系統, 積分限非常寬, 從 1 kHz 開始持續到 100 MHz。EVM 可被認為是理想調變訊號相對於理想點的性能降幅百分比 (圖 17)。類似地, 積分相位雜訊將相對於載波的不同偏

移處的雜訊功率進行積分，表示透過配置可以計算 EVM、積分相位雜訊、均方根相位誤差和抖動。現代訊號源分析儀也會包含這些數值 (圖 18)，只需按一下按鈕即可得到。隨著調變方案中密度的增加，EVM 變得非常重要。對於 16-QAM，根據 ETSI 規範 3GPP TS 36.104，EVM 最低要求為 12.5%。對於 64-QAM，該要求為 8%。然而，由於 EVM 包括各種其他非理想參數 (功率放大器失真和不需要的混頻產物引起)，因此積分雜訊通常有單獨的定義 (以 dBc 為單位)。

VCO 阻塞規範在需要考慮強發射存在的蜂巢式系統中非常重要。如果接收器訊號很弱，並且 VCO 雜訊太高，那麼附近的發射器訊號可能會向下混頻，

圖 17: 相位誤差視覺化

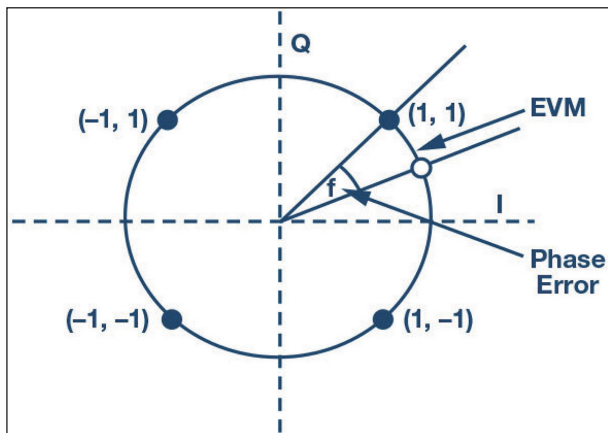


圖 18: 訊號源分析儀器

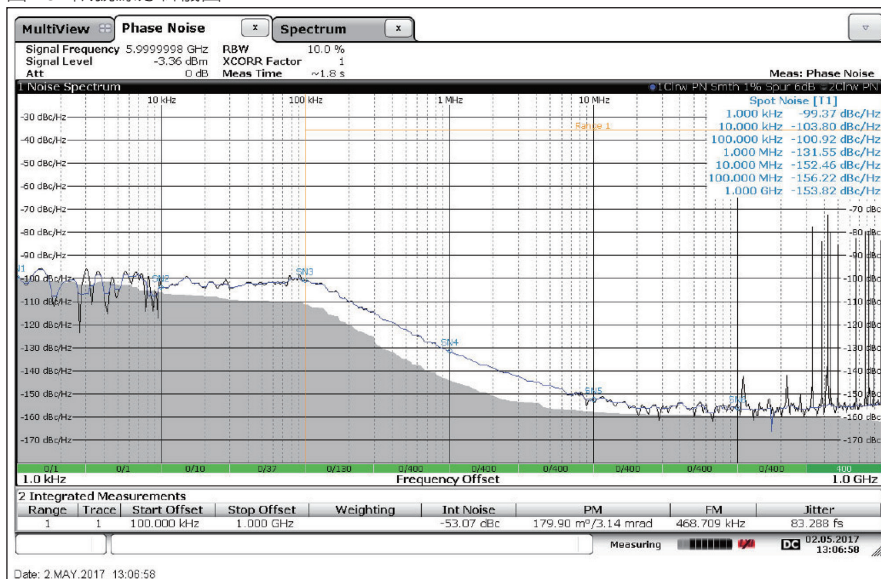
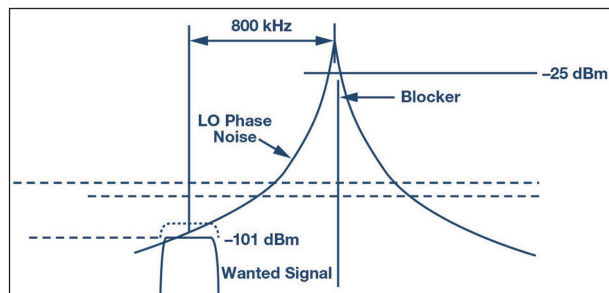


圖 19: VCO 雜訊阻塞



淹沒目標訊號 (圖 19)。圖 19 演示了如果接收器 VCO 雜訊很高，附近的發射器 (相距 800 kHz) 以 -25 dBm 功率發射時，如何淹沒 -101 dBm 的目標訊號。這些規範構成無線通訊標準的一部分。阻塞規範直接影響 VCO 的性能要求。

壓控振盪器 (VCO)

我們的電路中需要考慮的下一個 PLL 電路元件是壓控振盪器。對於 VCO，相位雜訊、頻率覆蓋範圍和功耗之間的權衡十分重要。振盪器的品質因數 (Q) 越高，VCO 相位雜訊越低。然而，較高 Q 電路的頻率範圍比較窄。提高電源電壓也會降低相位雜訊。在 ADI 的 VCO 系列中，HMC507 的覆蓋範圍為 6650 MHz 至 7650 MHz，100 kHz 時的 VCO 雜訊約為 -115 dBc/Hz。相較之下，HMC586 覆蓋了從 4000 MHz 到 8000 MHz 的全部倍頻程，但相位

雜訊較高，為 -100 dBc/Hz。為使這種 VCO 的相位雜訊最小，一種策略是提高 VCO 調諧電壓 VTUNE 的範圍 (可達 20 V 或更高)。這會增加 PLL 電路的複雜性，因為大多數 PLL 電荷泵只能調諧到 5 V，所以利用一個由運算放大器組成的有源濾波器來提高 PLL 電路的調諧電壓。

多頻段集成 PLL 和 VCO

另一種擴大頻率覆蓋範圍

而不惡化 VCO 相位雜訊性能的策略，是使用多頻段 VCO，其中重疊的頻率範圍用於覆蓋一個倍頻程

圖 20: 相位雜訊 HMC704 加 HMC507

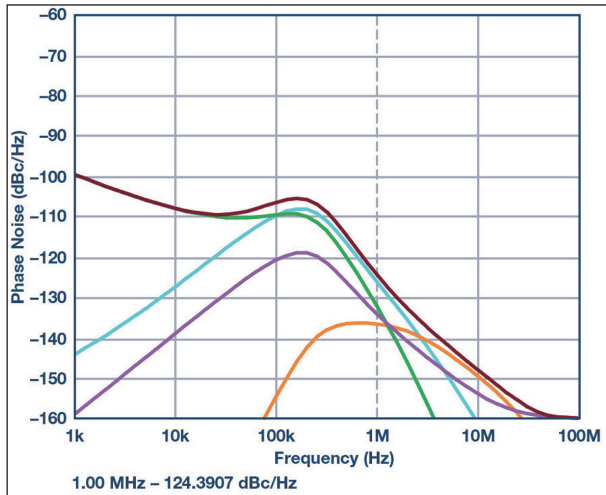


圖 21: 相位雜訊 HMC704 加 HMC586

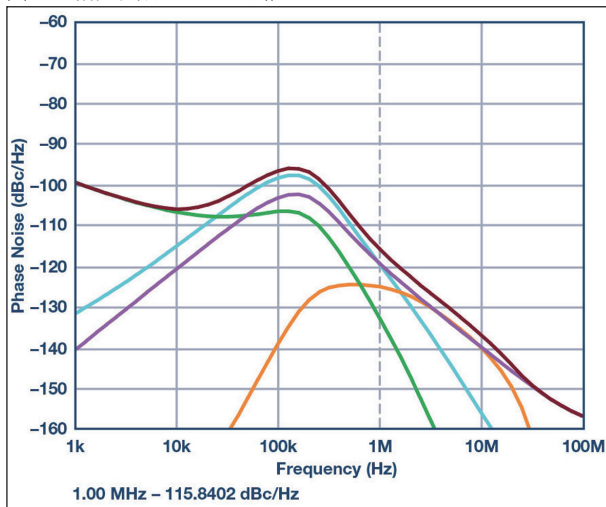
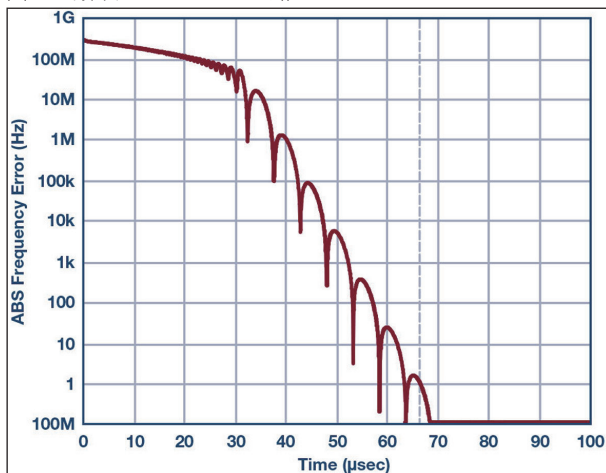


圖 22: 頻率建立: HMC704 加 HMC507



的頻率範圍，較低頻率可以利用 VCO 輸出端的分頻器產生。ADF4356 就是這種元件，它使用四個主 VCO 核心，每個核心具備 256 個重疊頻率範圍。該元件使用內部參考和回饋分頻器來選擇合適的 VCO 頻段，此過程被稱為 VCO 頻段選擇或自動校準。

多頻段 VCO 的寬調諧範圍使其適用於寬頻儀器，可產生範圍廣泛的頻率。此外，39 位小數 N 解析度使其成為精密頻率應用的理想選擇。在向量網路分析儀等儀器中，超快開關速度至關重要。這可以透過使用非常寬的低通濾波器頻寬來實現，它能非常快地調諧到最終頻率。在這些應用中，透過使用查閱資料表（針對每個頻率直接寫入頻率值）可以繞過自動頻率校準程式，也可以使用真正的單核寬頻 VCO，如 HMC733，其複雜性更低。

對於鎖相迴路電路，低通濾波器的頻寬對系統建立時間有直接影響。低通濾波器是我們電路中的最後一個元件。如果建立時間至關重要，應將迴路路頻寬增加到允許的最大頻寬，以實現穩定鎖定並滿足相位雜訊和雜散頻率目標。通訊鏈路中的窄頻要求意味著使用 HMC507 時，為使積分雜訊最小 (30 kHz 至 100 MHz 之間)，低通濾波器的最佳頻寬約為 207 kHz (圖 20)。這會貢獻大約 -51 dBc 的積分雜訊，可在大約 51μs 內實現頻率鎖定，誤差範圍為 1 kHz (圖 22)。

相較之下，寬頻 HMC586 (覆蓋 4 GHz 至 8 GHz) 以更接近 300 kHz 頻寬的更寬頻寬實現最佳均方根相位雜訊 (圖 21)，積分雜訊為 -44 dBc。但是，它在不到 27μs 的時間內實現相同精度的頻率鎖定 (圖 23)。正確的元件選擇和周圍電路設計對於實現應用的最佳結果至關重要。

低抖動時脈

對於高速數位類比轉換器 (DAC) 和高速數位轉換器 (ADC)，乾淨的低抖動採樣時脈是不可避免的構建模組。為使頻內雜訊最小，應選擇較低的 N 值；但為使雜散雜訊最小，最好選擇整數 N 值。時脈往往是固定頻率，因此可以選擇頻率以確保

圖 23: HMC704 加 HMC586

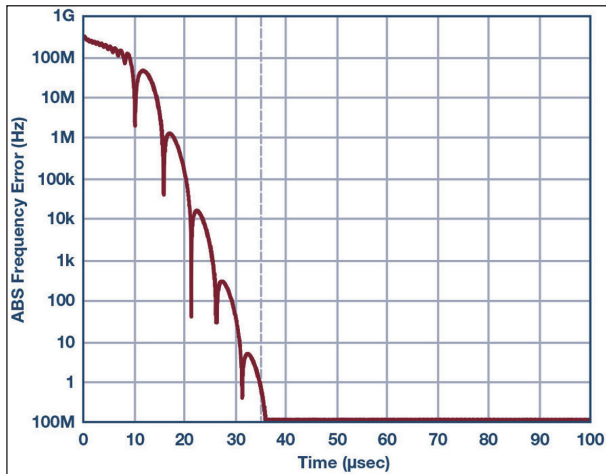


圖 24: LBW = 10 kHz, 331 fs 抖動

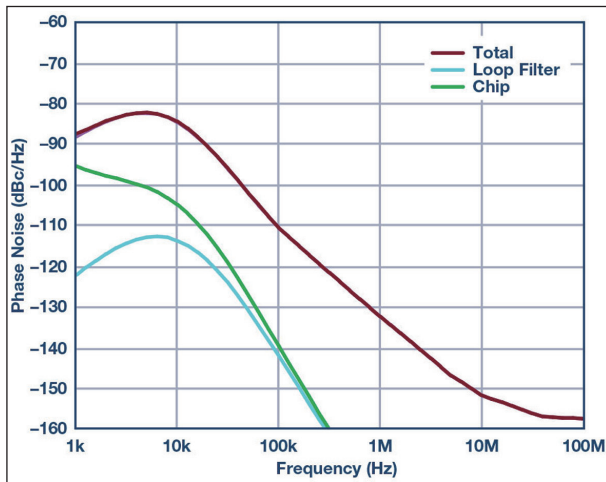
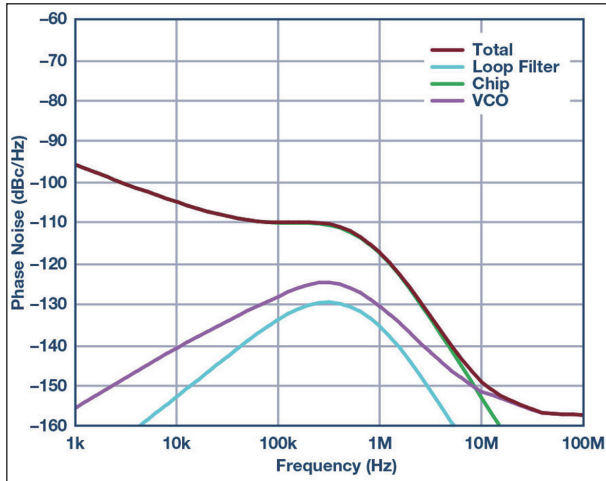
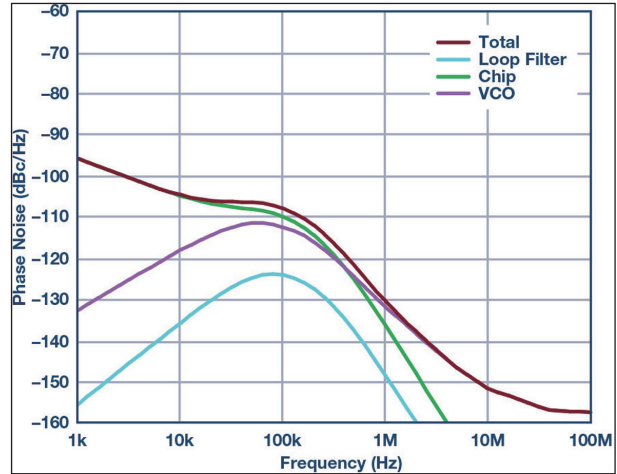


圖 25: LBW = 500 kHz, 111 fs 抖動



REFIN 頻率恰好是輸入頻率的整數倍。如此能保證 PLL 頻內雜訊最低。選擇 VCO (無論整合與否) 時, 須確保其雜訊對應用而言足夠低, 尤其要注意寬頻

圖 26: LBW = 132 kHz, 83 fs 抖動



雜訊。然後需要精心放置低通濾波器, 以確保頻內 PLL 雜訊與 VCO 雜訊相交——如此可確保均方根抖動最低。相位裕度為 60° 的低通濾波器可確保濾波器峰值最低, 從而最大限度地減少抖動。如此一來低抖動時脈就落在本文討論的第一個電路的時脈淨化應用, 和所討論的最後一個電路的快速開關能力之間。

對於時脈電路, 時脈的均方根抖動是關鍵性能參數。這可以利用 ADIsimPLL 估算, 或使用訊號源分析儀測量。對於像 ADF5356 這樣的高性能 PLL 元件, 相對較寬的低通濾波器頻寬 (132 kHz), 配合 Wenxel OCXO 之類的超低 REFIN 源, 允許用戶設計均方根抖動低於 90 fs 的時脈 (圖 26)。操縱 PLL 迴路濾波器頻寬 (LBW) 的位置表明, 如果降低太多, VCO 雜訊在偏移較小時 (圖 24) 將開始占主導地位, 頻內 PLL 雜訊實際上會降低, 而如果提高太多的話, 頻內雜訊在偏移處占主導地位, VCO 雜訊則顯著降低 (圖 25)。

參考文獻

- Collins, Ian. "Integrated PLLs and VCOs for Wireless Applications." Radio Electronics, 2010.
- Curtin, Mike and Paul O'Brien. "Phase-Locked Loops for High Frequency Receivers and Transmitters." Analog Dialogue, Vol. 33, 1999.