

完整 3D IC 寄生參數提取

■作者：John Ferguson 和 Dusan Petranovic/
Mentor Graphics 公司

3D IC 設計因為能夠實現 device 尺寸縮小 (device scaling)，同時最大限度地降低成本並保持外形參數可控，因此獲得了業界的大量關注，但驗證來自多個製程的元件仍是相當具有挑戰。在物理驗證領域，這部分工作已經有所進展——可以在獨立模式中根據特定 DRC 或 LVS 規則驗證晶片，從而在不需要製程細節的情況下獨立檢查 3D 貼裝中晶片到晶片的連接界面。但是，準確的時序分析 (timing analysis) 和電路完整性檢查 (circuit integrity) 仍舊存在問題。解決這一問題所需的是能夠描述多製程電路的方法，包括實際設計的 device 元件和寄生效應。幸運的是，Mentor 正在研究中的新技術可以提供所需的功能，解決這些問題。

萃取整個系統的寄生效應是極其困難的，需要瞭解晶片內部連線才能實現這種級別的寄生參數提取。通常，我們可以通過 LVS(Layout vs. schematic) 或讀取來自 LEF/DEF 等佈線資料庫的連接來獲得互連資訊。但是，很難針對多個晶片執行這兩種方法，尤其是在晶片來自不同製程的情況下。例如，LVS deck 語法非常複雜，又比如連接來自不同製程 (採用不同晶圓代工廠 LVS deck) 的相互堆疊的兩個晶片。這些理論上都可以實現，但需要大量關於 LVS 語法的專業知識。

對於較簡單的 3D 設計，我們可以避免這種費力的方法。我們假定，在理想情況下，最重要的寄生效應來自單個晶片寄生效應本身，並且晶片之間的寄生效應是可以忽略不計的。在這種情況下，假設已經提取了各個晶片的寄生效應，唯一需要的只是可以將這些提取的晶片網表 (die netlist) 整合在一起的方法。

使用帶 3D 驗證功能的物理驗證工具，例

如 Calibre 3DSTACK，就可以提取元件級 black-boxnetlist 並與 source netlist 作比較。對比無誤之後，只需要設法將寄生網表 (parasitic netlist) 從各個晶片導入相應的 black-box 子電路，這樣就能得到適用於各種模擬的三維元件級和 device 級的寄生網表。這種技術非常適用於設計，包括矽穿孔 (TSV)，即提取 TSV 時，晶片可作為用於模擬建模的 device 或寄生模型。

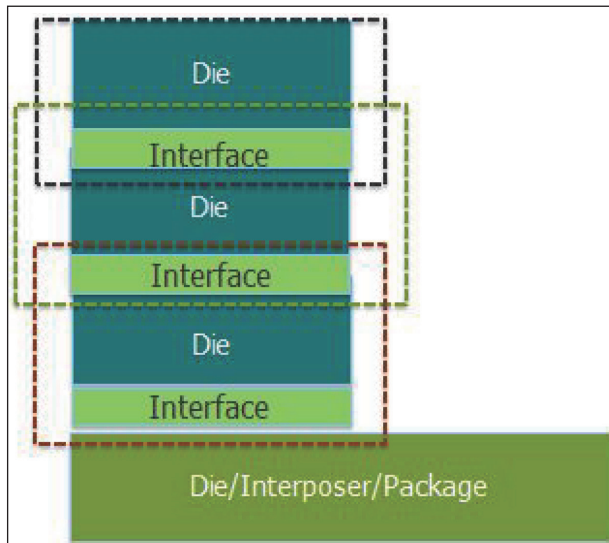
但是，我們真的可以將晶片到晶片和晶片到 bump 的互連視為理想狀況嗎？有很多耦合交互可能會產生影響，例如 micro bump/pillar 寄生效應、micro bump 間的耦合寄生效應、bump 與晶片頂端佈線層之間的耦合，甚至是兩個堆疊晶片的頂端佈線層之間的耦合。之前所述的方法不足以捕捉這些交互，但如果再花一點功夫，我們可以實現這些擴展。

有兩種方法可能有助於我們提高提取的準確性，而不要求單片式的元件級提取。第一種，我們可以單獨提取介面，然後將這些元件級的寄生效應與子電路的晶片級寄生效應整合在一起。第二種，我們可以提取 “in context” 的所有晶片貼裝，即在瞭解它們在貼裝時與之交互的介面層的情況下進行提取。

使用這種 “in context” 的方法可以提取所有相應的晶片。但是，我們必須識別產生介面寄生效應的單個晶片貼裝。對於這些晶片，介面寄生效應與原晶片寄生效應一起生成網表。對於其他晶片，介面的影響被加總到晶片頂層的寄生效應中，以避免重複計算。

為實現這種提取，晶片的貼裝必須包含充足的來自鄰近貼裝的幾何材料資訊 (圖 1)。通過將感興趣的介面層整合到底部晶片，我們可以捕捉到介面

圖 1: 展示晶片之間的介面如何與晶片組合的 3D IC 封裝。



寄生效應，以及到伸介面和中間層晶片幾何形狀的寄生效應。同樣的，通過結合頂部兩個晶片之間的介面層與頂部晶片，以及中間層晶片周圍的介面與中間層晶片，我們可以捕捉到這些介面的寄生效應。為避免重複計算，中間層晶片的網表不應包含介面寄生效應，並且應將介面的影響加總到中間層晶片的頂層以及背面最外層的寄生效應。

我們可以創建一個新的晶片版圖，將來自介面的感興趣的層以及相應的鄰近晶片層（例如一兩個

頂層佈線層）包含到主要晶片版圖中。有了新的版圖，同時把到介面和其它層介電屬性和垂直距離考慮在內，修改相應的寄生校準參數，我們就可以執行新的寄生參數提取，分別捕捉內部晶片和介面的寄生效應。當然，鄰近晶片幾何形狀的耦合寄生效應必須建模為集總寄生效應。

您可能猜到，這種方法所需的投入超過了理想情況下的工作量。首先，提取這些寄生效應需要更新校準參數，以包含介面區域的介電屬性和厚度。對給定晶片的現有製程參數進行逐級累加式校準可以簡化這一任務。其次，為實現 device 級的提取網表，我們必須針對修改過的包含新互連材料的版圖執行新的 LVS。幸運的是，往製程 LVS 規則集添加互連相對較簡單，而且是一個獨立的過程，因為不需要考慮來自鄰近晶片的電路 device。最後，為使用“in context”的方法創建 3D 堆疊頂層網表，我們必須將晶片介面的埠轉移到介面另一端。

通過這種方法，我們可以獲得每個晶片到晶片到晶片的耦合寄生效應。通過理想案例所採用的技術，我們可以將這些寄生效應導入到元件級網表，生成適用於模擬和電路分析的完整的 3D 元件級寄生網表。CTA

Xilinx 公佈新 16 奈米 Virtex UltraScale+ 系列 FPGA 細節

美商賽靈思 (Xilinx) 近期日公佈搭載高頻寬記憶體 (HBM) 及快取同調匯流互連架構加速器 (CCIX) 的 16 奈米 Virtex UltraScale+ 系列 FPGA 設計細節。此系列支援 HBM 的 FPGA 元件擁有最高記憶體頻寬，能提供較 DDR4 DIMM 高 20 倍的記憶體頻寬，更比業界採相同記憶體技術之產品每元低 4 倍功耗。此全新元件針對機器學習、乙太網路連結、8K 影像及雷達等密集型運算下所需較高之記憶體所設計。該系列產品亦提供 CCIX IP，可支援 CCIX 之處理器以執行快取同調匯流，滿足運算加速應用。

以 2015 年起即採樣並通過重重檢證的 16 奈米 Virtex UltraScale+ 系列 FPGA 為基礎，針對 HBM 最佳化的 Virtex UltraScale+ 產品將 HBM 整合的風險降到最低。此系列產品以台積公司與賽靈思共同開發之第三代 CoWoS 技術建構，樹立目前 HBM 整合的產業標竿。