

# FPGA 提升馬達控制系統

## 推動效率、性能和設計靈活性

電動馬達集體消耗了相當大一部分的全球電力。市場研究機構 IHS Technology 指出，96% 的馬達全壽命成本單純為電費。監管機關為此實施更加嚴格的能源標準，製造商也在仔細審查電力在設備總持有成本 (TCO) 中所占的高比率。如此一來將導致更複雜的馬達控制設計，這些設計使用建基於感測器、無感測器反饋回路，以及先進的演算法，以實現更精密的控制和更高的馬達效率。

■作者：美高森美資深工業行銷經理 Jason Chiang  
FPGA/SoC 行銷總監 Ted Marena

馬達設計人員還必需支援不斷改變的工業控制標準和技術，同時提供關鍵性系統功能以確保安全性、可調節性和可靠性。要實現能效及強化的系統級功能的雙目標，需要充分的演算法處理能力以及靈活可調節的系統架構。建基於快閃 (flash-based) 的非揮發性安全低功耗系統單晶片現場可程式設計邏輯器件 (FPGA) 元件提供必需的功率，同時結合固有和分級的安全性和可靠性，從而能同時應對這兩項挑戰。它不但可保護物聯網應用的通訊，同時還具備在各種多軸或高 RPM 應用中，從小型體積快速簡單地轉換至功能豐富的定製馬達設計的可調節性。

### 挑戰

雖然傳統設計使用簡單的純量控制，然而，高效馬達則在任何轉矩和速度範圍中都使用磁場導向控制 (FOC) 以顯著提升效率。由於採用電流控制，FOC 還可以根據應用需求來最佳化功率轉換器電路和馬達體積。它使用反饋回路，帶有或不帶有感測器，並以複雜的演算法來調整關鍵的馬達動作參數，包括速度、位置或角度、轉矩、電流及磁通。傳統上，單軸或雙軸設計使用微控制器 (MCU) 和 DSP 來執行演算，但其處理能力跟不上日益增長的多軸或高速旋轉馬達性能需求。此外，由於現今的使用情況日趨複雜，除了馬達的控制效率之外，還要面對其他挑戰，尤其是聯網的工廠，今日的物聯

網 (IoT) 環境對安全通訊提出重大要求，對此，建基於快閃的 FPGA 架構將是理想的解決方案。

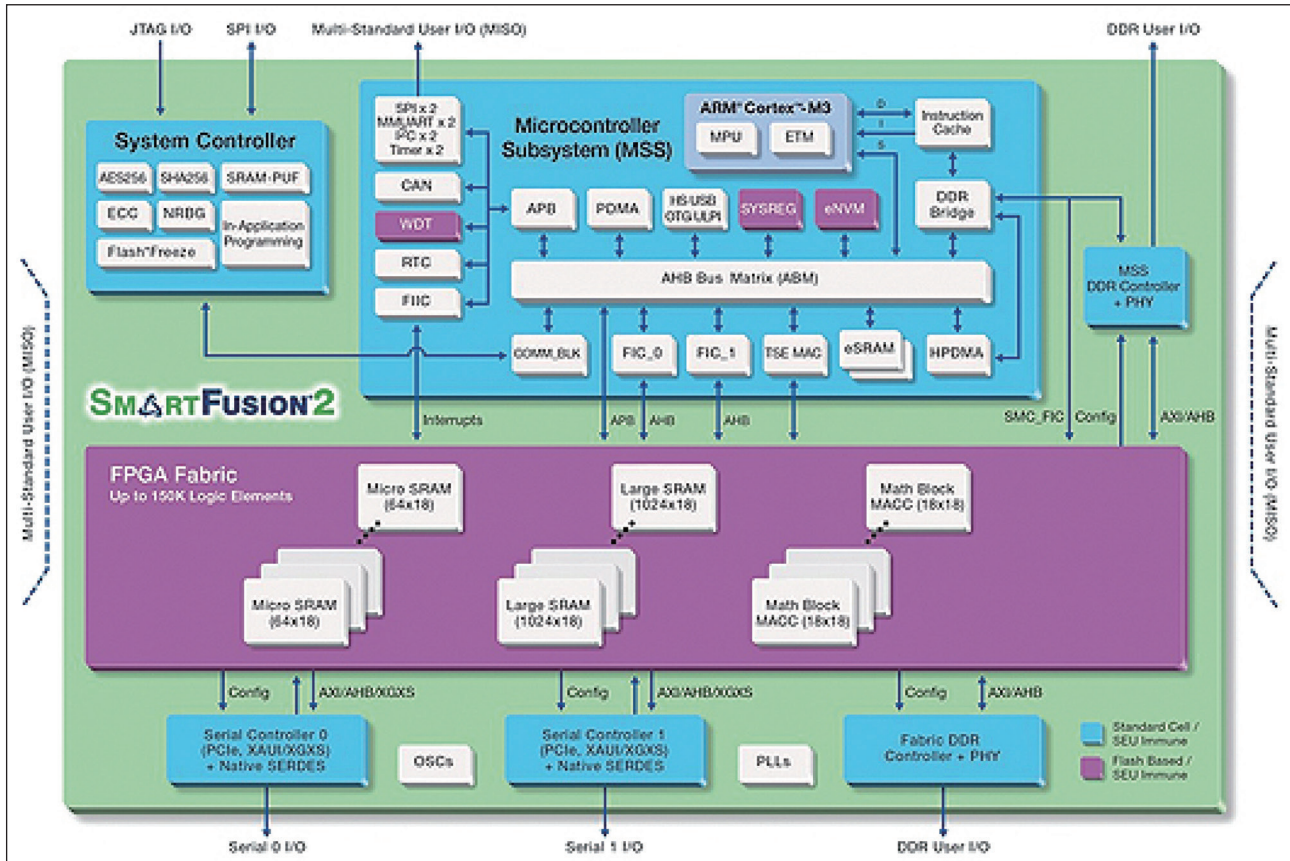
在馬達控制設計的電力電子方面，絕緣閘雙極電晶體 (IGBT) 元件正轉向碳化矽 (SiC) 功率 MOSFET 元件，SiC 的解決方案提供了更高的帶隙提升冷卻性能 (從而可使用較小較便宜的散熱片)、更佳的熱傳導性來提高功率密度，以及更高的開關頻率 (超過 100kHz)，從而可在變頻器上使用更小的磁件，如此將有助於降低客戶的總持有成本 (TCO)。

在控制端，DSP 和 MCU 元件在較高開關頻率時的表現不佳，某些 DSP 能最佳化幾個用於高頻開關的通道，但是它們仍然缺乏快速適應需求發生改變的能力，也無法增加更多脈寬調製 (PWM) 通道來控制電力電子性能 (實際上通常轉嫁到 FPGA 元件)。ASIC 和 ASSP 元件也有相同的靈活性和調節難題。

和建基於 MCU/DSP 解決方案相比，建基於快閃的 FPGA 元件提供了更高性能，可用於高速、低延遲演算法處理，同時整合附加的系統功能以進一步改善總持有成本。設計人員可使用建基於快閃的 FPGA 元件來調節到更高開關頻率和更多 PWM 通道，以配合電力電子裝置，從而超越 MCU/DSP 的支援功能。

圖 1 所示為採用 ARM Cortex-M3 微控制器且建基於快閃的 SoC FPGA 元件，可用於執行馬達控制和監視功能。這個 FPGA 元件用來執行馬達控制

圖 1：可以用於馬達控制和監控功能，建基於快閃的 SoC FPGA 架構範例



功能項目中的硬體加速，可提升性能和設計靈活性。馬達控制演算可以轉嫁到 FPGA 元件上運行，以實現速度更快的平行處理，它的智慧分區功能可確保微控制器子系統中所有通訊協定運作完全不影響到在 FPGA 元件上運行的馬達控制的演算法計算。

隨插即用的 IP 區塊模組化套件，專為執行所有必要的馬達數學模型而定制，從而完善了今日的 FPGA 解決方案。開發人員可以採用指定的 IP 區塊作為 FPGA 架構中硬體加速之用，從而能夠應對全系列演算法處理的挑戰。這些解決方案可確保低功耗運作，同時透過可加快上市速度的簡單設計流程，並提供滿足持續演進需求的靈活性和可調節性，協助設計人員最佳化開發中的系統，以實現高可靠性、高安全性和保密功能。

## 低功耗操作

用於馬達控制設計的 FPGA 元件必需同時減少

靜態功率和總體功率，特別是在高頻和高溫下。跟必需在啟動時由外部程式記憶體 (ROM) 進行配置、採用六個電晶體的靜態隨機存取記憶體 (SRAM) 單元的 FPGA 相比，內置單電晶體快閃儲存單元的 FPGA 更具有優勢。建基於快閃的最新 FPGA 解決方案還使用了全面性的方法以最大限度降低功耗，包括製程技術、架構及可配置邏輯設計在內，此外還具備嵌入式功能，包括增強的 M3 MCU、5G SERDES、DDR2/3、TSE、DSP 區塊，以及專用的功率模式。與建基於 SRAM 的 FPGA 解決方案相比，這個方法可降低 50% 總體功率及 10% 靜態功率。

## 可靠性、安全性和保密性

正常情況下，對於重視固定時間 (deterministic timing) 的馬達控制和網路功能的執行，FPGA 元件將更為可靠。微控制器的定時變化可能高達數毫秒，而 FPGA 元件的定時變化則僅有毫微秒或更少。

實現安全性的最佳選擇是建基於快閃、而非建基於 SRAM 的 FPGA 元件，這是因為它們在非揮發性記憶體中儲存組態資訊，位元流永遠不會在啟動時曝光。此外，它們對於可改變 SRAM 的組態內容的單事件翻轉 (SEU) 還具有免疫力。某些建基於快閃的 FPGA 元件還可以作為具有關鍵儲存能力的信任根 (root-of-trust) 元件，從而可保護超連結工業的物聯網 (IoT) 系統避免受到複製、篡改或其他惡意攻擊。為滿足安全性需求，這些 FPGA 元件以自身的物理不可複製功能 (physically unclonable function, PUF)，通過公鑰基礎架構 (PKI)，將公鑰 / 私鑰方案中的私有密鑰延伸使用來實現 M2M 認證。其他功能還有包括加密加速器、亂數發生器、可保護 CPU/DSP 核心的硬體防火牆，以及差分功率分析 (DPA) 防禦措施，所有這些功能全部一起在整個系統中實施分級的安全防禦，從而保護硬體和資料。

## 以模組化方法簡化設計

模組化和性能導向 IP 區塊套件可以通過隨插即用的簡易性來執行演算法，產生的設計可以輕易地在多個平台上導入使用，以加快上市速度。所有的 IP 區塊都已在實際的硬體上通過類比測試，可保證精確的轉矩輸出，並能輕易將其整合以建立任務專用模組。各 IP 區塊都有助於共用 FPGA 資源的分享，以實現最高效的晶片利用率（參見圖 2）。

這款 IP 套件還包括所有基礎構件，包括座標轉換 (Clarke 轉換和 Park 轉換)、用於控制環路回饋

的比例積分 (PI) 控制器、以及空間向量脈衝寬度調變 (SVPWM)。

## 靈活性 and 可調節性

模組化 IP 套件還可以簡化定製和調節，以支援不同的多軸馬達或高 RPM 解決方案的組合，同時滿足不斷演進的各地區技術標準。IP 模組越小 (例如整個套件小於 10,000 個邏輯元件)，便需要越多資源來支援整合需求。

在 FPGA 元件上執行的 IP 套件經調節後，可從兩個無刷直流 (BLDC)/ 步進馬達通道擴展到六軸應用，或者可推動馬達性能至超過 70,000 RPM，根據需求而定。一個調節多軸 FOC 控制的方法，是在元件中各個 FOC 環路實行分時多工，使得每個馬達可以單獨控制，從而滿足不同的參考速度和轉矩需求。在 FPGA 架構中實施各種功能，騰出微處理器子系統用於執行通訊協定堆疊，提供人機介面，或者執行其他任務。

電子馬達的設計人員必需滿足強制的能源要求，同時確保系統能夠調節和適應。建基於快閃的 SoC FPGA 元件結合了硬體必備的處理能力，並具有加速及智慧分區廣泛功能選項的軟體可編程性，從而成為取代 DSP、MCU、ASIC 和 ASSP 等元件越來越具有吸引力的選擇。建基於快閃的 FPGA 元件增添了固有安全性，能夠作為聯網工廠中安全 IoT 通訊的信任根。 **CTA**

圖 2: IP 區塊有助於共用 FPGA 資源的分享，以實現最高效的晶片利用率

