

次世代高頻電源轉換提供最佳化效率、節省空間

具有「類氮化鎵」切換損失之超接面 MOSFET 如何解決硬切換與軟切換應用的設計與成本挑戰

■作者：英飛凌 Franz Stücker

更快的切換速度、更低的損失、維持最佳基板空間以及最低的整體擁有成本 (TCO)，是當今電源供應器設計師面臨的最主要挑戰。藉由降低導通電阻，同時提供「類氮化鎵」切換損失，最新的超接面 (SJ) MOSFET 技術擁有解決現代硬切換與軟切換應用所面臨挑戰的關鍵技術。

電源轉換需求

當今高階電源轉換應用可區分為需要最高效率 (及最低運轉成本與整體擁有成本) 的應用，以及需要高階效率但也需要嚴格的物料清單 (BoM)、成本及外型需求的應用。

前者的例子包括超大規模資料中心及電信基地台，其目標電源供應效率最高可達 98%。後者的例子包括企業伺服器，其效率約 94%，但關鍵在於可節省基板空間並降低整體物料清單及設計成本。

在所有案例中，工程設計的挑戰是最佳化高功率切換模式電源供應器 (SMPS) 設計須符合特定應用需求。可部署的各種 SMPS 拓撲在操作方面可分為「硬切換」或「軟切換」。

硬切換拓撲，例如功率因子校正 (PFC) 電路，在切換電晶體開及關時，電壓與電流之間有一個重疊。此重疊會導致能源損失，藉由提升切換速度 (如此會影響 EMI 行為) 可將上述損耗降至最低。在軟切換拓撲中，例如 LLC 諧振轉換器，在電晶體開啓或關閉之前，電壓或電流會變成零。這有改善

損失的效果，而平順的諧振切換波形亦有助於降低 EMI。

對於 SMPS 設計師而言，選擇功率 MOSFET 非常重要。當今的電源供應器需要的元件必須有效率地切換，且具備高電壓與高頻率的可靠性，近年來已藉由從傳統平面 MOSFET 改為使用超接面 (SJ) 技術來達成上述需求。這類 MOSFET 大多採用硬切換設計，但最新的技術使 SJ MOSFET 能夠同時解決硬切換與軟切換的需求。

超接面 MOSFET

在傳統 MOSFET 方面，汲極漂移區的電壓阻斷功能來自於結合較厚的外延區與光摻雜。結果使汲極區構成 95% 的整體元件電阻。但是，SJ 電晶體採用不同的汲極架構以降低特定區域的電阻，而不影響電壓阻斷功能。除了提供較低的導通損失之外，SJ 技術可達到較小的晶片區域亦有助於減少電容並降低切換損失。圖 1a 顯示 SJ 設計的兩個關鍵原則。

首先，在導通狀態時，主電流路徑的摻雜程度比傳統高電壓 MOSFET 來得高。如此可大幅降低區域特定的導通電阻 ($R_{DS(ON)} \cdot A$)，因此可降低導通損失。

其次，在關閉狀態時，使用精確尺寸及摻雜的 p 行提供「補償架構」以平衡過度摻雜的電流路徑。如此會增加零淨電荷的空間電荷區域，可支援高阻斷電壓。

圖 1a：超接面原則

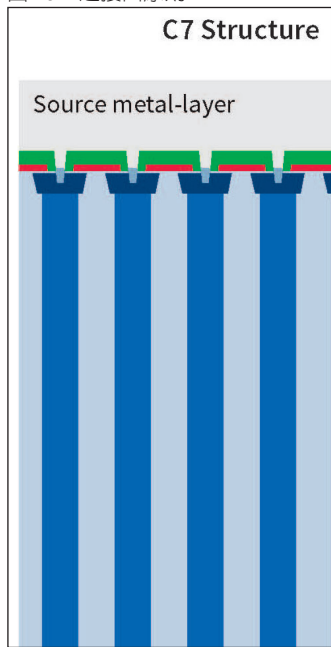


圖 1b 顯示最新發展 SJ 技術 CoolMOS[®] C7 的示意圖。它具有高長寬比的補償架構，以及較前代 SJ 技術小得多的間距尺寸。此架構提供的大幅效能提升包括業界最低的導通電阻額定值以及「類氮化鎵」切換損失效能。

CoolMOS 600V C7 提升水平

CoolMOS C7

600 V MOSFET 系列產品是真正的「通用」技術，其元件同時符合硬切換與軟切換拓撲的效能、效率及功率密度需求。這些產品同時也是業界率先突破 " $\text{C mm}^2 R_{DS(ON)} \cdot A$ 1 Ω 限制的 MOSFET。

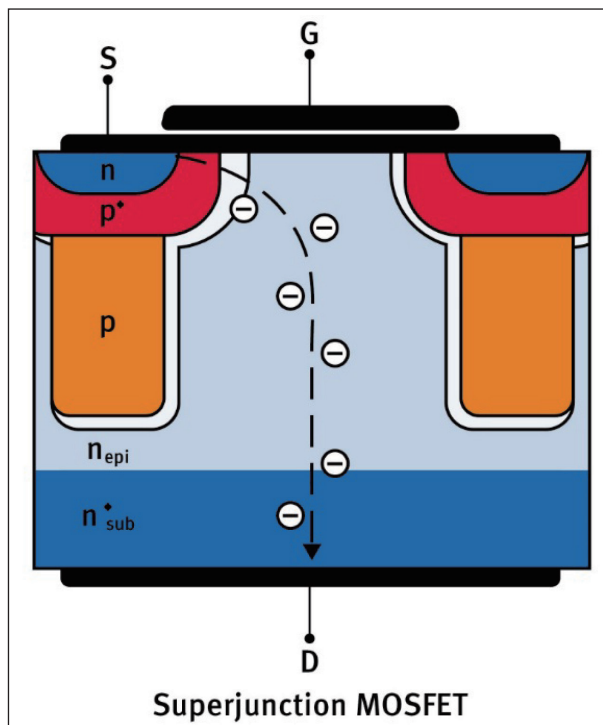
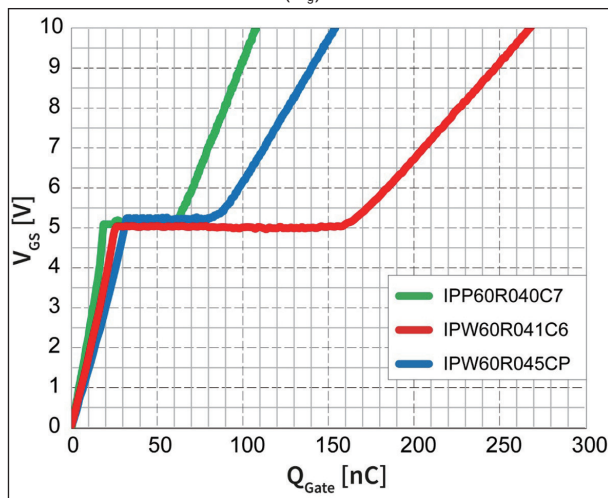
以 TO-247 封裝為例，將可達到僅 17 m Ω 的最大 $R_{DS(ON)}$ ，相較於 650 V C7 SJ 前代裝置可提升 ~10%。以 TO-220/D²PAK 為例，最大 $R_{DS(ON)}$ 仍僅有 40 m Ω ，比最佳的產品低 36%。

同時，C7 半導體架構可降低切換損失，因為相較於前代 SJ 技術，它具有較低的典型閘極電荷 (Q_g)，約為 107 nC @ 40 m Ω ，以及較低的閘極-汲極電荷 (Q_{gd})。圖 2 說明前者可帶來較低的閘極驅動損失，後者是與切換時間與損失相關的重要參數。

如圖 3 所示，比較 CoolMOS C7 與前代 CoolMOS C6 的 C_{OSS} ，藉由 C7 架構所達成輸出電容 (C_{OSS}) 提升亦值得考量。

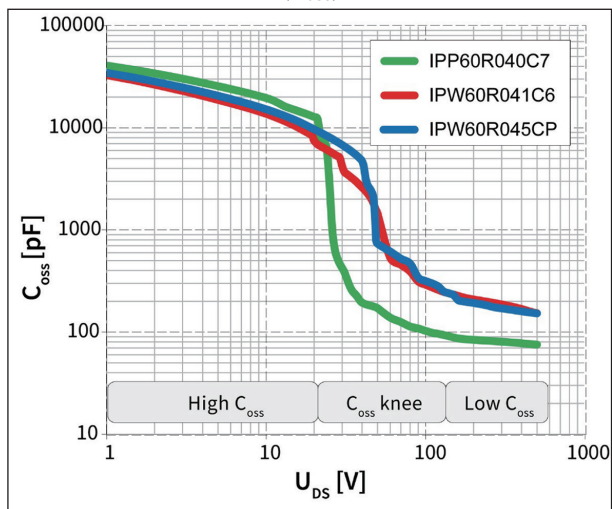
C7 在低電壓區域顯然有較高的 C_{oss} 值，相較於其他 SJ 技術，當電壓增加時，其下降速度更快，且在高電壓區域具有明顯較低的值。在低電壓時具有較高的電容，表示 C7 有較低的關閉能源 (E_{off})。在高電壓時，若電容較低，會導致更快速的 dv/dt 轉移。此外，結合 C_{OSS} 在低電壓時的下降以及在較

圖 1b：CoolMOS C7 的架構

圖 2：SJ MOSFET 閘極電荷 (Q_g) 比較

高電壓時的 C_{OSS} 減少 (這會決定 E_{OSS} ，儲存於輸出電容的能源的整體值)，使 E_{OSS} 在典型直流連結電壓時下降至大約前代產品的二分之一。

在硬切換應用中，此能源代表固定損失，在輕量負載情況下將變得明顯 (而其他損失皆取決於負載，並且會在負載降低時大幅減少)。因此， E_{OSS} 降低將有助於硬切換設計提升輕量負載時的效率，這相當於以昂貴許多的 GaN 技術所達到的效果。

圖 3：SJ MOSFET 輸出電容 (C_{oss}) 比較

PFC 與 LLC 設計的優點

600 V CoolMOS C7 技術提供的效能提升，可為前述效率導向以及成本 /BoM 導向的應用帶來實質利益。

舉例來說，圖 4 顯示部署於連續導通模式 (CCM)、功率因子校正 (PFC) SMPS 為 65 kHz 時，600 V C7 MOSFET 相較於 CoolMOS CP 系列元件的效率。我們可明顯看到，搭配 TO247-4 封裝時，較 CoolMOS CP 高出 0.7% 的輕量負載效率，在整體負載範圍則高出 0.4% 的平均效率。上述增加的 PSU 效率，可藉由較低的能源損耗進而降低整體擁有成本。以 2.5 kW 伺服器 PSU 平均運作負載 50% 為例，上述提升的效率可降低超過 9% 的能源成本。

另外，由於熱損耗較少，因此可在較高密度的外型中獲得優異的效能，帶來額外的電路板空間節省效果。

圖 5 顯示高階 600W LLC 諧振轉換器設計的類似的效能比較，此次為相對於負載電流。同樣的，600 V C7 技術在所有負載情況下皆可提供最高效率。

雙倍切換頻率

透過提升 Q_g 、 C_{OSS} 及 E_{OSS} 所降低的切換損耗，可供使用較高的切換頻率且完全不影響效率。例如，測試中顯示 C7 技術可在 130 kHz 頻率下切換，為前代 CP 技術的兩倍，僅在輕度負載時稍微

圖 4：降低硬切換 PFC 設計的損失

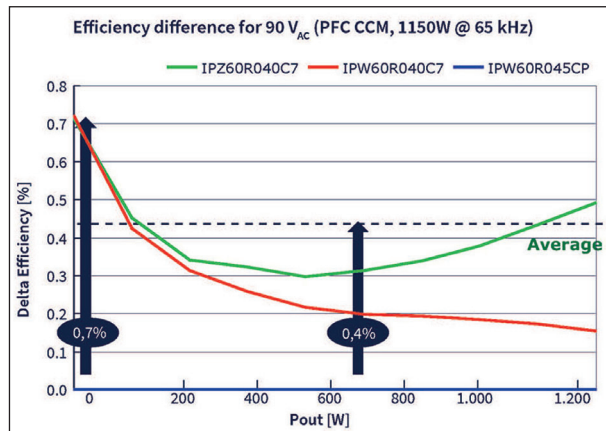
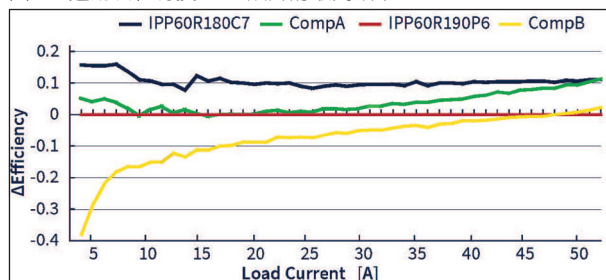


圖 5：適用於軟切換 LLC 設計的最高效率 MOSFET



損失 0.2%。

運作頻率加倍可帶來極大的空間並降低 BOM 成本，因為所需的電感元件的額定值 (及尺寸) 有可能減半，因此最多可減少 30% 的磁性元件成本。

透過封裝大幅提升完整的負載效率

除了先進的半導體製程之外，英飛凌在封裝技術方面亦獲得進步。以採用 TO-247 4pin 封裝的 600 V C7 CoolMOS 系列產品為例，可為 MOSFET 源極提供額外的連線。

TO-247 4pin 封裝的開發是為了解決柵極驅動裝置的快速電流暫態，在源極的寄生電感上造成壓降的常見問題。此問題會抵消驅動電壓，降低切換速度並增加相關的能源損耗。TO-247 4pin 封裝在源極上設有額外的「源極感應」連線，可做為驅動器的參考電位，免除柵極驅動迴路中的源極電感，並為柵極提供不受干擾的訊號。依據應用的不同，此創新亦可提供更高的高負載效率，並可利用較高 $R_{DS(ON)}$ MOSFET 降低 BoM 成本。

產品組合及支援

CoolMOS C7 600 V MOSFET 最初將提供 TO-220、TO-247 和 TO-247 4 針腳封裝，視特定元件而定，最高額定 $R_{DS(ON)}$ 範圍從 180mΩ 至 40mΩ 不等。

除了裝置之外，英飛凌亦透過特定應用的評

估板以及 CoolMOS C7 600 V MOSFET 的參考設計等，提供完整的開發與原型設計支援。其中包括 130 kHz 800W CCM PFC 基板、2.5 kW PFC 設計，以及提供 12 V、50 A 輸出的半橋式 600W LLC 基板。

(本文作者 Franz Stückler 為英飛凌公司高電壓電源轉換應用的資深系統工程師)

CTA

資策會與 IEEE 簽訂合作備忘錄 正式成為世界夥伴計畫一員

為使台灣資通訊專業教育注入活水，讓國內求職者更具競爭力，財團法人資訊工業策進會（資策會）與美國電機電子工程師協會（Institute of Electrical and Electronics Engineers, IEEE）合作，首度將 IEEE 旗下的計算機協會（Computer Society, IEEE CS）線上課程引進台灣，今（1）日

並在資策會龔仁文副執行長與 IEEE Division VIII 董事 Dr. Dejan S. Milojicic 的共同見證之下，由資策會數位教育研究所（教研所）李進寶所長，與代表 IEEE CS 主席 Roger Fuji 出席的副總裁陳澤隆，雙方簽訂合作備忘錄（MOU），象徵台灣資通訊專業教育正式與歐美主流無縫接軌。

IEEE CS 副總裁陳澤隆致詞時表示，IEEE 是國際性的電子技術與電子工程師協會，擁有來自超過 175 個國家的 40 萬會員，在全球 150 多個國家擁有分會，旗下還有 35 個專業協會及 2 個聯合會，是全球具指標性的專業技術組織。近年來，計算機協會（IEEE CS）成員人數在亞太地區成長幅度明顯，此次十分高興能與台灣資通訊教育與認證的領導者－資策會合作，成為 IEEE CS 世界夥伴計畫合作成員之一，盼能藉此加速拓展亞太鏈結網路。

資策會龔仁文副執行長則指出，值此科技日



圖說：在資策會龔仁文副執行長（左一）與 IEEE Division VIII 董事 Dr. Dejan S. Milojicic（右一）的見證下，由資策會教研所李進寶所長（右二）與 IEEE CS 副總裁陳澤隆（左二）代表雙方簽署 IEEE 認證課程合作備忘錄。

新月異，破壞性創新正不斷地改變資通訊教學的內容與教法之際，此次 IEEE 同意以其大師級教授累積多年專業經驗，及所形成的教材內容提供給資策會，開放予更多國內有志以資通訊領域為職涯規劃的專業人士於線

上學習，無疑是對當今台灣的資通訊專業教育注入一股重要的活水泉源。

目前資策會教研所規劃將以 IEEE CS 的線上課程為基礎，共同合作開發包括：軟體工程、程式語言、物聯網，與網路安全等，四大系列、共計 17 門可獲得 IEEE 認證的資通訊線上課程，促青年學子或在職人士，能藉此習得第二專長、提高求職成功的機會、降低就業門檻、同時強化在職訓練教材內容，更重要的是能同步接收歐美第一手的新科技發展資訊與技能。資策會也將與 IEEE 於台灣共同辦理資通訊工作坊（Workshop）與研討會，加強國人資通訊的專業知識和技能。此外，IEEE 與資策會也正和台灣大學電機系探詢合作推廣到大學校園的可能性，一旦成功，台大電機系將與資策會共同提供 IEEE 軟硬體整合的課程給學生和社會大眾，並將於近期完成三方合作協議。