

用集成驅動器優化 GaN 性能

將 GaN FET 與它們的驅動器集成在一起可以改進開關性能，並且能夠簡化基於 GaN 的功率級設計。

■作者：德州儀器設計工程師謝湧；設計與系統經理 Paul Brohlin

氮化鎗 (GaN) 電晶體的開關速度比矽 MOSFET 快上許多，從而提升實現更低的開關損耗的可能性。然而，當壓擺率很高時，特定的封裝類型會限制 GaN FET 的開關性能。將 GaN FET 與驅動器集成在一個封裝內可以減少寄生電感，並且優化開關性能。集成驅動器還可以實現保護功能。

簡介

氮化鎗 (GaN) 電晶體的開關性能要優於矽 MOSFET，因為在同等導通電阻的情況下，氮化鎗 (GaN) 電晶體的終端電容較低，並避免了體二極體

所導致的反向恢復損耗。正是由於這些特性，GaN FET 可以實現更高的開關頻率，從而在保持合理開關損耗的同時，提升功率密度和瞬態性能。

傳統上，GaN 裝置被封裝為分立式裝置，並由單獨的驅動器驅動，這是因為 GaN 裝置和驅動器基於不同的處理技術，並且可能來自不同的廠商。每個封裝將會有引入寄生電感的焊線和引線，如圖 1a 所示。當以每納秒數十到幾百伏電壓的高壓擺率進行切換時，這些寄生電感會導致開關損耗、振鈴和可靠性問題。

將 GaN 電晶體與其驅動器集成在一起（圖 1b）

圖 1：由獨立封裝內的驅動器驅動的 GaN 裝置 (a)；一個集成 GaN/ 驅動器封裝 (b)。

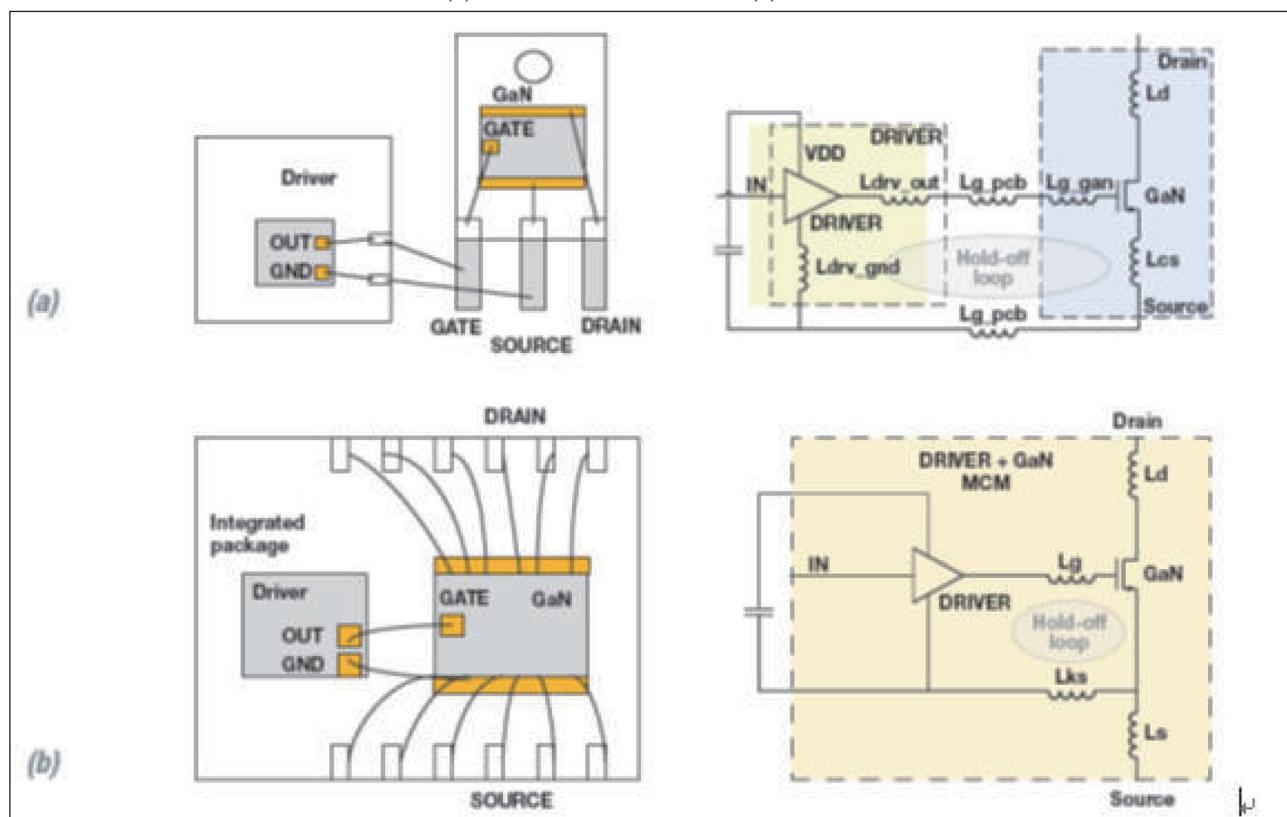
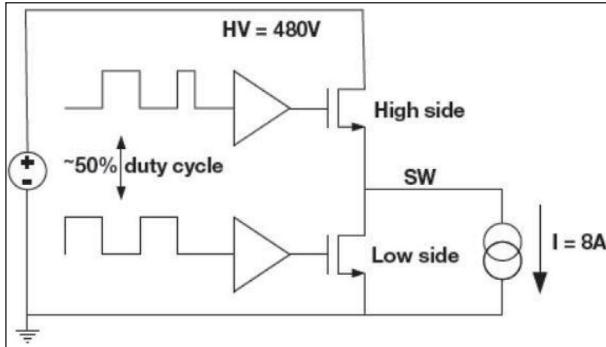


圖 2: 用於模擬的半橋電路的簡化圖



可以消除共源電感，並且極大降低驅動器輸出與 GaN 柵極之間的電感，以及驅動器接地中的電感。在這篇文章中，我們將研究由封裝寄生效應所引發的問題和限制。在一個集成封裝內對這些寄生效應進行優化可以減少該問題，並且以高於 $100V/ns$ 的高壓擺率實現出色的開關性能。

模擬設置

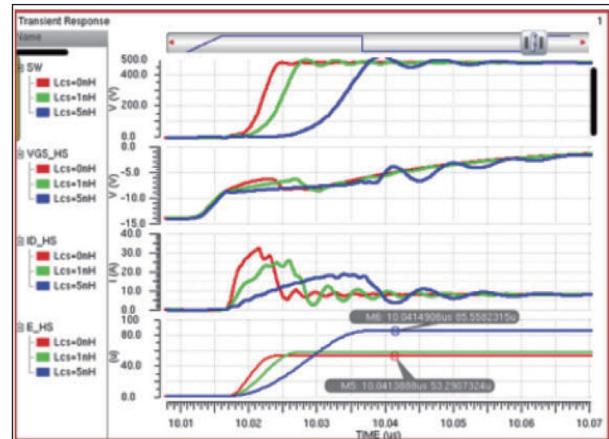
為了模擬寄生電感效應，我們使用了一個採用直接驅動配置的空乏型 GaN 半橋功率級（圖 2）。我們將半橋設置為一個降壓轉換器，匯流排電壓 $480V$ ，死區時間 $50ns$ 時 50% 占空比（輸出電壓 $[V_{OUT}] = 240V$ ），以及一個 $8A$ 的電感器電流。這個 GaN 柵極在開關電壓電平間被直接驅動。一個阻性驅動設定 GaN 裝置的接通壓擺率。一個電流源只會模擬一個與連續傳導模式降壓轉換器內開關（SW）節點所連接的電感負載。

共源電感

高速開關中最重要的一個寄生要素是共源電感（圖 1a 中的 L_{CS} ），它限制了裝置汲取電流的壓擺率。在傳統的 TO-220 封裝中，GaN 源由焊線流至引線，而汲取電流與柵極電流都從這裡流過。這個共源電感在汲取電流改變時調製柵源電壓。共源電感會高於 $10nH$ （其中包括焊線和封裝引線），從而限制了壓擺率 (di/dt)，並增加開關損耗。

借助圖 1b 中所示的集成式封裝，驅動器接地直接焊接至 GaN 裸片的源焊墊。這個 Kelvin 源連

圖 3: 不同共源電感情況下的高管接通：紅色 = $0nH$ ，綠色 = $1nH$ ，藍色 = $5nH$ 。E_HS 是高管裝置的 VDS 和 IDS 在執行時間內的積分值（能耗）。



接最大限度地縮短了電源環路與柵極環路共用的共源電感路徑，從而使得裝置能夠以高很多的電流壓擺率來開關。可以將一個 Kelvin 源引腳添加到一個分立式封裝內；然而，這個額外的引腳會使其成為一個不標準的電源封裝。Kelvin 源引腳還必須從印刷電路板 (PCB) 引回至驅動器封裝，從而增加了柵極環路電感。

圖 3 顯示的是高管開關接通時的硬開關波形。在共源電感為 $5nH$ 時，由於源降級效應，壓擺率減半。一個更低的壓擺率會帶來更長的轉換時間，導致更高的交叉傳導損耗，如能耗曲線圖中所示。在共源電感為 $5nH$ 時，能量損耗從 $53 \mu J$ 增加至 $85 \mu J$ ，增加了 60% 。假定開關頻率為 $100kHz$ ，功率損耗則會從 $5.3W$ 增加至 $8.5W$ 。

柵極環路電感

柵極環路電感包括柵極電感和驅動器接地電感。柵極電感是驅動器輸出與 GaN 柵極之間的電感。在使用獨立封裝時，柵極電感包括驅動器輸出焊線 (L_{drv_out})、GaN 柵極焊線 (L_{g_gan}) 和 PCB 跡線 (L_{g_pcb})，如圖 1a 中所示。

基於不同的封裝尺寸，柵極電感會從緊湊型表面貼裝封裝（例如，四方扁平無引線封裝）的幾納亨到有引線功率封裝（例如 TO-220）的 $10nH$ 以上。如果驅動器與 GaN FET 集成在同一個引線框架內

(圖 1b)，GaN 柵極直接焊接到驅動器輸出上，這樣可以將柵極電感減少至 1nH 以下。封裝集成還可以極大地降低驅動器接地電感 (從圖 1a 中的 $\text{L}_{\text{drv_gnd}} + \text{L}_{\text{s_pcb}}$ 到圖 1b 中的 L_{ks})。

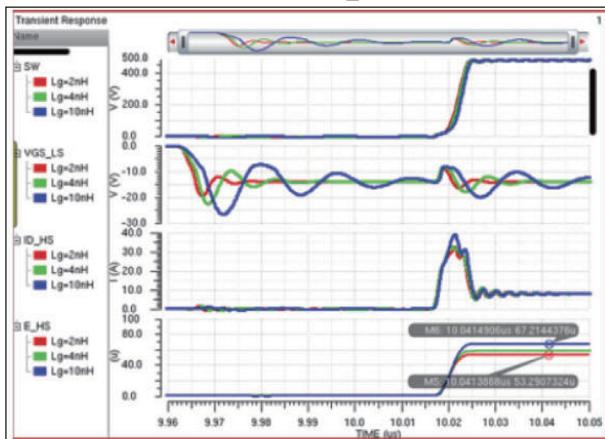
降低柵極環路電感對於開關性能有著巨大影響，特別是在關閉期間，GaN 柵極被一個電阻器下拉。這個電阻器的電阻值需要足夠低，這樣的話，裝置才不會在開關期間由於漏極被拉高而又重新接通。這個電阻器與 GaN 裝置的柵源電容和柵極環路電感組成了一個電感器 - 電阻器 - 電容器 (L-R-C) 槽路。方程式 1 中的 Q 品質因數表示為：

$$Q = \frac{1}{R} \sqrt{\frac{L}{C}} \quad (1)$$

在柵極環路電感值更大時，Q 品質因數增加，振鈴變得更高。這個效應用一個 1Ω 下拉電阻關閉低管 GaN FET 進行模擬，圖 4 中這個效應的出現時間為 $9.97\mu\text{s}$ ，其中柵極環路電感變化範圍介於 2nH 到 10nH 之間。在 10nH 的情況下，低管 VGS 在負柵極偏置以下產生 12V 振鈴。這就極大地增加了 GaN 電晶體柵極的應力。需要注意的一點是，任何 FET 的柵極上的過應力都會對可靠性產生負面影響。

柵極環路電感還會對關斷保持能力產生巨大影響。當低管裝置的柵極保持在關閉電壓時，並且高管裝置接通，低管漏極電容將一個大電流傳送到柵極的保持環路中。這電流通過柵極環路電感將柵極

圖 4：不同柵極環路電感下的低管關閉和高管接通波形：紅色 = 2nH ，綠色 = 4nH ，藍色 = 10nH 。E_HS 是高管能耗。



推上去。圖 4 在大約 $10.02\mu\text{s}$ 時的曲線變化便是說明了這一點。隨著電感增加，低管 VGS 被推得更高，從而增加了直通電流，這一點在高管漏電流曲線圖中可見 (ID_HS)。這個直通電流使得交叉傳導能量損耗 (E_HS) 從 $53\mu\text{J}$ 增加至 $67\mu\text{J}$ 。

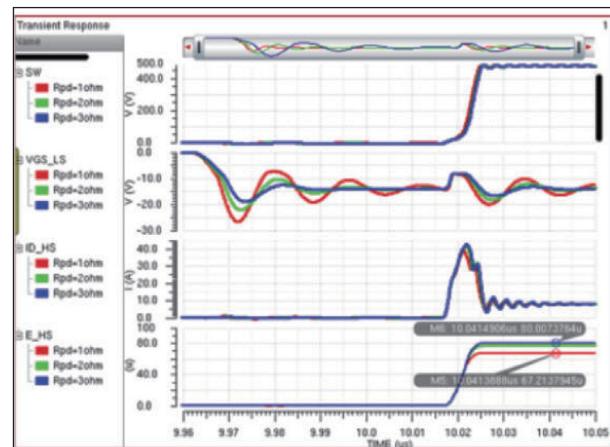
根據方程式 (1)，減輕柵極應力的一個方法就是增加下拉電阻值，反過來減少 L-R-C 槽路的 Q 品質因數。圖 5 顯示的是用一個 10nH 柵極環路電感和在 1Ω 到 3Ω 之間變化的下拉電阻 (Rpd) 進行的模擬結果。雖然柵極下沖被一個 3Ω 下拉電阻限制在負偏置電壓以下的數伏特內，但是關斷保持能力惡化，從而導致更大的直通電流。這一點在漏電流曲線圖中很明顯。

E_HS 能量曲線圖顯示出，在每個開關週期內有額外的 $13\mu\text{J}$ 損耗，與 2nH 的柵極環路電感和 1Ω 下拉電阻時 $53\mu\text{J}$ 相比，差不多增加了 60% (圖 4)。

假定開關頻率為 100kHz ，高管裝置上的功率損耗從 5.3W 增加至 8W ，其原因是由于高柵極環路電感和高下拉電阻值所導致的直通。這個額外的功率損耗會使得功率裝置內的散熱變得十分難以管理，並且會增加封裝和冷卻成本。

為了減輕直通電壓，可以將柵極偏置為更大的負電壓，不過這樣做會增加柵極上的應力，並且會在裝置處於第三象限時增大死區時間損耗。因此，在柵極環路電感比較高時，柵極應力與裝置關斷保

圖 5：使用 10nH 柵極環路電感和下拉電阻時的模擬結果： $\text{Rpd} = 1\Omega$ (紅色)、 2Ω (綠色) 和 3Ω (藍色)。E_HS 是高管能耗。



持能力之間的均衡和取捨很難管理。你必須增加柵極應力，或者允許半橋直通，這會增加交叉傳導損耗和電流環路振鈴，並且會導致安全工作區 (SOA) 問題。一個集成式 GaN/ 驅動器封裝提供低柵極環路電感，並且最大限度地降低柵極應力和直通風險。

GaN 裝置保護

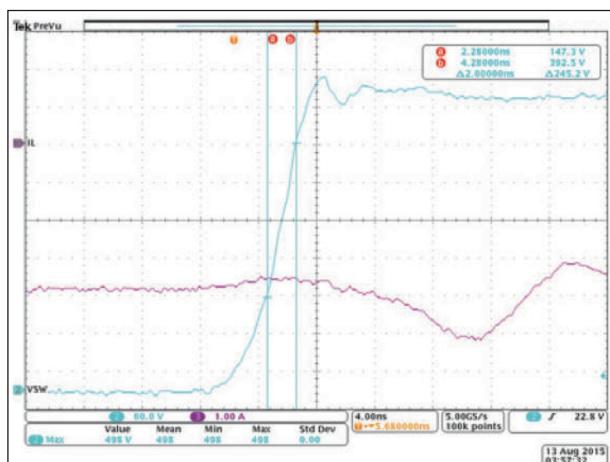
將驅動器與 GaN 電晶體安裝在同一個引線框架內可以確保它們的溫度比較接近，這是因為引線框架的導熱性能極佳。熱感測和過熱保護可以置於驅動器內部，使得當感測到的溫度超過保護限值時，GaN FFT 將關閉。

一個串聯 MOSFET 或一個並聯 GaN 感測 FET 可以被用來執行過流保護。它們都需要 GaN 裝置與其驅動器之間具有低電感連接。由於 GaN 通常以較大的 di/dt 進行極快的開關，互聯線路中的額外電感會導致振鈴，並且需要較長的消隱時間來防止電流保護失效。集成驅動器確保了感測電路與 GaN FET 之間盡可能少的電感連接，這樣的話，電流保護電路可以盡可能快的做出反應，以保護裝置不受過流應力的影響。

開關波形

圖 6 是一個半橋的開關波形；這個半橋包含 2

圖 6：一個半橋降壓轉換器 (通道 2) 中的高管接通時的 SW 節點波形。



個集成式驅動器的 GaN 裝置，採用 8mm x 8mm 四方扁平無引線 (QFN) 封裝。通道 2 顯示 SW 節點，此時高管裝置在匯流排電壓為 480V 的情況下，以 120V/ns 的壓擺率被硬開關。這個經優化的驅動器集成式封裝和 PCB 將過沖限制在 50V 以下。需要說明的一點是，捕捉波形時使用的是 1GHz 示波器和探頭。

結論

GaN 電晶體與其驅動器的封裝集成消除了共源電感，從而實現了高電流壓擺率。它還減少了柵極環路電感，以盡可能地降低關閉過程中的柵極應力，並且提升裝置的關斷保持能力。集成也使得設計人員能夠為 GaN FET 搭建高效的過熱和電流保護電路。

[更多資訊](#)

在 <http://www.ti.com/lscs/ti/power-management/gan-overview.page> 內尋找與 GaN 相關的更多資訊。

Michael Seeman 和 Dave Freeman。用 GaN 的廣闊應用前景推進電源解決方案，德州儀器 (TI) 白皮書，2015 年 2 月

Sandeep R.Bahl. 確定 GaN 產品可靠性的綜合方法，德州儀器 (TI) 白皮書，2015 年 3 月

下載這款免費的軟體工具：TINA-TI。

Narendra Mehta, GaN FET 相對於矽材料的性能優勢, 德州儀器 (TI) 白皮書, 2015 年 3 月

Zhong Ye, 基於 GaN FET 的 CCM 圖騰柱無橋 PFC, 德州儀器 (TI) 電源設計研討會, 2014 年

CTA