

您的 PCIe 3.0 接收器符合標準嗎？

■作者：Tami Pippert/Keysight Technologies

PCIe 或 PCI Express 技術提供一個低成本、可擴充的點對點多通道互連介面，目前已廣為各種應用所採用。PCIe 實體層標準仍持續不斷地演進，以提供更多創新特性，並實現越來越快的資料傳輸速率和更強大的電源管理能力。隨著 PCIe 3.0 變得日益普及，研發團隊也開始面臨一項新的挑戰，亦即驗證 PCIe 3.0 接收器實體層的標準相符合性。接收器需具備合適的功能以確保互通性，並需透過完整的接收器測試來加以確認。要順利完成複雜的接收器測試實屬不易。深入了解 PCIe 3.0 標準與相關測試需求，可以讓研發團隊做好準備。

PCIe 3.0 技術結合了多項變革，使其能夠以更快的速率可靠地傳輸資料。PCIe 3.0 標準可實現高達 8 GT/s 傳輸位元率 (每秒八十億次傳輸)，同時還可維持與先前 PCIe 版本的向後相容性。一個具備高速傳輸能力的裝置，必須同時支援較低的資料速率。因此工程師在測試 8 GT/s 的速率時，也需同時測試 2.5 GT/s 與 5 GT/s 的速率。為減輕 20% 的 8b/10b

圖 1：Keysight M8020A 16.2 Gb/s J-BERT 系統是可針對所有 PCIe 3.0 傳輸速率進行接收器測試的誤碼率測試儀。J-BERT 架構支援既有與下一代接收器的驗證。



版本 PCIe 2.0 負擔，PCIe 3.0 技術改以 128b/130b 的擾碼編碼結構，可降至僅 1.5% 的負擔，以加快傳輸速度。執行 PCIe 3.0 測試時，量測設備需具備 PCIe 協定之編碼與擾碼資訊，不僅只針對 3.0 標準，還包括先前的標準。由於 PCIe 產品可各自部署不同的通道寬度，其實體路由與特性很可能也各不相同，迫使研發團隊必須逐一測試每個接收器。他們還須了解並單獨測試每個通道相關的設定、配置與測試時間。

PCIe 技術訂定了裝置板座電氣性能的基本規格，而 CEM(Card Electro-Mechanical) 規格則定義接頭上的特性。基本規格通常用來定義 IC，並提供一套完整的測

試項目。CEM 規格通常用於確定插入 PCIe 接頭之產品的相符合性。

接收器 (Rx) 測試是為了確定接收器能適當地偵測數位信號內容，即便輸入信號已嚴重受損。要做到這點，發射器必須產生一個壓力信號。進行接收器測試時，圖 1 所示的 BERT(誤碼率測試儀) 可扮演發射器的角色。BERT 製造商所提供的 PCIe 3.0 應用程式，可進一步配置 BERT，以便進行 PCIe 3.0 接收器測試。例如，利用應用程式，BERT 可產生 PCIe 3.0 標準規定接收器認證需具備的相符合性碼型以及壓力信號 (stress signal)。BERT PCIe 3.0 相符合性應用程式還可自動進行測試設定並產生結果，可免除使用者必須

了解規格與設計測試的負擔。這項工作可交給 BERT 製造商內部熟稔標準的人員，讓他們來決定如何進行每一項必要的實體層接收器測試。BERT 製造商的相符合性測試應用軟體已取得 PCI-SIG 認證。BERT 可針對多種技術應用進行配置，因此除了測試 PCIe 3.0，也能測試其他的高速串列標準。

BERT 包含兩個主要的技術區塊：碼型產生器與誤碼檢測器。碼型產生器可產生所需的壓力測試信號，而誤碼檢測器可確定接收器在各種測試條件下所出現的誤碼率。這些特性中的每個項目

都是單獨針對特定的規格，並由訂定標準的組織所指定的。由於在測試環節中 BERT 是扮演發射器的角色，當一對發射器 / 接收器在進行連結對準時，BERT 必須要能有發射器所擁有的智慧功能。當 BERT 與接收器進行溝通時，可適時地運用各種相符合性測試模式，且通常這樣的測試是使用 BERT 上的 PCIe 3.0 相符合性應用程式自動進行，如圖 2 所示。

BERT 需要額外的能力來確定接收器可容忍的額外壓力、與在理想狀況下不會在即時系統中發現的瑕疵信號的能力。例如，

BERT 能運用不同形式的抖動來確定接收器的容忍度。這個過程可以使用 PCIe 3.0 相符合性應用程式來自動執行。壓力信號的校準需要深入了解基本的規格與量測技術，是另一個很好的理由讓使用者為 BERT 投資一個 PCIe 3.0 的相符合性應用程式。

傳送高速信號時，常用的 FR4(fire resistant class 4) 印刷電路板會導致高頻信號衰減，使得接收器端的眼圖閉合。PCIe 接收器有 10^{-12} (10 的負 12 次方) BER(誤碼率) 要求，而 8 GT/s 通道衰減，眼圖閉合讓傳統的信號無法達到所需的誤碼率，因此接收器無法確定發射器送出的信號品質是否夠好，以確保所需的可靠度。PCIe 3.0 有一項技術可補償這個問題，亦即等化技術。等化能透過提升較高頻率的信號內容，來補償通道的插入損耗。解加強(或預加強)為所採用的技術之一。解加強後的信號會有一個過渡信號緣與短區間超出該信號其他的一般狀態。當信號改變狀態由 1 到 0 或由 0 到 1 時，發射器會加強較高頻率的信號內容。當這個帶有已增強高頻信號的修改後信號經過一個通道時，較高頻率的內容會被衰減。這個補償能幫助通道終點的眼圖打開。不僅 PCIe 3.02 的技術需要在發射器進行等化，在接收器中也會結合等化的功能。對於發射器的測試來說，示波器應用軟體可模擬接收器的等化功能，因此使用者可看到就像接收器中經過等化之後的信號，如圖 3

圖 2：對 PCIe 3.0 接收器進行測試時，BERT 可扮演發射器的角色。BERT 碼型產生器可產生一連串的壓力信號，同時 BERT 誤碼檢測器可確認接收器是否能夠容忍每一種壓力碼型。

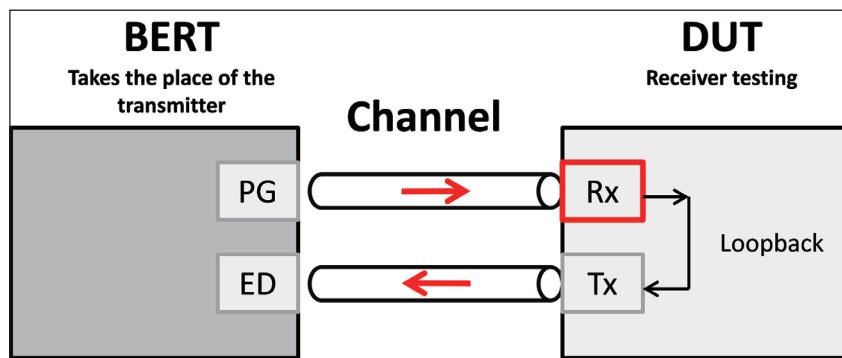
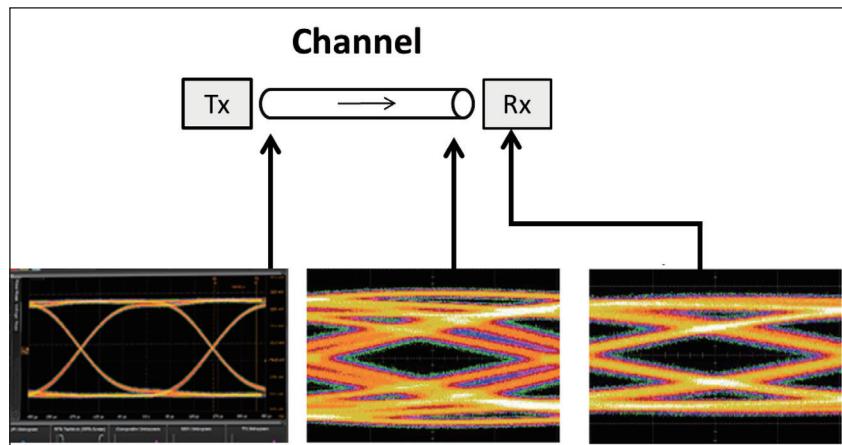


圖 3：PCIe 3.0 技術結合發射器與接收器等化功能。通道插入損耗通常會導致纜線終端的眼圖閉合，但等化功能可補償該損耗，並讓接收器內部能看到打開的眼圖。



所示。

PCIe 3.0 技術結合了鏈路等化訓練功能，其中接收器會與發射器協商，以便套用正確的等化數值。進行實體層相符合性測試時，BERT 可代替發射器進行協商。

接收器分析對於進行 PCIe 驗證與確保系統互通性至關重要。開發 PCIe 3.0 技術時，研發團隊應及早評估接收器測試選項，以確認

有那些選擇和價格，以及那些解決方案可滿足他們的需求。某些製造商的產品僅支援特定測試，例如接收器、纜線、或是發射器測試，而其他製造商則支援多項或所有的測試。若貴公司正進行接收器、纜線與發射器測試，請慎選一家可支援並提供橫跨所有測試項目的儀器、應用程式，及專業知識，因為這類廠商能夠全盤考慮橫跨所有技術區

塊的測試關聯性。此外，您只需透過單一窗口聯絡應用工程師。請詢問您的儀器供應商他們可支援的測試。PCI-SIG 正開發第 4 代技術。BERT 或許價格較昂貴，但具有支援跨世代技術的優勢。假如您計劃在未來會轉移至新一代的 PCIe 4.0，請洽詢您的供應商，以了解他們的 PCIe 4.0 發展計劃。 

是德科技發表新的實作方法 (MOI) 指南

支援使用 M937xA PXIe 多埠 VNA 執行 USB Type-C 纜線組件相符合性測試

是德科技 (Keysight) 日前宣佈發表新的實作方法 (MOI) 指南，以協助工程師根據 USB Type-C 規格 1.1 版和 USB Type-C 相符合性測試規格 (CTS)1.0 版，進行纜線組件相符合性測試。新的 USB Type-C MOI，加上是德科技狀態檔等測試套件，可與 Keysight M937xA PXIe 多埠向量網路分析儀 (VNA) 搭配運作，以便為工程師提供 USB Type-C 相符合性測試解決方案。另外，該實作方法也針對時域和頻域量測提供按部就班的完整指引，以便簡化相符合性設定和測試。

隨著使用者的頻寬需求不斷升高，高速數位標準也持續演進，以支援更高的資料速率。相較於目前的 5 Gbps USB 3.0 規格，10 Gbps USB 3.1 規格可提供兩倍以上的實際資料速率。然而，資料速率的快速提高，使得工程師面臨更嚴格的實體層測試要求，以確保裝置的互通性。高速數位纜線組件帶來的量測挑戰之一就是多埠量測。

Keysight M937xA PXIe 多埠 VNA 具有全 N 埠校驗和固有的頻域量測功能，可實現真正的多埠量測。針對 USB Type-C 纜線組件測試，工程師可配置 M937xA，以便支援 12 埠量測和 300 kHz 至 15 GHz 的頻率，進而產生 S12P touchstone 檔案，最後使用 USB-IF 相符合性測試工具來進行分析。藉由使用 M937xA VNA 的 12 埠配置來產生 S12P 檔案，頻域量測時間可大幅縮短至僅僅 20 秒。

台灣是德科技總經理張志銘表示：「是德科技實作方法指南可用於許多不同的高速數位應用，如高解析度多媒體介面 (HDMI)、乙太網路 (Ethernet) 和 PCI Express。現在我們又新增了 USB Type-C 纜線組件 MOI，再一次證明我們提供客戶所需功能的決心與能力，以協助客戶克服高速量測挑戰，並打造更快完成任務的捷徑。」

http://www.keysight.com/find/pxivna_usbtype-c-cabcon。

