

## 在高頻寬的感測器應用中 實現隔離型 SPI

在溫度或壓力監控系統這類的工業應用中，與感測器前端內的ADC的溝通並不需要高取樣率，因此也就不需高SPI時脈速率，而即使是隔離型的設計，也很容易用各種隔離技術完成。但由於需求隨著時間而不斷演進提高，讓此令人愛戴的SPI介面也已經被具有長距接線、高資料速率、及隔離需求的應用逼到極限。在本文中，我們將檢視SPI匯流排、它的侷限、以及如何在隔離系統中對應這些侷限。

作者：Mark Cantrell /Bikiran Goswami/ADI 亞德諾半導體

基於很多的理由，SPI(串列週邊介面)匯流排是許多設計人員的偏好。SPI匯流排可在短距離內，比方說電路板上的IC晶片之間，高速地傳送高達60Mbps的資料。從觀念上來說，此匯流排很簡單，它包含了時脈、兩條資料線、以及一晶片選取(chip select)信號。由於資料會出現在每一個時脈中的一個相位，並在另一個相位讀回資料，因此針對速度上的延遲與不匹配會保留不少的安全域(margin)。最後，由於SPI匯流排是由單向信號線所組成，因此可因省掉了流程控制問題，而簡化了微處理器的設計。由於大多數傳統隔離元件(isolation device)為單向，因此SPI匯流排很適合藉由光耦合器或數位隔離器(isolator)來達到隔離效果。

在溫度或壓力監控系統這類的工業應用中，與感測器前端內的ADC的溝通並不需要高取樣率，因此也就不需高SPI時脈速率，而即使是隔離型的設計，也很容易用各種隔離技術完成。但由於需求隨著時間而不斷演進提高，讓此令人愛戴的SPI介面也已經被具有長距接線、高資料速率、及隔離需求的應用逼到極限。在本文中，我們將檢視SPI匯流排、它的侷限、以及如何在隔離系統中對應這些侷限。

將隔離SPI性能逼到極限的應用之一，是高動

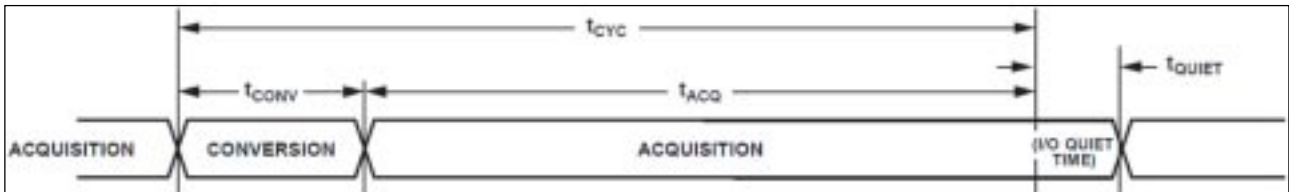
態範圍的感測器介面。要創建一高動態範圍的系統，設計人員得先從具有良好信雜比(SNR)的類比數位轉換器(ADC)開始下手，而此特性通常是取決於字組(word)長度。16位元字組為普遍的規格，而在有更高動態範圍需求的場合中，則可採用其它技術來對應，比方說輸入端的可變增益放大，以及超取樣(oversampling)。超取樣能夠以頻寬來交換雜訊抑制。通常來說，如果取樣頻率加倍，雜訊性能會有3dB的改善。因此舉例而言，一個75倍的超取樣速率可提供約18dB的雜訊性能及動態範圍的改善。75倍的信號超取樣代表一個以900ksps運行的ADC，在大約6kHz左右的頻寬上會有18dB的動態範圍提昇。

頻寬及動態範圍當然是可以被權衡交易的，但到最終，讓ADC以最快可能的速率來運行還是有很大好處。這也就暗示著，SPI匯流排必須要跟上此資料崩潰(data avalanche)。讓我們考慮一個例子，在高取樣率的應用中，使用典型的元件，比方說可以運行到高達2.5Msps的ADI AD7985脈衝式ADC，我們將看到透過SPI匯流排與它通訊，會如何地影響信號鏈的性能。

### ADC 介面

典型的ADC能處理圖1中的兩種基本動作中

圖 1：簡單的 ADC 傳送順序



的資料。首先，ADC 有一轉換週期( $t_{CONV}$ )，在此期間內，會產生一數位字組來代表其輸入端上的電壓。接著，ADC 在擷取期間( $t_{ACQ}$ )內，透過一數位介面將此字組傳送到控制器。ADC 通常在可以開始進行下一個轉換之前，會有一個最小週期時間( $t_{CYC}$ )，這相當於  $t_{CONV}$  與  $t_{ACQ}$  兩者的總和。有時，如果 ADC 有特殊傳送模式讓擷取及傳送重疊時， $t_{CYC}$  會較短。但為求簡化，以下的討論將只假設循序轉換及擷取。

無論資料如何被傳送，轉換時間及最小週期時間會維持不變。但擷取時間則是視資料介面的特性而定，而大多數的情況下這都是 SPI 匯流排的動作。如果擷取時間受到 SPI 時脈速率的影響而被拉長，則 ADC 的取樣率將嚴重受限。

## SPI 時脈速率的限制

圖 2 所示，為介於微處理器 /FPGA(MCU)及 ADC 之間的 SPI 連結。此 SPI 匯流排包含了一對移位暫存器之間的連結，這對暫存器其一是在主(master)MCU 內，而另一個則是在從屬(slave)的

ADC 中。MCU 負責提供用來同步化傳送動作的時脈，時脈的一個邊緣會將資料移出移位暫存器，另一互補邊緣則將被呈現的資料，送入環狀拓撲中每一個移位暫存器的另一端。就 ADC 來說，有可能不須要將資料從 MCU 移往 ADC，因此這個通道已和從屬選擇同時被移除以做簡化。ADC 會在動作中的轉換階段將資料填入其內部移位暫存器，然後在擷取階段中將暫存器中的資料移位送出。

在 SPI 的資料交易(transaction)中，由主(master)元件所產生的時脈信號會經過一些導線(wiring)延遲而被遞送到從屬(slave)元件，藉此觸發從屬元件在一些內部延遲之後將資料移送出去，而資料信號也同樣再一次經由導線延遲傳回主元件，且必須及時在時脈的互補邊緣前到達主元件。主元件通常還須要一些額外的設定時間。圖 2 所示，是前述的這些延遲如何形成出半個主元件時脈週期的最小時間。在非隔離系統中，這些延遲通常是非常短的，一般會在  $<10\text{nS}$  的程度，讓 SPI 的時脈速率能達到 50MHz 以上。

然而，如圖 3 所示，如果隔離障礙(isolation

圖 2：ADC SPI 通信方塊 / 時序圖

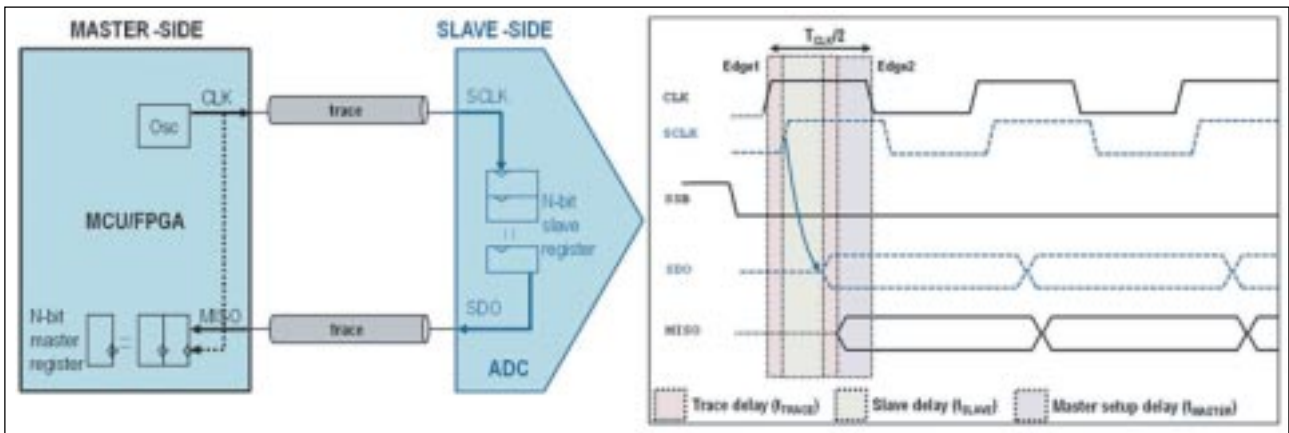
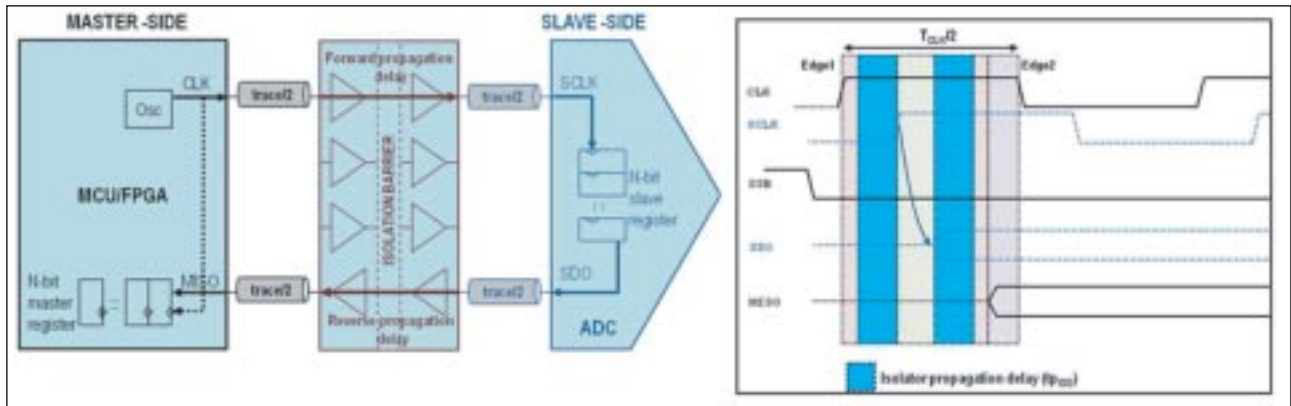


圖 3：隔離型 ADC SPI 通訊方塊 / 時序圖



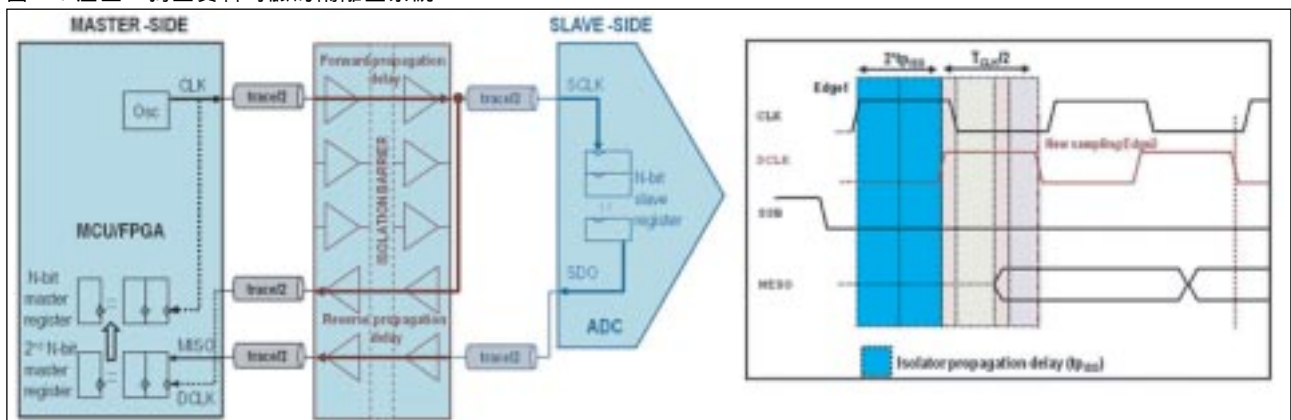
barrier)被加入 SPI 資料路徑中，就會在走線(trace)延遲上再加入了傳送(propagation)延遲( $t_{PIISO}$ )的成份。視使用的隔離技術而定，隔離器(isolator)的傳送延遲將可能超過 100ns。圖 3 顯示了額外的隔離器延遲時間如何延長了資料交易所須的時間，並增加了須的 SPI 時脈最小半週期。這些隔離延遲凌駕於系統中的所有其它時間延遲之上，讓最大時脈頻率可能掉到數個 MHz 之譜。

時脈週期的主要限制，在於資料必須於下一個時脈邊緣之前，提供到主元件上。在非隔離型的系統中，這算不上是多大的限制，且還可以因為容許充足的時序安全域(timing margin)而增加資料傳送上的牢靠性。但是一旦此資料路徑上的傳送延遲開始主導半週期時，它會嚴重的降低匯流排的最大速度，從而因其較長的隔離器傳送延遲，限制了隔離型系統中的最大傳輸量。

幸運的是，此限制是有變通方案可解決的。如果由從屬元件傳回的資料有一個與它同步的獨立時脈，則 MCU 中的另一個單獨的接收移位暫存器，可以被設定為基於此獨立時脈來接收資料。在此情況下，SPI 匯流排傳輸量(throughput)的限制因素不再是隔離障礙的傳送延遲，而是隔離器本身的傳輸量。

獨立時脈 DCLK 可輕易地被產生出來，方法是透過在隔離器上增加一資料通道，並如圖 4 所示，與 ADC 資料同時傳送一隔離 SPI 時脈的複本。'SPI 時脈'路徑上的隔離器延遲會與'ADC 資料'路徑上的隔離器延遲相互匹配，因而能有效地防止隔離器延遲成為最小所須 SPI 時脈週期的限制因素。取而代之的是，週期只會受限於圖 2 中的較短延遲，也就是非隔離版本系統同樣有的限制。因此這個方法能實現較快的 SPI 時脈，但代價是須要增加一額外

圖 4：產生一獨立資料時脈的隔離型系統





的隔離通道及一 MCU 內由獨立時脈驅動的位移暫存器，且 MCU 須從第二(secondary)接收暫存器而非標準 SPI 暫存器讀到資料。

為說明如何用不同的技術可以來實現這種資料的傳送方法，我們將從最大速率的量化觀點，以及功耗及佔用板面積的品質觀點，來檢視接下來的三個例子。我們將可以看到，在標準的隔離型 SPI 中，速率是受到來回傳送延遲的限制：而在延遲時脈系統中，則是受限於隔離器的時序信號歪斜(timing skew)及變形(distortion)。

## 光耦合器的做法

在典型的工業應用中，單一通道的數位光耦合器經常被用來隔離高速匯流排，因此隔離一標準的 4 線 SPI 匯流排須要用到四個光耦合器。在一普遍使用的工業 CMOS 光耦合器中，有幾個在預估最高 SPI 時脈速率上很重要的時序參數(timing parameters)，包含有：

1. 12.5MBPS 的最高資料速率，或 80ns 的最小脈衝寬度
2. 40ns 的最大傳送延遲(tpISO)
3. 8ns 的最大脈衝寬度變形(PWD)
4. 20ns 的最大元件與元件間傳送延遲信號歪斜(tPSK)，由於使用到多個光耦合器來產生隔離 SPI 匯流排，因此此參數很重要。

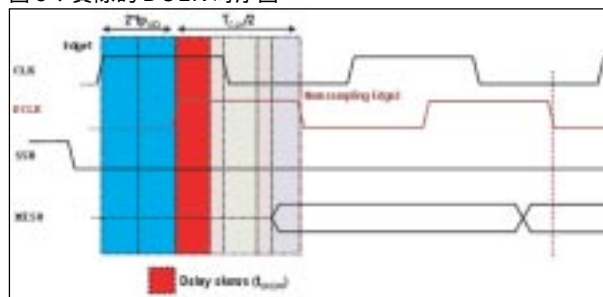
要預估 SPI 的傳輸量，我們先來為圖 3 中不同元件做一些典型的假設。假設每一個走線的延遲為 0.25ns，總加起來的整體走線延遲(tTRACE)就成為 1ns。同樣的，我們將從屬元件的延遲(tSLAVE)及主元件設定(master setup)延遲(tMASTER)分別假設為 3ns 及 2ns。

如此一來，從我們在圖 3 中所討論的隔離 SPI 時脈速率來看，對於一個使用前述的光耦合器來實現隔離的 SPI 匯流排而言，半個 SPI 時脈週期將會是  $\geq [tTRACE+tSLAVE+tMASTER+2*tpISO]$  ns，相當於 86ns，也就是說，最大容許的 SPI 時脈率會成為 5.75MHz。此長隔離傳送延遲會相當程度的降

低 SPI 匯流排的最大可達成速率。

現在，讓我們考慮在反方向加入一額外的隔離器，以便將隔離時脈信號繞接回主元件，並產生圖 4 中的延遲時脈，這讓我們得以產生一個與從屬元件所回傳資料同步的時脈信號，此隔離器上來回傳送的傳送延遲[2\*tpISO]不再限制時脈速率。那麼，考慮到系統中剩餘的延遲，隔離型 SPI 的半時脈週期是否可以  $\geq [tTRACE+tSLAVE+tMASTER]$  ns 或 6ns，以支援 80MHz 的最高 SPI 時脈率呢？遺憾的是，答案並不是那麼簡單。

圖 5：實際的 DCLK 時序圖



當在計算圖 5 中的最小 SPI 時脈期間 tSKEW 時，正向與反向通道的非對稱性仍必須被考慮到。元件間的傳送延遲信號歪斜以及脈衝寬度的變形，將新 SPI 半時脈期間限制在  $\geq [tTRACE + tSLAVE + tMASTER + 2*PWD + 2*tPSK]$ ，相當於 62ns，這讓真正的最大時脈速率變成了 8MHz。然而，由於其 80ns 最小脈衝寬度的限制，此光耦合器只能支援到 6.25MHz 的最大 SPI 時脈。以上的例子說明了，即使光耦合器並未被它的最小脈衝寬度所限制，tSKEW 仍會嚴格地將最大 SPI 時脈速率，從原先如果有完美延遲匹配狀況下可能達到的 80MHz，限制到實際應用中的 6.25MHz。

那麼，如果使用一具有較短最小脈衝寬度的快速光耦合器會有幫助嗎？一個具有 20ns 最小脈衝寬度的非常高速光耦合器，可以讓我們將先前的介面逼到較高的速率。但即使是這些元件，仍會有偏大的信號歪斜及變形參數問題。以 16ns 的 tPSK 及 2ns 的 PWD 來說，其最小的 SPI 時脈半週期會變成  $\geq 42ns$ ，相當於 11.75MHz 的最大時脈速率。

此外，在這兩種狀況下，光耦合器的時序特性還會隨時間而進一步的劣化，因而在延遲時脈與從屬元件資料之間造成更大的不匹配。針對這些變化來增加時序上的安全域，則會讓 SPI 時脈速率更加下降。

使用一額外的快速光耦合器做為 SPI 的隔離，除了非常昂貴，同時也須佔用許多的板面積，因為這些元件通常是採用 SO8 封裝的單通道產品，而總共須要 5 個通道。此外，隔離介面的功耗預算可高達每通道 20mA 的電流消耗。

### 數位隔離器的做法

在過去的十年間，新一代的數位隔離器已出現。這些元件擁有較高的整合度、較高的速度、較低的傳送延遲、低信號歪斜、及較少的變形。以一個四通道的數位隔離器為例，3 個順向通道與 1 個反向通道實現小巧的 4 線 SPI 匯流排隔離。如同前面光耦合器的例子，我們可從規格書中得到以下的時序參數，包括 11.1ns(90MBPS)的最小脈衝寬度、32ns 的最大傳送延遲(tpISO)、2ns 的最大脈衝寬度變形(PWD)、以及 10ns 的元件間最大傳送延遲信號歪斜(tPSK)。但是，與單通道光耦合器不同的是，在一四通道數位隔離器中，還必須考慮到一對相反方向通道之間的通道 - 通道間匹配。在上述的此元件中，此參數(tPSKOD)為 5ns。

如果使用與圖 3 中相同的典型延遲，則一個使用數位隔離器的隔離型 SPI 匯流排的半時脈週期會是  $\geq [t_{TRACE} + t_{SLAVE} + t_{MASTER} + 2 \cdot t_{pISO}]$  ns，也就是 70ns，相當於 7MHz 的最大時脈。如同光耦合器的情況，我們可看到 SPI 速率會嚴重地受到隔離器傳送延遲的限制。但數位隔離器由於是採用標準 CMOS 製程，在整個生命期中都能具有非常穩定的時間特性，這讓我們得以在設定 SPI 時脈速率時，不須為了時序特性的可能變異，而保留許多的安全域。

現在我們來考慮使用一額外的隔離器通道來完成一延遲時脈，如圖 4 所示，至少須使用到一個額外的高速通道。這能避免隔離器的傳送延遲對整

體 SPI 傳輸量產生限制，此時一個只受到時脈與資料通道之間的不匹配，加上走線、主元件、及僕元件延遲所限制的較快 SPI 時脈變成可能。如果假設所有隔離通道都有類似的時序，則此新 SPI 半時脈週期應要  $\geq [t_{TRACE} + t_{SLAVE} + t_{MASTER} + 2 \cdot PWD + t_{PSK} + t_{PSKOD}]$  ns，相當於 25ns，也就是 20MHz 的最大時脈速率。

在許多的應用中，MCU 只會從一 ADC 移出資料，而不會對 ADC 移入任何資料。在這種 3 線 SPI 匯流排中，可以用一個具有 2 個反向通道的四通道數位隔離器，來完成 SPI 匯流排及延遲時脈。在這些情況下有一額外的優點，即 SPI 半時脈週期會是  $\geq [t_{TRACE} + t_{SLAVE} + t_{MASTER} + 2 \cdot PWD + t_{PSK} + t_{PSKOD}]$  ns，也就是 20ns，相當於是 25MHz 的更快速最大時脈速率。

雖然數位隔離器的速率及信號歪斜性能明顯優於光耦合器，但通道間的時序信號歪斜及變形還是限制了 SPI 時脈速率的最大可能值。此外，用來延遲時脈的額外隔離器仍會多耗用掉約 20-25% 的電力。如此一來，使用既有的隔離器會使用較多的電源及板面積，而仍無法符合系統的最大利益。

### 最佳化數位隔離器延遲時脈的做法

ADI 開發出了一種數位隔離器，特別針對了延遲時脈系統中最高可能性能而最佳化。ADuM3150 (圖 6) 為 SPI Isolator™ 系列的成員，此系列高速數位隔離器是設計來優化 SPI 匯流排的隔離。ADuM3150 本身就能產生一延遲時脈 DCLK，而不須使用到一個額外的隔離器通道。其 DCLK 的產生方式，是將標準 SPI 時脈延遲一個相當於 "經過隔離器的來回傳送延遲[2\*tpISO]" 的時間量。圖 6 是 ADuM3150 的內部方塊圖，其中延遲單元(delay cell)在製造過程中被小心地削減，以便能符合通過該元件的來回程傳送延遲，藉此將延遲時脈與回送從屬元件資料之間的時序不匹配降低到最小程度。延遲的不匹配不只是已被相當程度的最小化，也針對整個寬廣的動作條件範圍做了非常完整的定義，

圖 6：ADuM3150 SPI Isolator 延遲時脈的實現做法

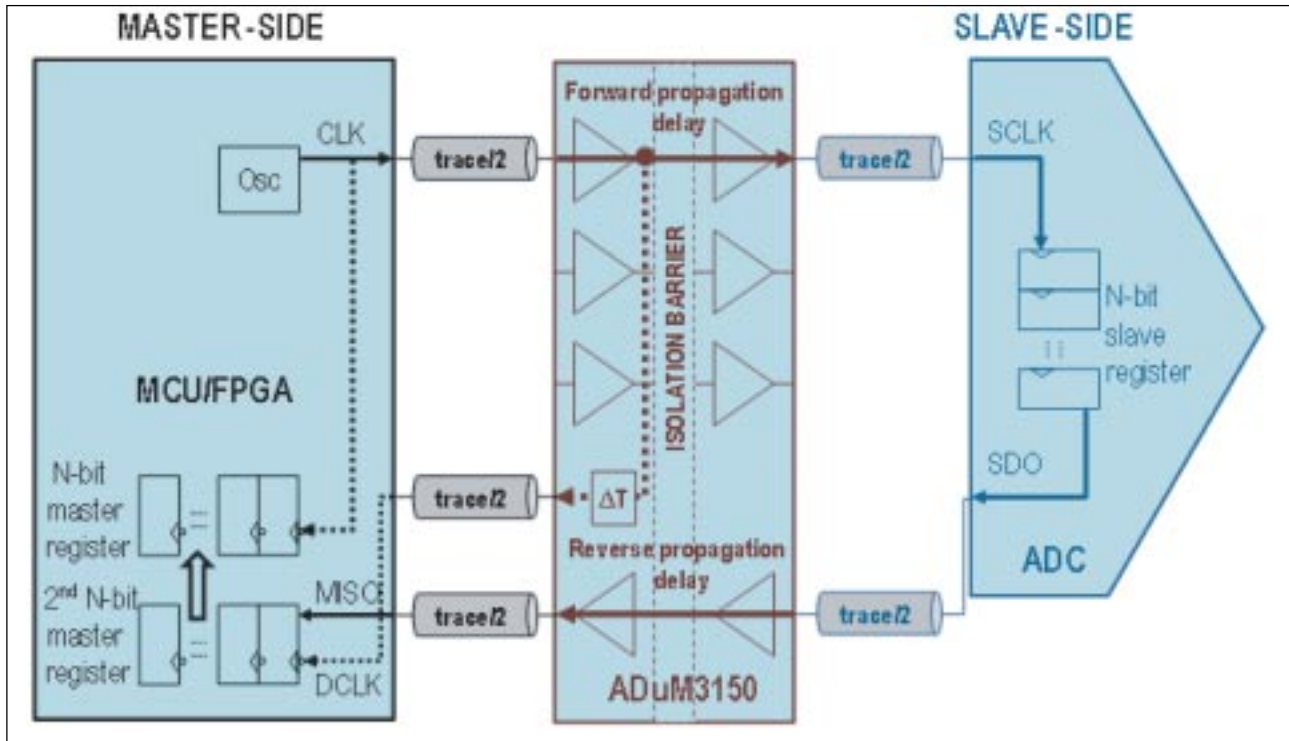


表 1：各種技術的比較

時脈延遲機制	主要 tSKEW 來源	最大 SPI 速度(MHz)	註解 / 意見
單通道 Opto1 tplSO=40 ns	PWD = 8 ns tPSK = 20 ns	6.25	大板面積 高功耗 時序特性會在生命期內隨時間而改變 高成本
單通道 Opto2 tplSO=20 ns	PWD = 2 ns tPSK = 16 ns	11.75	大板面積 高功耗 高速光元件相當昂貴 時序特性會在生命期內隨時間而改變 非常高成本
數位隔離器 tplSO=32 ns	PWD = 2 ns tPSK = 10 ns tPSKOD = 5 ns	25	中等 ~ 大的板面積(以 4 線 SPI 來說) 高功耗 中等成本
整合型延遲數位 隔離器： AduM3150 tplSO=14 ns	PWD = 3 ns DCLKERR = 3 ns	40	無須額外的板面積 最低功耗 最小 tSKEW(由於削減延遲) 優良特性的 DCLKERR 最低成本



並保證於規格書中的 DCLKERR 參數。

DCLKERR 是一個可代表延遲時脈與從屬元件資料之間有多大程度不同步的量測指數，因此 DCLKERR 的正負號可以指出延遲時脈是領先或落後於從屬元件資料。由於延遲時脈是提供給主元件取樣來自從屬元件的資料，因此它不應領先於資料。落後於 DCLK 的資料只要完全不會錯過資料位元(bit)的取樣，就算是可接受。ADuM3150 的規格書中標明 DCLKERR 是落在 -3ns 到 8ns 之間，而 PWD 則是 3ns。如果將最大可能的領先 DCLKERR 及 PWD 考慮進來，則 SPI 的時脈速率為  $\geq [t_{TRACE} + t_{SLAVE} + t_{MASTER} + (\min) |DCLKERR| + PWD]$  ns，也就是 12ns，相當於是 40MHz 的最大時脈速率。因此，這類具有最大資料速率達 40MHz 的 ADuM3150，能夠符合此高速 SPI 時脈速率，而卻不須為了要使用一額外的隔離通道而付出任何尺寸大小與成本代價。

## 結論

為了讓超取樣(oversampling)能夠成為提高感測器應用系統動態範圍的有效工具，取樣頻率必須相對於目標頻率要有足夠高的倍數，以得到顯著的雜訊抑制。這裏所介紹的延遲時脈系統，提供了一個能改善隔離型 SPI 介面傳輸量，並提高取樣率的途徑。此方法可提昇既存隔離技術的最高 SPI 時脈速率。數位隔離技術由於能夠嚴格的控制信號鏈中的通道間信號歪斜以及其它類變形，比起舊有的光耦合器具有明顯的優點。ADI 最佳化推出的 SPI 專用隔離器 ADuM3150，在沒有舊式技術及方法的額外負擔及功耗條件下，提供低信號歪斜的整合延遲時脈功能，將此技術帶入另一個境界。此技術如果再搭配上高速 ADC，則可藉由高達 40MHz 的隔離 SPI 埠資料傳送能力，實現 1Msps 的取樣率。CTA

## 晶心科技與力旺電子共同發表晶片安全防護解決方案

著眼物聯網市場之發展趨勢，力旺電子與晶心科技宣佈，攜手切入安全應用領域。晶心科技研發具安全防護功能的 32 位處理器 – Andes Core S801，可強化嵌入式應用之資料傳輸和存儲的安全性，在物聯網產品的系統單晶片設計中以晶心科技 S801 為核心，搭配力旺電子單次可程式記憶體(OTP)矽智財之金鑰儲存功能，可以最低的成本大幅提升資料之防護，為高度重視安全性的應用端客戶，提供兼顧安全與成本的優勢之安全微控制器解決方案，協助客戶搶攻物聯網無限商機。

針對市場需求，晶心科技推出 Andes Core S8 系列產品，以精簡的 3 級管線(Pipeline)為主軸，並採用具保護架構的指令集，架構完整，能滿足應用端客戶不同應用所需之密碼及防破壞機制需求，提升晶片安全層級。Andes Core S801 擁有高省電效率之核心與安全功能的記憶體保護單元，不僅能在許可權控管上有完善的協議，並可在程式碼及資料方面提供硬體的保護機制，有效防止側漏資訊的攻擊，應用範疇廣泛包括 NFC、智慧卡、金融卡、醫療卡、電子護照、智慧電錶、感測器中樞、智慧門鎖、智慧家庭與穿戴式裝置等物聯網應用，透過安全機制提升客戶產品市場價值與競爭力。針對需安全機制的應用所設計的 Andes Core S801，完全符合新一代 SoC 設計，可協助客戶快速完成產品開發，縮短產品認證及上市時間。

為強化晶片韌體與硬體之安全防護，有別於傳統晶片以金屬熔絲(Metal Fuse)或複晶矽熔絲(Poly Fuse)架構，力旺電子採用浮閘(Floating-Gate)及反熔絲(Anti-Fuse)架構之邏輯制程非揮發性記憶體，能防止記憶體資訊經由逆向工程盜拷與竄改，有效提升晶片資料傳輸與存儲以及電路設計之安全防護。力旺電子 OTP 系列之 NeoFuse 矽智財，其高階資訊防護等級亦已得到國際級 CA 認證，肯定其高可靠度與安全保密之優勢。

結合晶心科技低成本、低耗電、高安全性之 32 位處理器 Andes Core S801，以及力旺電子 OTP 矽智財優異的成本及可靠度、高溫保存能力、安全保密、與多元平臺選擇之競爭優勢，不僅能協助客戶掌握物聯網市場趨勢，更能進階拓展應用版圖至行動支付、智慧家庭、汽車聯網、雲端資料中心等高度重視資料防護機制之產品，延伸開發多元尖端安全解決方案，為客戶創造更寬廣的應用與產品價值。