

Cadence：協同系統商合作 優化 IC 製程

■文：任苙萍



照片人物：Cadence EDA 策略長暨資深副總裁徐季平

過去，IC 投片只需將 IP 設計圖丟給製造部門或晶圓代工廠，自有專業人員代勞製程優化事宜。但隨著邁步高階製程，加上數位和類比區塊不再涇渭分明、混合訊號層級設計的執行與驗證備受考驗，使 EDA 供應商的重要性不減反增。去年底與 IMEC 成功試產 (tape out) 5nm 晶片的益華電腦 (Cadence)，該公司 EDA 策略長暨資深副總裁徐季平剖析半導體製程現況，表示目前晶片製造商 10nm 量產已就緒，正往 7nm 挺進；由於其架構是從 10nm 衍生而來，圖樣 (pattern) 相去不遠，僅在電路佈線有所差異，7nm 應可如期量產。

徐季平統整，65nm ~ 28nm 製程關鍵是浸

潤式微影技術 (immersion lithography)，28nm ~ 16nm 重點是雙重曝光，10nm 以下則在於多重開極 3D 鰭式場效電晶體 (FinFET)；此類先進節點將面臨以下挑戰：前段須克服隨機摻雜擾動 (RDF) 和線邊粗糙度 (LER) 問題，後段須留意晶片互連的寬度、間距和厚度，以及可能引發的電壓衰退 (IR Drop)、基板溫度過高和佈局依賴效應 (LDE)。他指出，製程升級理論上可提高 30 ~ 35% 的績效，但其間稍有不慎，可能導致功虧一簣，白忙一場。

因此，必須從設計之初就著手優化工作，並與 EDA 業者及系統商協同合作。徐季平進一步說明，在 SoC 當道的今天，只針對 IP 做設計優化並不夠，還須從系統角度衡量人機架構的效能與可延續性。另一方面，晶片商所涉及的範疇越來越廣、垂直整合態勢明顯，繪圖晶片大廠 nVidia 跨足伺服器領域即為一例；為將諸多系統集成在同一個晶片上，需要更多 IP 資源奧援。此外，諸如此類的「撈過界」發展，讓原上是上、下游的合作夥伴可能變質為平行競爭關係，也迫使系統公司開始考慮自行研發晶片，以免遭到夾殺。

受到上述因素驅動，傳統上以常態遞減因素、就工作階段劃分或完全統計的分析、驗證和模擬方式已窒礙難行，必須建構新的模擬型態方能因應。Cadence 結合 Liberate 與 Variety 特性分析的 Virtuoso 平台，搭配「Tempus 時序簽核」解決方案，可自動統計、分析包括先進節點的「晶片變異性」，並據以建立模型；新增佈局套件功能，可為汽車、醫療裝置與物聯網 (IoT) 應用提升 10 倍的跨平台效能與容量，對客製化的電路設計助益甚大。CTA