

Synopsys：加速原型建造 縮短驗證時程

文：馬蘭娟



照片人物：新思科技資深產品行銷經理 Neil Songcuan

隨著系統晶片設計複雜度的提升及邁入更先進的製程世代，IC 的布線和配置更加複雜，利用 FPGA 建立 SoC 原型來加快軟硬體驗證速度的做法，已被晶片設計人員視為必由之路。原型建造系統可有效協助設計開發團隊進行即時驗證的工作，並藉由更經濟的方法來完成複雜的晶片與軟體設計。

新思科技(Synopsys)新一代 HAPS-80 FPGA 原型建造系統，可提供高達 100 兆赫的多重 FPGA 性能，以及創新的專屬高速時域多工(HSTDM)技術。該系統搭配 ProtoCompiler 設計自動化和除錯軟體，採用賽靈思(Xilinx)最新的Virtex UltraScale VU440元件，每個 FPGA 具有 2,600 萬個 ASIC 邏輯閘，可支援高達 16 億個 ASIC 邏輯閘的設計。HAPS 硬體與 ProtoCompiler 軟體的結合，可大幅提升軟體開發、硬體 / 軟體整合以及系統驗證的速度。

新思科技資深產品行銷經理 Neil Songcuan 表示，物理原型(Physical Prototyping)解決方案必須解

決五大關鍵挑戰為：如何映射到 FPGA、除錯可視性、性能、容量以及周轉時間。而整合型原型(Integrated Prototyping)方案能夠快速地提高生產、縮短除錯週期、執行更多的測試、支援更大量設計和更多軟體及縮短重複設計時間。

而新思科技推出搭配 ProtoCompiler 軟體的 HAPS-80 FPGA 原型建造系統，可創造高達 100MHz 的多重 FPGA 效能。HAPS 系統專用的 ProtoCompiler 軟體可自動化分割(partitioning)作業，將最初原型的平均開發時程縮短至兩周以內。另外，以 Xilinx Virtex UltraScale FPGA 作為元件的基礎下，HAPS-80 配置可支援高達 16 億 ASIC 邏輯閘的設計，實現遠端使用與並行執行的多工設計模式。此外，自動導入內建除錯功能，提升除錯效率和辨別性，可擷取數千筆 RTL 信號。透過新思連續驗證平台中 VCS 仿真工具之「統一編譯」及 Verdi 除錯工具之「統一除錯」，能簡化模擬、仿真和原型建造反覆流程，大幅縮短數月的設計和驗證時程。

ProtoCompiler 的自動化 RTL-to-FPGA 圖像時序驅動流，帶來最高的原型性能和最快的周轉時間。ProtoCompiler 能以最佳的多 FPGA 設計分區、最低的接腳訊號多工傳輸率、最佳化合成和導引 FPGA 佈局來進行原型建造作業。ProtoCompiler 的階層式 IP-to-SoC 流程，封裝了 RTL、設計原型建造限制、預先定義除錯點、合成指令，避免在 SoC 重覆這些工作，使系統設計時程縮短數周。

Neil Songcuan 表示，新一代的 HAPS-80 系列，解決了 SoC 設計工程師在系統性能、擴充性、最初原型開發時間以及除錯上的需求。CTA