

EDA 成爲 電子&資訊工程的中介橋樑

■文：任苙萍



照片人物：Mentor Graphic 執行長 Walden C. Rhines

半導體製程創新，絕對離不開電子設計自動化(EDA)的幫襯。現被納入西門子事業部 (Siemens Business) 旗下的明導國際 (Mentor Graphic)，對於系統應用有更深層的觀察。執行長 Walden C. Rhines 博士發現：系統半導體含量在 20 年來首次增加，意味著我們正在嵌入更多價值，且晶片設計者正在改變系統公司。汽車產業也有各式系統公司正在加速發展，已有 463 家廠商宣佈將使用於汽車或輕型卡車，這對 EDA 產業是好消息。

半導體生態，跟從前不一樣了！

Rhines 表示，雖然短期內受到貿易戰影響，依據應用程式條款估計將產生永久損失、美國市佔率亦見下降，歐洲、日本和中國則是有所抵消、也有所增長，但放大時間軸評估，應無礙電晶體成本變動在學習曲線上持續演進；然凡事有例外，最近一個事證是：隨機存取記憶體 (RAM) 的突發性需求。儘管長期而言，RAM 數量仍會適度下降；但眼下因為多數設計軟體的架構使用量大，使它在一年中大增 60%，不過預料來年將趨緩，可能只有區區幾個百分點的微幅成長。

另一方面，從晶圓代工廠購買晶圓的佔比也不同於以往——以整合設計與製造商 (IDM) 為例，由於「無晶圓廠」(fabless) 雄據 IDM 晶圓銷售高達八成的份額，每年填補約 70% 的產能差額，故 IDM 現在將對外銷售的所有晶圓都納入設計領域。特定領域的處理器似乎是大型主機、微型電腦、筆記型電腦和無線技術的主要推力、是下一波浪潮，可惜受限於製程微縮，若想大力改善系統的結構性能，那麼包

括模式識別等在内的多數情況，可能不適用浮點乘法。將數位電腦與生物細胞進行映射、配對，顯示能量消耗的差異高達 1/8，顯示仍有很大的改進空間。

系統商成 EDA 新客群大戶

現行設計中的大量晶片系統結構都嵌入了神經網路 (NN)，賦予設備學習、發展能力，半導體公司亦見趨勢性轉變：風險投資在 2019 年進入相當強勁的階段，無晶圓廠半導體新創公司在前三輪融資中佔有主導地位；而在最初三輪中，中國大陸投資是美國的三倍，約有 1,400 家無晶圓廠半導體公司。晶片識別是目前為止勢力最盛的子類別，具體而微包括面部識別，以及音頻、氣味等泛用模式識別，可透過矽渲染創造能力；若想將視頻標準化，多半是基於資料中心的並行性考量，而帶有張量處理器 (TPU) 的 Google 已完成兩代晶片開發。

不僅如此，他們還建置了機器學習 (Machine Learning, ML) 之訓練 (Training) 和推論 (Inference)

專用伺服器，更高效完成工作；然而，雲端運算的最大受益者卻是軟體。要轉向著重邊緣設備的霧運算，唯一難處是：許多公司都希望獲得他們無法訪問、收集和分析的資訊，而手握完整資訊的公司多試圖構築整個生態系並跨足晶片設計，為功率、感測和數位處理帶來新挑戰，這對模擬設計並非易事，新創公司又該怎麼接招？Rhines觀察，會交付新創公司進行設計的多是大型系統廠，原因之一是：在自有電腦處理電腦視覺，可大幅降低成本並縮短驗證時間。

用熟悉的電腦程式語言 涉獵電子工程



照片人物：Cadence 企業副總暨系統驗證事業群總經理 Paul Cunningham

這些系統龍頭商會針對數據封包的抽象層——包括編寫 Paralogue / VHDL / SystemVerilog 代碼及 C++ 合成演算法進行周期之類的更改；假如能僅用暫存器

傳遞語言 (RTL) 和電腦傳統時間示例即完工，生產力可因而提高 50%。當今世上最大市場之一是資料中心和數據處理，值得注意的是，伺服器單位數量的增長率正逐漸下降，但電晶體每年仍將以遞增速度增長；試就「岡波茨曲線」(Gompertz Curve) 推估，直至 2038 年才會達到峰值。益華電腦 (Cadence) 則從邊緣光加速 IP 著手，其小型正規證明技術可為設計者提供二氧化矽 (silica) DNA。

Cadence 企業副總暨系統驗證事業群總經理 Paul Cunningham 博士介紹，他們擁有強大、經過驗證且可配置軟體的數位訊號處理器 (DSP)，可自定義乘積累加運算 (MAC) 脈動陣列、精度達 16 位元，並已集成專用可預測編譯器 (compiler)，可讀取來自軟體編程測試台的訊號或透過配置額度解決壅塞。經由自動學習引擎，可直觀選用驗證方法且再次使用 ML 解決數據庫問題，還能訓練一個神經網路應對特定問題。特別一提，為針對客製化的類比設計實施數位驗證、並將卓越設計納入系統，Cadence 保留了早期所有軟體，以便綜觀系統分析全局進行開發。

AI 邊緣設備，牽動製程技術演變 & 操作系統建置

新思科技 (Synopsys) 工程暨驗證事業群副總 Susheel Tadikonda 表示，雲端正在創建來自不同設備的模型，並在更多設備



照片人物：Synopsys 工程暨驗證事業群副總 Susheel Tadikonda

之間共享；邊緣的創新周期正不斷提高功率要求以回饋給晶片組，製程技術也有所變化——以 Google Cloud TPU 為例，運行功率約 200W 且需要水冷卻器；使用 AI 晶片建構，可藉範例做優化平衡，惟轉換時必須專注於當中每個細節。雖然標準化省事得多，但每個設計者都傾向自定義內容，這意味著須進行系統結構分析、自定義編譯器、需有共同框架，可看到不同層面正在發生之事。其次，了解功耗需求、做前期功耗分析很重要。

實際運行各式工作負載是建置操作系統 (OS) 的關鍵；很多晶片開發商就是在此卡關，不得不回頭重做系統結構。單就技術來看，有兩種不同方式：一是嘗試使用所有工具，找出使所有工作更有效率的最佳方法；二是藉演算法協助程式訪問及生態系統，成熟度和技術指標是成功要素。在落實標準化前，業界正處於競爭激烈的硬體衝擊之中，其間產業聚合繁瑣，理論

上，新應用程式較易實現標準化，AI、機器學習以及整合方式仍存在混亂和局限性，迄今依然處於監督學習和訓練階段，也許我們應該關注生態系統，因為電子工程不再僅定格於 IC 設計。

價值模式匹配導致異構性大增，模擬&仿真做關設計成敗

將焦點移回 IC 身上，DSP 本身的 Fortran 函式庫已被設計執行一些特定操作，隨著時間推移，帶有神經網路功能的 DSP（簡稱

ADSP）越來越多，著重的是在發展應用程式的同時，如何將價值用於模式匹配，異構性將大增，這將丟失更多的單一指令。Tadikonda 認為，如此不成熟的生態系統終將結束，首先崩潰的將是軟、硬體之間的接口，若仍沿相同途徑進行合成和配置操作，需對其進行更改。控制邏輯的模組基本上大同小異，要進行創新和差異化的地方是資料路徑，即使是邊緣晶片的領導廠商也將效仿 Google、Facebook、Amazon 等系統商的道路。

一言以蔽之，只需編寫帶有 C++ 的所有晶片、然後一個按鈕執

行即可，之後的模擬與仿真才是重點。每個人都希望建立偏好流程，那麼，電路模擬是否能在可用性或運算需求享有彈性？事實上，幾年前本有機會在模擬環境中使用框架集，惟憾錯過了最佳時機。換個角度思考，如果每個人都花費相同預算，可否讓他們盡可能多做一些模擬以求投片順利？EDA 業者面有難色地透露：礙於投入電路設計的從業人員數量有限——手機編程人員數以百萬計，而設計客製化整合電路者頂多只有成千上萬，難有規模經濟，這種類似「吃到飽」的方案恐難以為繼。CTA

工研院攜手群創光電 跨足下世代晶片封裝產業鏈

工研院在經濟部技術處支持下，開發「低翹曲面板級扇外型封裝整合技術」，並與群創光電合作，將旗下現有的面板產線轉型成為具競爭力的「面板級扇外型封裝」應用，切入下世代晶片封裝商機，解決半導體晶片前段製程持續微縮，後端裝載晶片之印刷電路板配線水準尚在 20 微米上下的窘況，可提供 2 微米以下之高解析導線能力，生產效率高且善用現有產線製程設備。

工研院電光系統所李正中副所長表示，目前扇外型封裝以「晶圓級扇外型封裝」為主，所使用之設備成本高且晶圓使用率為 85%，「面板級扇外型封裝」由於面板的基板面積較大並且是方形，而晶片也是方形，在生產面積利用率可高達 95%，凸顯「面板級扇外型封裝」在面積使用率上的優勢。李正中並指出，「低翹曲面板級扇外型封裝整合技術」具備超薄、可封裝高密度接腳的優勢，並藉由結構力學模擬輔助製程設計，解決生產中大尺寸基板因應力所造成之翹曲問題。工研院以此技術與群創光電合作，將其現有的 3.5 代面板產線轉作成面板級扇外型晶片封裝應用，除了提升目前現有產線利用率，就資本支出來說更具備優勢，未來可切入中高階封裝產品供應鏈，搶攻封裝廠訂單，以創新技術創造高價值。

群創光電總經理楊柱祥指出，這個全球第一個面板廠的扇外型封裝計畫，以 LCD 技術為根基，價值創造，超越傳統 LCD 廠製造框架，對群創轉型創新之意義重大，預期於三年內打造國際級之扇外型面板封裝技術量產線與產品。